

МИНИСТЕРСТВО ОБРАЗОВАНИЯ РЕСПУБЛИКИ БЕЛАРУСЬ
Белорусский национальный технический университет

Кафедра «Информационно-измерительная
техника и технологии»

ЭЛЕКТРОНИКА (ЦИФРОВАЯ ЭЛЕКТРОНИКА)

Учебно-методическое пособие
для студентов специальностей
1-38 02 01 «Информационно-измерительная техника»,
1-38 02 03 «Техническое обеспечение безопасности»,
1-54 01 02 «Методы и приборы контроля качества
и диагностики состояния объектов»

В 2 частях

Часть 1

*Рекомендовано учебно-методическими объединениями по образованию
в области приборостроения и в области обеспечения качества*

Минск
БНТУ
2021

УДК 621.38.037.37(075.8)

ББК 32.85я7

Э45

С о с т а в и т е л и:

Т. Л. Владимирова, К. Л. Тявловский, В. А. Микитевич

Р е ц е н з е н т ы:

Т. В. Борботько, А. С. Гаркун

Э45 **Электроника** (цифровая электроника) : учебно-методическое пособие для студентов специальностей 1-38 02 01 «Информационно-измерительная техника», 1-38 02 03 «Техническое обеспечение безопасности», 1-54 01 02 «Методы и приборы контроля качества и диагностики состояния объектов» : в 2 ч. / сост.: Т. Л. Владимирова, К. Л. Тявловский, В. А. Микитевич. – Минск : БНТУ, 2021. – Ч. 1. – 2021. – 266 с.

ISBN 978-985-583-631-6 (Ч. 1).

Данное методическое пособие содержит конспект лекций по каждому разделу курса «Электроника» (цифровая электроника) для самостоятельного изучения студентами, а также контрольные вопросы и задачи по каждому разделу курса для проверки студентами своего понимания пройденного материала.

Рассматривается широкий круг вопросов, связанных с изучением, проектированием и применением цифровых элементов, узлов и устройств на их основе, цифровых интегральных микросхем, являющихся основой для реализации различных средств обработки информации в области приборостроения и технологии безопасности, а также средств измерений.

Цель настоящего методического пособия – углубление и закрепление теоретических знаний по применению наиболее распространенных цифровых элементов, узлов и устройств, а также приобретение навыков работы с цифровыми интегральными схемами и устройствами, построенными на их основе.

Кроме этого целью настоящего пособия является приобретение студентами навыков в разработке простейших электронных схем на базе цифровых электронных микросхем.

УДК 621.38.037.37(075.8)

ББК 32.85я7

ISBN 978-985-583-631-6 (Ч. 1)

ISBN 978-985-583-632-3

© Белорусский национальный
технический университет, 2021

1. ОСНОВЫ ЦИФРОВОЙ ЭЛЕКТРОНИКИ

Сигнал – это любая физическая величина (температура, давление воздуха, интенсивность света, сила тока и т. д.), изменяющаяся со временем. Благодаря такому изменению сигнал несет в себе некоторую информацию.

Все операции, производимые электронными устройствами над сигналами, можно условно разделить на три большие группы:

- обработка (преобразование);
- передача;
- хранение.

Аналоговый сигнал – это непрерывно изменяющийся сигнал, который может принимать любые значения в определенном диапазоне.

При работе с конкретным аналоговым сигналом кроме диапазона изменения данного сигнала (например, от 0 до 5 вольт) важным является временной интервал (например, с 11:00 до 12:00), в течение которого аналоговый сигнал измеряется (рис. 1.1).

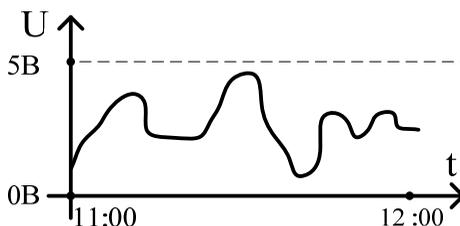


Рис. 1.1. Аналоговый сигнал

Аналоговые сигналы и работающая с ними аналоговая электроника имеют недостатки, связанные с природой аналоговых сигналов:

- аналоговые сигналы чувствительны к действию всевозможных паразитных сигналов (шумов, наводок, помех);
- со временем параметры всех аналоговых устройств изменяются из-за старения элементов, поэтому характеристики этих устройств не остаются постоянными.

Шум (рис. 1.2) – это внутренние хаотические слабые сигналы любого электронного устройства (микрофона, транзистора, резистора и т. д.).

Наводки и помехи (рис. 1.3) – это сигналы, приходящие на электронную систему извне и искажающие полезный сигнал. Это сигналы краткого действия, но имеющие значительные величины.

Все помехи, которые являются причиной ложного срабатывания чувствительных цепей аппаратуры, можно разделить на несколько видов:

- внешние помехи, проникающие в систему из окружающей среды от различного рода излучателей электромагнитных сигналов, а также обусловленных действием электромагнитных и электростатических полей;
- токовые помехи по цепи питания, возникающие в результате выброса тока при коммутационных помехах;
- перекрестные помехи, наводимые одними сигнальными линиями в других сигнальных линиях;
- отражение в линиях связи при несогласованной нагрузке.

Искажение аналогового сигнала шумом и наводкой представлено на рис. 1.4.



Рис. 1.2.
Шум



Рис. 1.3.
Наводка

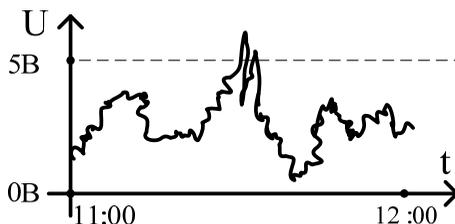


Рис. 1.4. Аналоговый сигнал, искаженный шумами и наводкой

Цифровой сигнал (рис. 1.5) – это сигнал, который может принимать только два значения: 0 (низкое или иначе «ложь») или 1 (высокое или иначе «истина»).

Рассмотрим цифровой сигнал для положительной полярности напряжения питания.

За 0 принимается некоторый интервал значений напряжений от U^0_{\min} (например, 0 В) до U^0_{\max} (например, 0,8 В).

За 1 принимается некоторый интервал значений напряжений от U^1_{\min} (например, 2,4 В) до U^1_{\max} (например, 5 В).

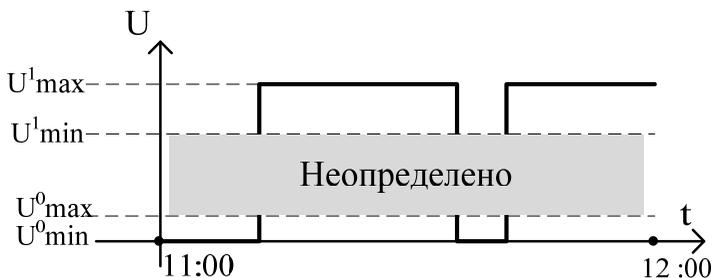


Рис. 1.5. Идеальный цифровой сигнал для положительной полярности напряжения питания

Интервал значений от U^0_{\max} до U^1_{\min} называют неопределенным, т. к. невозможно предсказать, как поведет себя схема при подаче на ее вход значений напряжений из этого диапазона: будут ли они восприняты как значение 0 или как значение 1.

Сигналы из неопределенного диапазона доставляют много неприятностей при работе с электронными схемами.

Для отрицательной полярности напряжения питания вид цифрового сигнала представлен на рис. 1.6.

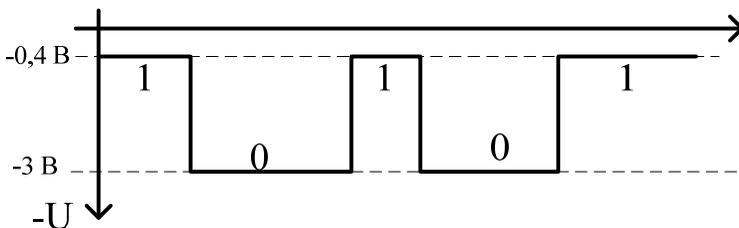


Рис. 1.6. Идеальный цифровой сигнал для отрицательной полярности напряжения питания

В отличие от аналоговых цифровые сигналы, имеющие всего два разрешенных значения (0 и 1), гораздо лучше защищены от действия шумов, наводок и помех.

Если искажения цифрового сигнала являются небольшими (происходят в диапазонах от U^0_{\min} до U^0_{\max} или U^1_{\min} до U^1_{\max}) и не выходят в зону неопределенности, то они никак не искажают цифровой сигнал (рис. 1.7).

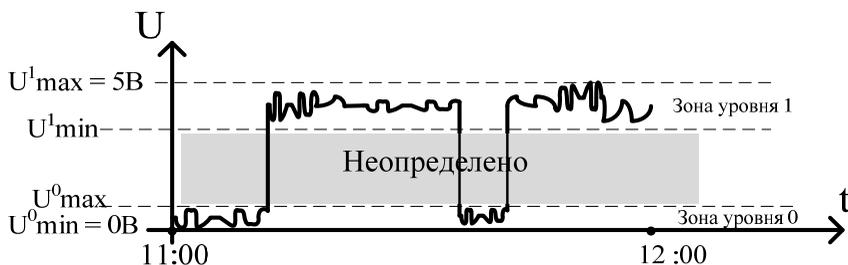


Рис. 1.7. Искажение цифрового сигнала шумами и наводками

Именно поэтому цифровые сигналы допускают более сложную и многоступенчатую обработку, более длительное хранение без потерь и более качественную передачу, чем аналоговые.

Устройства, работающие исключительно с цифровыми сигналами, называются цифровыми устройствами. Цифровые устройства гораздо меньше подвержены старению, так как небольшое изменение их параметров никак не отражается на их функционировании. Кроме того, цифровые устройства проще проектировать и отлаживать.

При разработке схемы цифрового устройства инженер имеет дело с теоретической схемой. На практике, как только наступает конкретизация, возникает понятие «НИЗКОГО» и «ВЫСОКОГО» уровней сигналов и полярности напряжения питания.

В одном случае в качестве активного сигнала выгодно использовать сигнал высокого уровня, а в другом низкого. И в каждом конкретном случае сигнал будет истинным (за истину принимается 1).

Поэтому в цифровой электронике важными являются понятия «положительная логика» (табл. 1.1) и «отрицательная логика» (табл. 1.2).

Эти два понятия определяют, какие цифровые сигналы в схеме конкретного устройства являются активными (принимаются за уровень 1), т. е. вызывают изменение состояния или режима работы устройства.

У цифровых сигналов есть и крупный недостаток: на каждом из своих разрешенных уровней (0 или 1) цифровой сигнал должен оставаться хотя бы в течение какого-то минимального временного интервала, иначе его невозможно будет распознать (рис. 1.8).

Анализируя сигнал, изображенный на рис. 1.8, невозможно однозначно сказать, какое именно информационное значение он имеет.

Таблица 1.1

Активный сигнал для положительной логики при положительном и отрицательном напряжении питания

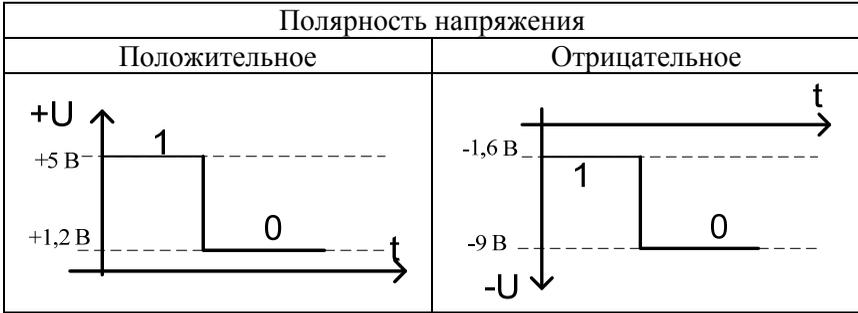


Таблица 1.2

Активный сигнал для отрицательной логики при положительном и отрицательном напряжении питания

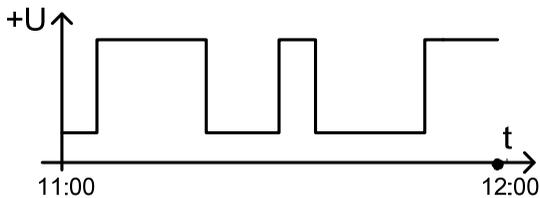
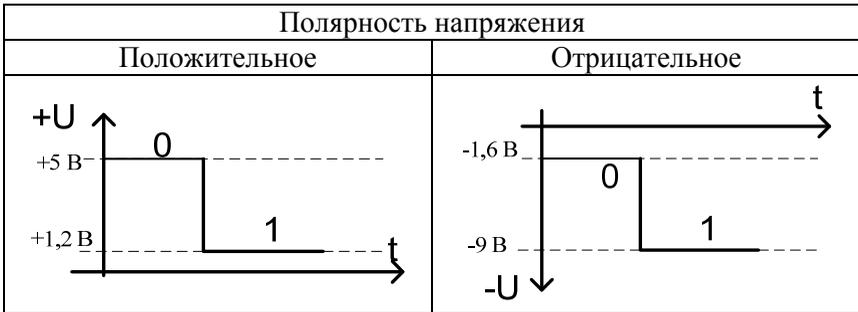


Рис. 1.8. Цифровой сигнал

Для приема цифрового сигнала передающее и принимающее устройства должны работать с одной тактовой частотой и должны быть синхронизированы во времени, тогда, принимая цифровой сигнала согласно следованию тактовых импульсов ($T_{и}$), можно однозначно определить его информационное значение (рис. 1.9).

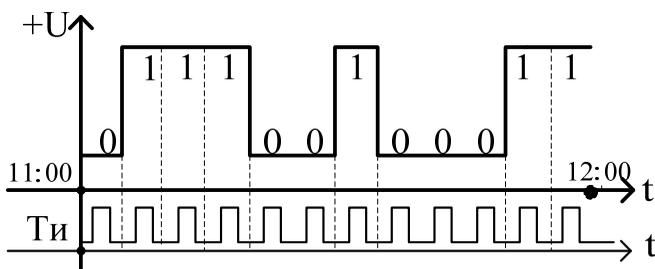


Рис. 1.9. Информационная емкость цифрового сигнала

Для повышения информационной емкости цифрового сигнала тактовые импульсы должны иметь как можно меньшую длительность и передаваться с большей частотой, что часто ограничивается задержками прохождения сигнала по цепям его обработки, технологическими возможностями и параметрами цифровых элементов.

В отличие от цифрового сигнала аналоговый сигнал может принимать любое свое значение бесконечно малое время (рис. 1.10).

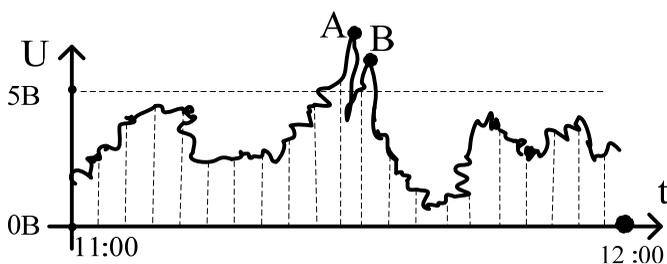


Рис. 1.10. Информационная емкость аналогового сигнала

Можно сказать, и иначе: аналоговый сигнал определен в непрерывном времени (т. е. в любой момент времени), а цифровой – в дискретном (т. е. только в выделенные моменты времени).

Т. е. информационная емкость цифрового сигнала значительно меньше аналогового.

Кроме этого из рис. 1.10 видно, что чем меньше временной интервал измерения аналогового сигнала, тем точнее будет снята информация.

Также видно, что превышение сигналом допустимой верхней границы в точках А и В не измеряется, однако может оказаться, что величины сигнала в данных точках являются критическими для устройства и повлияют на его работоспособность в дальнейшем.

Максимально достижимое быстродействие аналоговых устройств больше, чем цифровых. Аналоговые устройства могут работать с более быстро меняющимися сигналами, чем цифровые.

Скорость обработки и передачи информации аналоговым устройством всегда выше, чем скорость обработки и передачи цифровым устройством.

Цифровой сигнал передает информацию только двумя уровнями и изменением одного своего уровня на другой, а аналоговый – еще и каждым текущим значением своего уровня, то есть он более емкий с точки зрения передачи информации.

Поэтому для передачи того объема информации, который содержится в одном аналоговом сигнале, чаще всего приходится использовать несколько цифровых сигналов (обычно от 4 до 16).

Надо учитывать и то, что в природе все сигналы аналоговые, то есть для преобразования их в цифровые сигналы и обратного преобразования требуется применение специальной аппаратуры (анало-цифровых и цифро-аналоговых преобразователей).

На практике разрабатываемые устройства могут принимать аналоговые сигналы, преобразовывать их в цифровые, обрабатывать согласно действующему алгоритму и передавать другим устройствам как аналоговые или цифровые и наоборот.

1.1. Простейшие способы получения цифрового сигнала

Существуют два простейших способа получения цифрового сигнала:

- с помощью механического переключателя;
- путем нажатия кнопочного переключателя.

На рис. 1.11, а представлен способ получения цифрового сигнала с помощью механического переключателя.

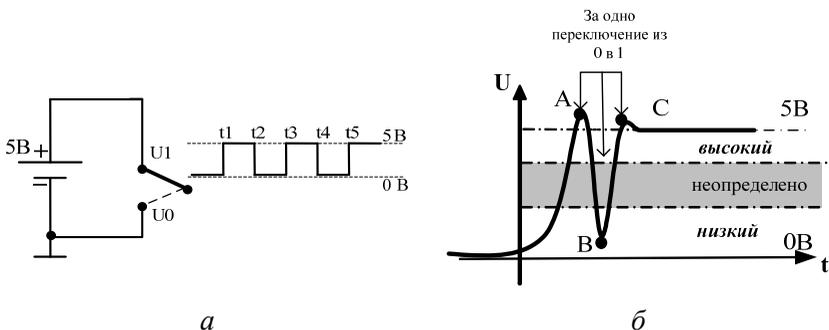


Рис. 1.11. Механический переключатель:

а – получение цифрового сигнала при помощи механического переключателя;
б – влияние дребезга механических контактов на цифровой сигнал

Пусть механический переключатель установлен на низкий уровень (U_0).

При установке механического переключателя на высокий уровень (U_1) низкий уровень сразу сменяется высоким (точка А), затем из-за дребезга контактов (рис. 1.11, б) вновь низким уровнем (точка В) и снова высоким (точка С). Хотя такое переключение происходит за короткое время, но быстродействующие электронные схемы, принимающие данный сигнал, воспринимают процесс как чередование низкого, высокого, низкого и снова высокого уровня, что может привести к некорректной работе принимающей схемы и всего устройства.

На рис. 1.12 представлены способы получения цифрового сигнала с помощью кнопочного переключателя.

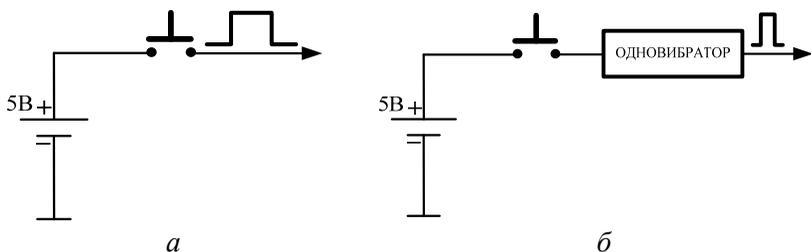


Рис. 1.12. Получение цифрового сигнала с помощью кнопочного переключателя

Если кнопка нажата (рис. 1.12, *a*), на выходе формируется высокий уровень – уровень 1.

При отпущенной кнопке уровень напряжения на выходе является неопределенным, т. к. в цепи между выходом и источником питания – разрыв.

Длительность формируемого импульса напрямую зависит от времени нажатия кнопки.

Если к выходу схемы подключен одновибратор (рис. 1.12, *б*), то на выходе формируется одиночный положительный импульс, длительность которого не зависит от того, как долго нажата кнопка, а определяется параметрами одновибратора.

Данные схемы позволяют сформировать только положительные сигналы.

1.2. Простейшие способы контроля цифровых сигналов

В простейшем случае индикатором цифрового сигнала может служить светоизлучающий диод.

На схеме, представленной на рисунке 1.13, резистор R ограничивает ток, протекающий через светоизлучающий диод (HL) до безопасной величины.

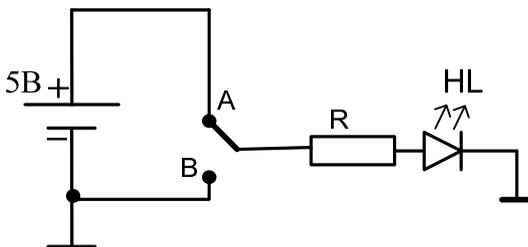


Рис. 1.13. Схема включения светоизлучающего диода

Если переключатель находится в верхнем положении (точка A), то на анод светоизлучающего диода подается напряжение 5 В, светоизлучающий диод (HL) включен в прямом направлении, ток через него возрастает и возникает свечение.

Если переключатель в нижнем положении, то анод и катод светоизлучающего диода заземлены и излучения нет.

На схеме, представленной на рис. 1.14, светоизлучающий диод *HL* управляется транзистором *T*.

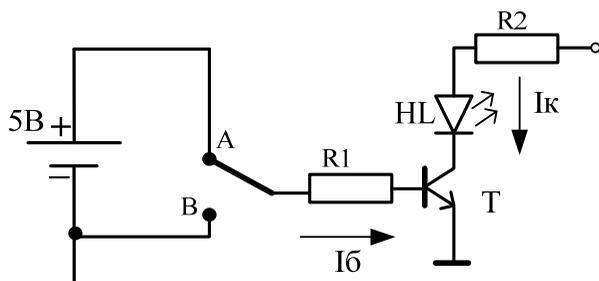


Рис. 1.14. Схема управления транзистором светоизлучающего диода

Данная схема имеет меньший ток потребления индикатором с выхода контролируемой схемы.

Если переключатель находится в верхнем положении (точка А), то на базу транзистора *T* подается напряжение, достаточное для его открытия. Через резистор *R1* протекает ток базы I_b , который открывает транзистор *T*. В цепи коллектора транзистора *T* возникает ток I_k протекающий через светоизлучающий диод. Резистором *R2* ограничивается I_k до безопасной величины, в результате чего происходит свечение – обеспечивается индикация сигнала высокого уровня.

1.3. Логические переменные, базовые операции между логическими переменными

Одна и та же задача может решаться аналоговыми или цифровыми методами.

Цифровые устройства, решающие задачу, аналогичную аналоговым устройствам, содержат гораздо большее число элементов.

Цифровые устройства кажутся относительно сложными, однако они основаны на принципе многократного повторения относительно простых базовых логических схем.

Связи между этими схемами строятся на основе чисто формальных методов.

Даже самые сложные преобразования цифровой информации, в конечном счете, сводятся к простейшим операциям над сигналами 0 и 1.

Инструментом такого построения служит булева алгебра, которая называется также алгеброй логики.

В отличие от переменной в обычной алгебре, логическая переменная в булевой алгебре имеет только два значения – «истинность» и «ложность», которые называются логической единицей и логическим нулем соответственно.

В качестве обозначения истинности используется обозначение «Н» или «1».

В качестве обозначения ложности используется обозначение «L» или «0».

Существуют три основные (базовые) операции между логическими переменными:

- 1) конъюнкция (логическое умножение), иначе операция И;
- 2) дизъюнкция (логическое сложение), иначе операция ИЛИ;
- 3) инверсия (логическое отрицание), иначе операция НЕ.

Как и в алгебре, в алгебре логики существует порядок выполнения логических операций:

- 1) инверсия;
- 2) конъюнкция;
- 3) дизъюнкция.

Введем условные обозначения:

- F – значение выходного сигнала;
- X1 и X2 – значения входных сигналов.

Базовые логические операции алгебры логики можно записать в виде, представленном в табл. 1.3.

Таблица 1.3

Базовые логические операции алгебры логики

Операция	Логическое выражение	Определение
Инверсия	$F = \overline{X1}$	Значение F истинно (равно 1) тогда, когда аргумент (X1) является ложным (равен 0)
Конъюнкция	$F = X1 * X2 = X1 \wedge X2$	Значение функции И истинно (равно 1) тогда и только тогда, когда все ее аргументы (X1 и X2) истинны (равны 1)

Операция	Логическое выражение	Определение
Дизъюнкция	$F = X1 + X2 = X1 \vee X2$	Значение функции ИЛИ истинно (равно 1) тогда, когда хотя бы один из ее аргументов ($X1$ или $X2$, или $X1$ и $X2$) истинны (равны 1)

Алгебра логики имеет ряд специфических аксиом (табл. 1.4) и теорем (табл. 1.5).

Аксиомы и теоремы, записанные слева, двойственны аксиомам и теоремам, записанным справа.

Двойственность определяется как изменение всех знаков операции И на знаки операции ИЛИ, знаков операции ИЛИ на знаки операции И, всех нулей на 1 и 1 на 0.

Таблица 1.4

Аксиомы алгебры логики

$X1=1$, если $X1 \neq 0$	$X1=0$, если $X1 \neq 1$
$0 * 0 = 0$	$1 + 1 = 1$
$1 * 1 = 1$	$0 + 0 = 0$
$1 * 0 = 0$	$0 + 1 = 1$
$\bar{0} = 1$	$\bar{1} = 0$
$X1 + 0 = X1$	$X1 * 1 = X1$
$X1 + 1 = 1$	$X1 * 0 = 0$
$X1 + X1 = X1$	$X1 * X1 = X1$
$\overline{(X1)} = \bar{X1}$	$\overline{(\bar{X1})} = X1$
$X1 + \bar{X1} = 1$	$X1 * \bar{X1} = 0$

Двойственность – одно из основных свойств алгебры логики. Оно обозначает, что если функции $F(X1, X2, X3)$ и $F^*(X1, X2, X3)$

двойственны, то отрицание от функции F равно отрицанию аргументов от функции F*, т. е.

$$\overline{F}(X1, X2, X3) = F(\overline{X1}, \overline{X2}, \overline{X3}).$$

Многие из этих теорем известны из алгебры чисел. Однако некоторые теоремы для чисел несправедливы; кроме того, понятие «инверсия» («отрицание») для чисел вообще не определено.

С помощью выражений алгебры логики можно вычислить результаты логических операций для всех возможных значений входных переменных и определить их таблицы истинности.

Таблица 1.5

Теоремы алгебры логики

Наименование	Для умножения	Для сложения
Закон коммутативности (переместительный закон)	$X1 * X2 = X2 * X1$	$X1 + X2 = X2 + X1$
	Выходной сигнал не зависит от того, к какому входу элемента он подан	
Закон ассоциативности (сочетательный закон)	$X1 * (X2 * X3) = (X1 * X2) * X3$	$X1 + (X2 + X3) = (X1 + X2) + X3$
Закон дистрибутивности (распределительный закон)	$X1 * (X2 + X3) = X1 * X2 + X1 * X3$	Только в алгебре логики $X1 + (X2 * X3) = (X1 + X2) * (X1 + X3)$
Закон поглощения	$X1 + X1 * X2 = X1$	$X1 * (X1 + X2) = X1$
Закон склеивания (по X1)	$X1 * X2 + \overline{X1} * X2 = X2$ $X * \overline{X} = 0$	$(X1 + X2) * (\overline{X1} + X2) = X2$ $X + \overline{X} = 1$
Теорема де Моргана:	$\overline{X1 + X2} = \overline{X1} * \overline{X2}$	$\overline{X1 * X2} = \overline{X1} + \overline{X2}$

1.4. Числа, используемые в цифровой электронике

Возможность применения булевой алгебры для решения задач анализа и синтеза цифровых устройств обусловлена аналогией понятий и категорий этой алгебры и двоичной системы счисления, которая положена в основу представления преобразуемых устройством сигналов.

Системой счисления называется система изображения любых чисел с помощью ограниченного числа символов.

Системы счисления бывают позиционными и непозиционными.

Позиционными системами счисления называются системы, в которых в зависимости от расположения цифры в числе она имеет разный вес. Например, в числе 333 первая 3 – это единицы (вес 1), вторая – десятки (вес 10), третья – сотни (вес 100).

Десятичная система счисления – это система с основанием 10. Она содержит 10 цифр (от 0 до 9).

Двоичная система счисления – это система с основанием 2 (содержит две цифры: 0 и 1). Она также относится к позиционной системе счисления.

Непозиционной системой счисления называется система счисления, в которой вес цифры не зависит от ее положения в числе (римская).

Символы десятичной системы соответствуют символам двоичной системы счисления: $0_{10} = 0_2$; $1_{10} = 1_2$; $2_{10} = 10_2$; $3_{10} = 11_2$; $4_{10} = 100_2$; $5_{10} = 101_2$; $6_{10} = 110_2$; $7_{10} = 111_2$; $8_{10} = 1000_2$; $9_{10} = 1001_2$.

Двоичное число можно преобразовать в десятичное число, используя соответствующий вес разряда двоичного числа (рис. 1.15).

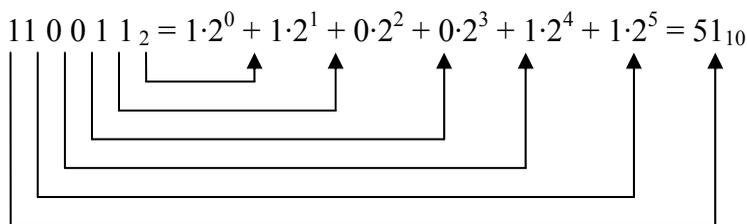


Рис. 1.15. Преобразование двоичного числа в десятичное

Последовательность преобразования десятичного числа в двоичное число выполняется методом деления каждого промежуточного

частного на 2 (рис. 1.16). При этом каждый неделимый конечный остаток дает очередную цифру для искомого двоичного числа. Деление происходит до тех пор, пока частное не будет равно 0.

13:2 = 6	1	1		Остаток
			1	
6:2 = 3	0	2	=>	Остаток
			1101	0
3:2 = 1	1	4	2	Остаток
				1
1:2 = 0	1	8		Остаток
				1

Рис. 1.16. Преобразование десятичного числа в двоичное

Двоичное число представляет собой полученные остатки, записанные в порядке от последнего к первому, как показано на примере (рис. 1.16).

В цифровых устройствах используется также шестнадцатеричная система счисления. Она является вспомогательной и применяется при подготовке задач к решению.

За основание шестнадцатеричной системы принято число 16. Она является избыточной по отношению к десятичной системе счисления.

Помимо цифр от 0 до 9 в шестнадцатеричной системе счисления используются буквы:

$$1010_2 = A_{16} = 10_{10}; \quad 1011_2 = B_{16} = 11_{10}; \quad 1100_2 = C_{16} = 12_{10};$$

$$1101_2 = D_{16} = 13_{10}; \quad 1110_2 = E_{16} = 14_{10}; \quad 1111_2 = F_{16} = 15_{10}.$$

Каждая цифра или буква кодируется четырьмя двоичными разрядами.

В табл. 1.6 приведены соответствия десятичной, двоичной и шестнадцатеричной систем счисления.

Восемь разрядов двоичного числа носят название байта, четыре разряда – полубайта.

Чтобы осуществить перевод двоичного числа в шестнадцатеричное число, надо разбить его на четырехразрядные группы, начиная с младшего разряда.

Таблица 1.6

Соответствие систем счисления

Десятичная	Двоичная	Шестнадцатеричная
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
10	1010	A
11	1011	B
12	1100	C
13	1101	D
14	1110	E
15	1111	F

Если в старшей четырехразрядной группе двоичного числа не будет 4-х разрядов, она добавляется нулями в старших позициях, например,

$$1011100001011110100_2 = \mathbf{0}101\ 1100\ 0010\ 1111\ 0100_2.$$

Двоичное число 1011100001011110100 разбито на пять 4-х разрядных групп, начиная с младшего разряда. Старшая группа содержит только три значения, поэтому она дополнена **0**.

Каждой группе согласно табл. 1.6 ставится соответствие двоичной системы шестнадцатеричному значению, например,

$$\mathbf{0}101\ 1100\ 0110\ 1111\ 0100_2 = 5C6F4_{16}.$$

Перевод из шестнадцатеричной системы счисления в двоичную осуществляется заменой шестнадцатеричной цифры на ее двоичное значение четырехразрядной группы в соответствии с табл. 1.6, например,

$$A23B_{16} = 1010\ 0010\ 0011\ 1011_2 = 1010001000111011_2.$$

Цифровые устройства должны иметь возможность обрабатывать как положительные, так и отрицательные двоичные числа.

Для работы с отрицательными или положительными цифрами используется дополнительный или, иначе, знаковый разряд (старший разряд).

Положительное число кодируется 0 в знаковом разряде:

$$[0]0010_2 = +2_{10}.$$

Отрицательное число кодируется 1 в знаковом разряде:

$$[1]0010_2 = -2_{10}.$$

Для упрощения выполнения операций над отрицательными двоичными числами используются коды, приведенные в табл. 1.7.

Таблица 1.7

Коды, используемые в цифровой электронике для выполнения операций над отрицательными числами

Наименование	Значение
Прямой код $[X]_{пр}$	$[X]_{пр} = [1]0011_2 = -3_{10}$
Прямой код отрицательного числа совпадает с прямым кодом положительного числа, только в знаковом разряде вместо 0 стоит 1.	
Обратный код $[X]_{обр}$	$[X]_{обр} = [1]1100_2$
Обратный код отрицательного числа формируется по следующему принципу: в знаковый разряд заносится 1, а все остальные разряды меняются на обратные по отношению к прямому коду этого числа	
Дополнительный код $[X]_{доп}$	$[X]_{доп} = [1]1101_2$
Дополнительный код иначе называют дополнением до 2 или полным дополнением	

Дополнительный код формируется от обратного кода путем прибавления к младшему разряду 1, например, $[X]_{\text{обр}} = [1]1100_2$

$$\begin{array}{r} +[1]1100_2 \text{ – обратный код} \\ \hline [1]1101_2 \text{ – дополнительный код.} \end{array}$$

Пример:

$$[X]_{\text{пр}} = [0]1001_2 = 1 \cdot 2^0 + 0 \cdot 2^1 + 0 \cdot 2^2 + 0 \cdot 2^3 + 0 \cdot 2^4 = 1 + 8 = 9_{10}.$$

$$\begin{aligned} [X]_{\text{обр.}} &= [1]0110_2 = 0 \cdot 2^0 + 1 \cdot 2^1 + 1 \cdot 2^2 + 0 \cdot 2^3 - 1 \cdot 2^4 = \\ &= 2 + 4 - 16 = -10_{10}. \end{aligned}$$

$$\begin{aligned} [X]_{\text{доп.}} &= [1]0111_2 = 1 \cdot 2^0 + 1 \cdot 2^1 + 1 \cdot 2^2 + 0 \cdot 2^3 - 1 \cdot 2^4 = \\ &= 1 + 2 + 4 - 16 = 9_{10}. \end{aligned}$$

В табл. 1.8. приведены примеры прямого, обратного и дополнительного кодов положительных и отрицательных чисел.

Таблица 1.8

Примеры прямого, обратного и дополнительного кодов

Десятичное число	Двоичное число		
	Прямой код	Обратный код	Дополнительный код
2	[0] 010	[0] 010	[0] 0010
1	[0] 001	[0] 001	[0] 0001
0	[0] 000	[0] 000	[0] 000
-0	[1] 000	[1] 111	
-1	[1] 001	[1] 110	[1]111
-2	[1] 010	[1] 101	[1] 110
-3	[1] 011	[1] 100	[1] 101

Из таблицы видно, что прямой, обратный и дополнительный коды положительных чисел совпадают.

1.5. Арифметические действия над двоичными числами

Арифметические действия над двоичными числами аналогичны арифметическим действиям над десятичными числами: сложение, вычитание, умножение и деление.

Правила выполнения арифметических действий над двоичными числами приведены в табл. 1.9.

Таблица 1.9

Арифметические действия

Операция	Правила	Пример
Сложение	$0 + 0 = 0$ $0 + 1 = 1$ $1 + 0 = 1$ $1 + 1 = 0$ (Возник перенос)	$\begin{array}{r} 0101_2 \\ + 0100_2 \\ \hline 1001_2 \end{array}$
Вычитание	$0 - 0 = 0$ $1 - 0 = 1$ $0 - 1 = 1$ (Возник заем) $1 - 1 = 0$	$\begin{array}{r} 1101_2 \\ - 0011_2 \\ \hline 1010_2 \end{array}$
Вычитание	В цифровой электронике вычитание осуществляется методом сложения с дополнительным кодом: $5_{10} - 3_{10} = 2_{10}$ $0101_2 + 1101_2 = 0010_2 = 2_{10}$, где 0011 – прямой код 3; 1100 – обратный код 3; 1101 – дополнительный код 3	
Умножение	В цифровой электронике умножение двух чисел выполняется разными методами: – многократным сложением (простейший метод), методом умножения, начиная с младших разрядов множителя; – методом умножения, начиная со старших разрядов множителя	
Деление	В цифровой электронике деление выполняется разными методами: – многократным вычитанием (простейший метод); – методом без восстановления остатка; – методом с восстановлением остатка	

1.6. Переполнение

Понятие «переполнение» является очень важным в цифровой электронике.

Пусть осуществляется сложение двух четырехразрядных двоичных чисел, т. е. максимальное число, которое может быть получено в результате, это число 11110_2 .

В данном числе на один разряд больше, чем в складываемых числах. И, если не предусмотрен лишний разряд для результата, то результат выполненной операции будет некорректным (меньше, чем любое из складываемых чисел):

$$1111_2 + 1111_2 = \underline{11110}_2.$$

Поэтому в цифровой электронике необходимо предусматривать меры контроля переполнения и индикации ошибки (переполнения) или вообще прекращения вычислений в случае возникновения переполнения.

1.7. Упрощение и минимизация логических функций

Сложность логической функции, а отсюда сложность и стоимость реализующей ее схемы, пропорциональны числу операций и числу переменных или их отрицаний.

Логическая функция может быть упрощена с помощью аксиом и теорем алгебры логики, однако такие преобразования требуют громоздких выкладок и навыков.

На практике для упрощения логических выражений, описывающих работу устройства, применяют карты Карно.

Рассмотрим булево выражение:

$$F = \overline{A}B + A\overline{B} + AB.$$

Для реализации данного выражения необходимо 2 инвертора (НЕ), 3 конъюнктора (И) и 1 дизъюнктор (ИЛИ).

Упростим данное логическое выражение, используя аксиомы и теоремы алгебры логики:

$$F = B(\overline{A} + A) + A\overline{B} = B + A\overline{B} = A + B.$$

Таким образом, все логическое выражение сведено к логической операции ИЛИ (конъюнктор).

Карта Карно представляет собой графическое изображение всех возможных наборов значений аргументов, каждый набор значений аргументов изображается на карте в виде клетки.

Карта образуется путем такого расположения клеток, при котором наборы значений аргументов, находящиеся в соседних клетках, отличаются значением одной переменной.

Карты Карно для 2-х переменных имеет вид, представленный на рис. 1.17, а.

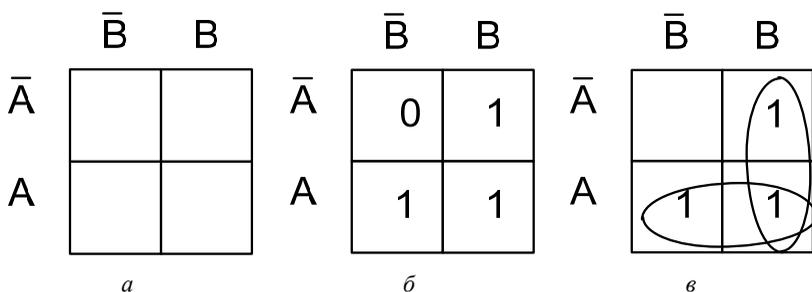


Рис. 1.17. Упрощение логического выражения с помощью карты Карно

Минимизируем исходное логическое выражение посредством применения карт Карно.

Проставим 1 в карту Карно (рис. 1.17, б) в те клетки, которые соответствуют наборам функции присутствующим в логическом выражении (наборы истинны, т. е. равны 1).

Отыскание минимальной формы сводится к максимальному склеиванию по некоторому аргументу: по B – вертикаль и по A – горизонталь.

Соседние единицы объединим контуром (рис. 1.17, в).

Можно объединять 2, 4, 8 и т. д. единиц, которые стоят в соседних клетках.

Карта Карно может быть свернута в горизонтальный или вертикальный цилиндры, а также шар. Это позволяет объединить единицы, стоящие в соседних крайних клетках свернутых карт.

В карте Карно (рис. 1.17, в) получились два контура.

В горизонтальном контуре значение A встречается с B и \bar{B} , но в соответствии с правилом булевой алгебры B и \bar{B} дополняют друг друга, т. е. $B + \bar{B} = 1$ и их можно опустить, значит остается только A .

В вертикальном контуре значение B встречается с A и \bar{A} , но в соответствии с правилом булевой алгебры A и \bar{A} дополняют друг друга, т. е. $A + \bar{A} = 1$ и их можно опустить, значит остается только B .

Таким образом, новое логическое выражение будет состоять из двух членов, связанных функцией ИЛИ:

$$F = A + B.$$

Рассмотрим пример построения карты Карно на три переменные: X_1, X_2, X_3 .

Пусть дано логическое выражение:

$$F = \bar{A}\bar{B}\bar{C} + \bar{A}BC + A\bar{B}\bar{C} + A\bar{B}C + A\bar{B}C.$$

Карта Карно и результат минимизации представлены на рис. 1.18.

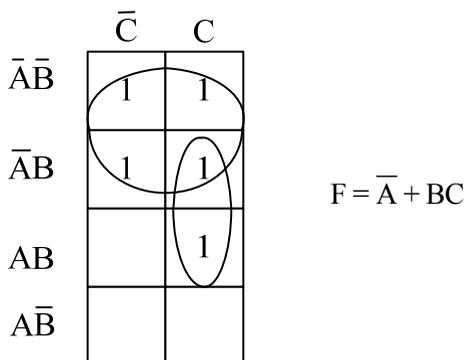


Рис. 1.18. Пример карты Карно для 3-х переменных

Карта Карно на четыре переменные приведена на рис. 1.19.

В процессе минимизации карта Карно сворачивалась в шар (четыре 1 стоящие в углах карты – $\bar{B}\bar{D}$), вертикальный цилиндр (четыре 1 – $\bar{A}\bar{D}$), контур из 4 единиц ($\bar{A}\bar{D}$).

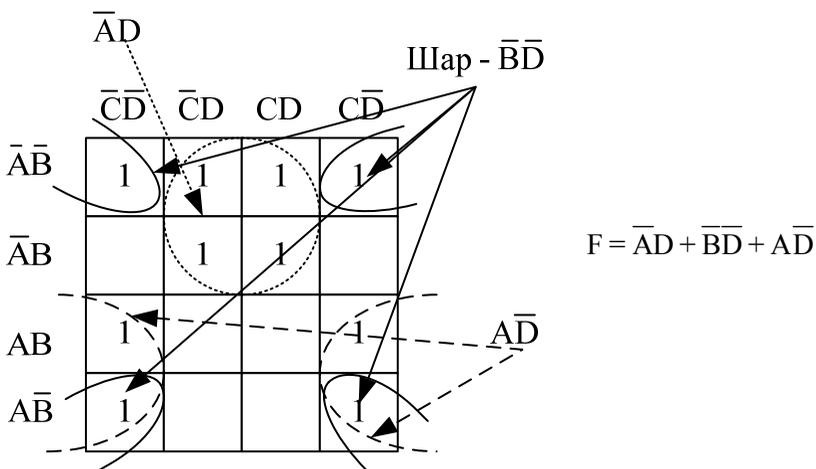


Рис. 1.19. Карта Карно для 4-х переменных

Подразумевается, что в незаполненных клетках карты Карно расположены 0.

В рассмотренных примерах осуществлялась минимизация по 1, однако в некоторых случаях более удобной может оказаться минимизация по 0. Пример такого случая представлен на рис. 1.20.

Минимизация по нулям показана штрихпунктирной линией, а по единицам – сплошной.

При минимизации по единицам получается положительная функция F .

Как видно из рис. 1.20 при минимизации по 1 получилось два контура:

- один контур (вертикальный) объединяет две клетки, в которых расположены 1, а значит, в результате получится произведение трех переменных ($\overline{A}CD$);

- второй контур (карта Карно сворачивается в горизонтальный цилиндр) объединяет 4 клетки, а значит, в результате получится произведение двух переменных ($\overline{B}C$).

В результате минимизации по 1 получилась следующая функция:

$$F = \overline{B}C + \overline{A}CD.$$

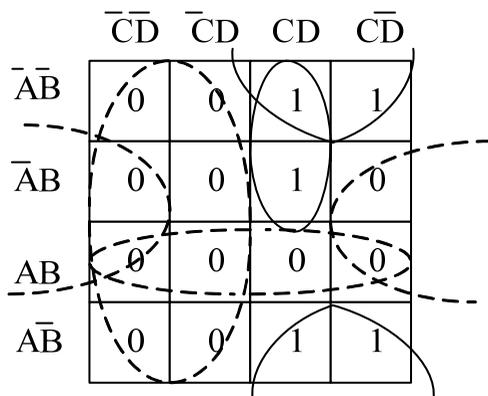


Рис. 1.20. Минимизация по 0 и 1

При минимизации по нулям получается отрицательная функция, т. е. функция \overline{F} .

Как видно из рис. 1.20 при минимизации по 0 получились три контура:

- один контур (вертикальный) объединяет 8 клеток (\overline{C});
- второй (горизонтальный) контур объединяет 4 клетки ($\overline{A}B$);
- третий контур, полученный в результате свертки карты Карно в вертикальный цилиндр, объединяет 4 клетки ($C\overline{D}$).

В результате минимизации по 0 получилась следующая функция:

$$F = \overline{C} + AB + B\overline{D}.$$

От отрицательной функции \overline{F} можно перейти к положительной функции. Для этого достаточно поставить отрицание справа и слева.

В результате получится следующее логическое выражение:

$$\overline{\overline{F}} = \overline{\overline{C} + AB + B\overline{D}}.$$

Согласно аксиоме алгебры логики (табл. 1.4) $\overline{\overline{X}} = X$, двойное отрицание над F можно сократить, т. е. получится следующее логическое выражение:

$$F = \overline{\overline{C} + AB + B\overline{D}}.$$

Используем обратную теорему Де-Моргана (табл. 1.5) и снимем общее отрицание с изменением знака «+» на знак «*». В результате логическое выражение будет преобразовано к виду:

$$F = \overline{\overline{C}} * \overline{\overline{AB}} * \overline{\overline{BD}}.$$

Двойное отрицание над C , согласно аксиоме алгебры логики $\overline{\overline{(X1)}} = X1$ можно снять, т. е. логическое выражение преобразуется к виду, в котором отсутствует операция дизъюнкции:

$$F = C * \overline{\overline{AB}} * \overline{\overline{BD}}.$$

1.8. Недоопределенная функция

Частично определенной (недоопределенной) функцией называется функция, значение которой на некоторых наборах аргументов неизвестно (наборы не используются в схемотехническом решении, например, при трех значениях входных аргументов $X1, X2, X3$ должно быть восемь их комбинаций, а используется только шести комбинаций), некоторые наборы запрещены к подаче на входы устройства (например, подача двух сигналов уровня 1 запрещена, как, например, в RS-триггере).

Значение функции на таких наборах можно задать по своему усмотрению (1 или 0), т. е. доопределить функции.

Доопределение функции не отразится на работе устройства, но облегчит его реализацию.

При минимизации недоопределенных булевых функций в клетках карт Карно, соответствующих запрещенным наборам, ставят прочерки, которые могут доопределяться 1 или 0 для удобства конкретной минимизации.

Пример минимизации недоопределенной функции показан на рис. 1.21.

Будем производить минимизацию по 1 и доопределим «-» 1. В результате объединения 1, стоящих в соседних клетках, получится два контура (рис. 1.21, в).

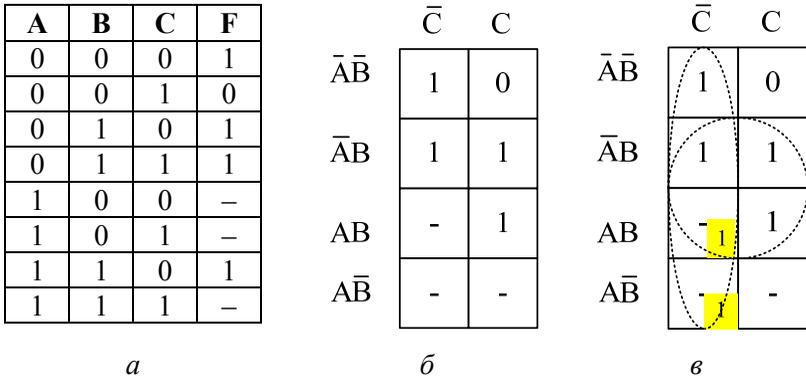


Рис. 1.21. Минимизация недоопределенной функции:
a – таблица истинности; *б* – карта Карно с нанесенными на нее 1;
в – доопределение карты Карно 1

Вертикальный контур (объединяет 4 клетки) в результате минимизации дает значение \bar{C} , т. к. \bar{A} доопределяется A и \bar{B} доопределяется B (табл. 1.5, теоремы алгебры логики, закон склеивания).

Круглый контур (объединяет 4 клетки) дает значение B (\bar{A} доопределяется A и \bar{C} доопределяется C).

В результате конечное логическое выражение, полученное после упрощения, будет иметь следующий вид:

$$F = \bar{C} + B.$$

Недоопределенная функция не может быть описана логическим выражением.

Работа недоопределенной функции описывается только таблицей истинности.

2. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

Логическими элементами (ЛЭ) называются функциональные устройства, с помощью которых реализуются элементарные логические функции (например, И, ИЛИ, НЕ).

ЛЭ работают с двоичным кодированием информации, которое характеризуется двумя уровнями напряжения двоичной переменной. Высокий уровень напряжения обозначают цифрой «1» или буквой «Н». Низкий уровень напряжения обозначают цифрой «0» или буквой «L».

В зависимости от уровня напряжения, при котором воспринимается или вырабатывается информация, различают прямые и инверсные входы и выходы логических элементов.

Прямым считается такой вход (выход), на котором двоичная переменная имеет значение 1, когда уровень напряжения на этом входе (выходе) соответствует состоянию, принятому за 1.

Если двоичная переменная на входе (выходе) имеет значение 1 при уровне напряжения на нем, соответствующем состоянию, принятому за 0, такой вход (выход) называется инверсным.

Каждый ЛЭ преобразует последовательность входных сигналов в последовательность выходных сигналов или сигнал.

Способ преобразования последовательности входных сигналов в последовательность выходных сигналов или сигнал чаще всего описывается:

- логическим выражением;
- в виде таблицы истинности, которая отображает значение выходного сигнала, соответствующее конкретному набору значений входных сигналов;
- в виде временных диаграмм (зависимость во времени значений выходного сигнала от значений входных сигналов).

2.1. Простейшие логические элементы

К простейшим логическим элементам (ЛЭ) относятся логические элементы, выполняющие основные операции алгебры логики: конъюнкцию (логическое умножение, или иначе операция И), дизъюнкцию (логическое сложение или иначе операция ИЛИ), инверсию (инверсия, или отрицание, или иначе операция НЕ).

Логический элемент НЕ.

Реализует функцию логического отрицания (инверсии):

$$F = \bar{X}.$$

На рис. 2.1 представлено условно-графическое обозначение (УГО), таблица истинности и диаграмма работы ЛЭ НЕ (инвертора).

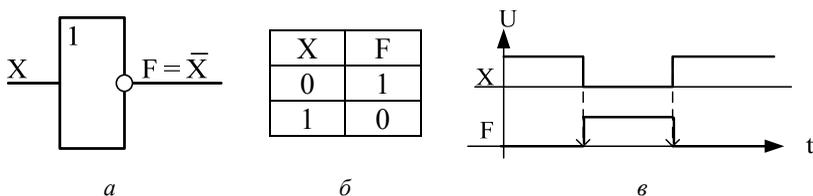


Рис. 2.1. Логический элемент НЕ (инвертор):
а – УГО; б – таблица истинности; в – диаграмма работы

Логический элемент И.

Реализует функцию логического умножения (конъюнкцию):

$$F = X1 * X2 \text{ или } X1 \wedge X2.$$

На выходе ЛЭ И (рис. 2.2) сигнал 1 появится тогда и только тогда, когда на всех его входах присутствуют сигналы 1.

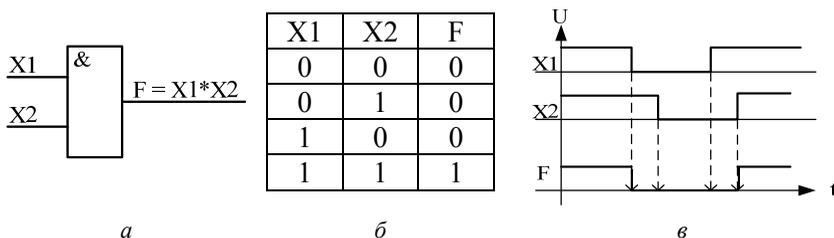


Рис. 2.2. Логический элемент И (конъюнктор):
а – УГО; б – таблица истинности; в – диаграмма работы ЛЭ И

Логический элемент ИЛИ.

Реализует функцию логического сложения (дизъюнкцию):

$$F = X1 + X2 \text{ или } X1 \vee X2.$$

На выходе ЛЭ ИЛИ (рис. 2.3) сигнал 1 появится тогда, когда хотя бы на одном из его входов присутствует сигнал 1.

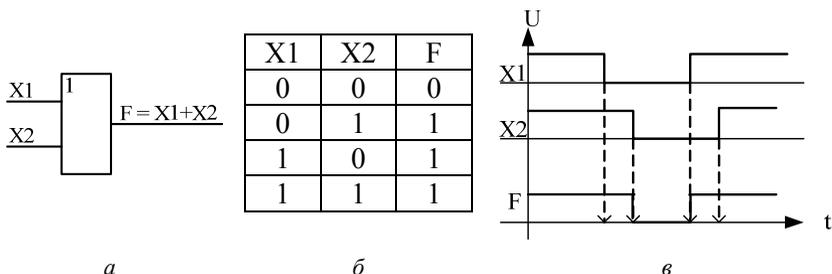


Рис. 2.3. Логический элемент ИЛИ (дизъюнктор):
a – УГО; *б* – таблица истинности; *в* – диаграмма работы ЛЭ ИЛИ

ЛЭ И, ИЛИ, НЕ предназначены для выполнения трех основных операций (конъюнкция, дизъюнкция, инверсия) цифровой логики над дискретными сигналами.

Иначе эти элементы называют основными.

2.2. Цифровая интегральная микросхема

Элементарной базой современных цифровых устройств и систем являются цифровые интегральные микросхемы.

Цифровая интегральная микросхема (ИМС) – это микроэлектронное изделие, изготовленное методами интегральной технологии (чаще полупроводниковой), заключенное в самостоятельный корпус и выполняющее определенную функцию преобразования дискретных (цифровых) сигналов. В зависимости от технологии изготовления интегральные микросхемы подразделяются на серии (семейства), которые различаются физическими параметрами базовых элементов и их функциональным назначением. Наиболее широкое применения находят ИМС, изготовленные по ТТЛ, КМОП, *n*-МОП технологиям. Каждая технология непрерывно совершенствуется с целью увеличения быстродействия, уменьшения потребляемой мощности, увеличения степени интеграции (число элементов, размещенных на кристалле заданной площади) и т. д.

ИМС (рис. 2.4) обязательно имеет следующие выводы:

– выводы питания: Общий («земля») и Напряжение питания (U_n).
 Данные выводы на схемах обычно не показываются;

– выводы для входных сигналов («Входы»), на которые поступают внешние цифровые сигналы;

– вывод или выводы для выходных сигналов («Выходы»), на которые выдаются цифровые сигналы из самой микросхемы.

Каждый вывод имеет свой номер, например, « $U_{п}$ » – 14, «Общий» – 7 и т. д.

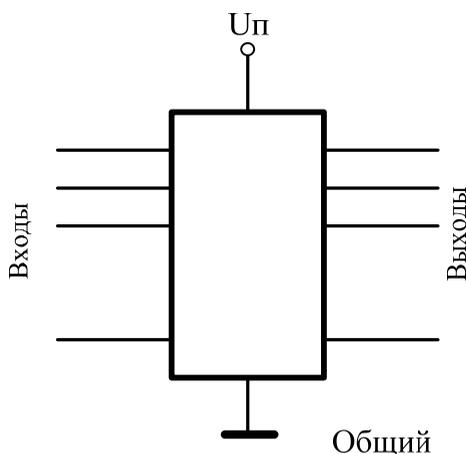


Рис. 2.4. Внешний вид ИМС

Каждая микросхема преобразует тем или иным способом последовательность входных сигналов в последовательность выходных сигналов или сигнал.

Способ преобразования чаще всего описывается:

– логическим выражением;

– в виде таблицы (таблицы истинности), которая отображает значение выходного сигнала (сигналов), соответствующее конкретному набору значений входных сигналов;

– в виде временных диаграмм, то есть графиков зависимости во времени значений выходного сигнала (сигналов) от значений входных сигналов.

Если X_1 и X_2 – входные сигналы, F – выходной сигнал, то примеры описания способа преобразования последовательности входных сигналов в выходной сигнал для операции «Конъюнкция» можно представить в видах, приведенных в табл. 2.1.

Описание способа преобразования последовательности входных сигналов в выходной сигнал для операции «Конъюнкция»

Логическое выражение	Таблица истинности	Диаграмма работы															
$F = X1 * X2$ или $X1 \wedge X2$	<table border="1"> <thead> <tr> <th>X1</th> <th>X2</th> <th>F</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	X1	X2	F	0	0	0	0	1	0	1	0	0	1	1	1	
X1	X2	F															
0	0	0															
0	1	0															
1	0	0															
1	1	1															

ИМС может содержать несколько одинаковых цифровых элементов (узлов), которые выполняют одну и ту же функцию. В зависимости от сложности выполняемого преобразования таких элементов в интегральной схеме может быть разное количество.

Например, элементов, выполняющих операцию «Конъюнкция» (ЛЭ И) над двумя входными сигналами ($X1, X2$), в ИМС – четыре, а элементов, выполняющих операцию «Конъюнкция» над тремя входными сигналами ($X1, X2, X3$), в ИМС – три (рис. 2.5).

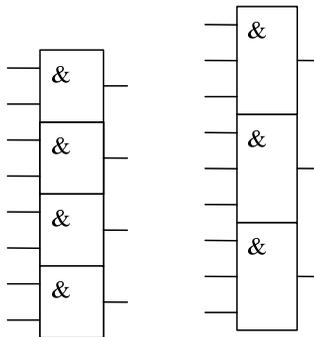


Рис. 2.5. ИМС, содержащие элементы конъюнкции:
& – обозначение операции «Конъюнкция»

2.2.1. Семейства ИМС

Логические элементы, выполненные на основе одной конструктивно-технологической реализации, образуют семейство схем.

Интегральные микросхемы выпускаются в виде серий. Каждая серия содержит несколько микросхем, которые выполняют определенные функции, однако они имеют единое конструктивно-технологическое исполнение и предназначены для совместного применения.

Конструктивно-технологическая реализация ИМС определяет их основные технические характеристики:

- амплитудную передаточную характеристику: $U_{\text{вых}} = F(U_{\text{вх}})$;
- входную характеристику: $I_{\text{вх}} = F(U_{\text{вх}})$;
- выходную характеристику: $U_{\text{вых}} = F(I_{\text{вых}})$.

Основные характеристики в свою очередь определяют технические параметры (быстродействие, потребляемую мощность, устойчивость к внешним дестабилизирующим факторам):

– $U_{\text{вых}} = F(U_{\text{вх}})$ определяет формирующие свойства ЛЭ, его помехоустойчивость, амплитуду и уровни стандартного сигнала;

– $I_{\text{вх}} = F(U_{\text{вх}})$ определяет зависимость входного тока ЛЭ от входного напряжения определяет нагрузочную способность ЛЭ и режим работы линий связи;

– $U_{\text{вых}} = F(I_{\text{вых}})$ определяет зависимость выходного напряжения ЛЭ от выходного тока нагрузки. Эта характеристика в совокупности с входной позволяет определить нагрузочную способность ЛЭ, режим его работы, способ согласования переходных процессов в линиях связи.

Различают следующие основные виды (типы) конструктивно-технологического исполнения:

– биполярные ИМС (ТТЛ – транзисторно-транзисторная логика, ТТЛШ-транзисторно-транзисторная логика с диодами Шоттки);

– ИМС на основе МОП транзисторов;

– ИМС на основе комбинированной биполярно-комплементарной (КМОП) технологии (применяются комплементарные МОП-транзисторы с каналами n - и p -типа).

Биполярные ИМС отличаются от МОП ИМС более высоким быстродействием, высокой нагрузочной способностью, повышенной устойчивостью к дестабилизирующим факторам, но имеют высокую потребляемую мощность.

ИМС КМОП имеют лучшие черты биполярных ИМС (высокое быстродействие и высокая нагрузочная способность) и низкую потребляемую мощность.

Обозначения отечественных ИМС.

Обозначения интегральных микросхем отечественного производства включает буквы и цифры.

Первая буква К обозначает, что ИМС общего применения (коммерческая).

Если буква К отсутствует, то это означает, что ИМС специального применения.

Вторая буква (для некоторых ИМС) указывает особенности конструктивного исполнения, например, М – керамический корпус типа 2 и т. д.

Следующие 3 или 4 цифры – это серия. Первая цифра в серии обозначает конструктивно-технологическое исполнение: 1, 5, 7 – полупроводниковые (7 – полупроводниковые бескорпусные); 2, 4, 6, 8 – гибридные; 3 – прочие.

Следующие две буквы – функциональное назначение схемы: ЛА – логический элемент И-НЕ, ЛИ – логический элемент И, ЛН – логический элемент НЕ и т. д.

Последние две цифры – номер разработки в данной серии.

Например, К1533ЛА3 – это коммерческая ИМС серии 1533, содержащая ЛЭ И-НЕ.

Главное достоинство отечественной системы обозначения состоит в том, что по обозначению микросхемы можно легко понять ее функцию.

Обозначения зарубежных ИМС.

В качестве базиса в цифровой схемотехнике принято рассматривать классический набор микросхем малой и средней степени интеграции, в основе которого лежат ТТЛ серии семейства 74 (фирма Texas Instruments, США).

Даже при компьютерном проектировании современных сложных микросхем с программируемой логикой (ПЛИС) применяются модели простейших микросхем этих серий семейства 74.

В качестве примера рассмотрим систему обозначения ИМС фирмы Texas Instruments (рис. 2.6). Достоинством этого обозначения является то, что в обозначении виден тип серии с его особенностями.

1. Идентификатор фирмы SN (для серий АС и АСТ отсутствует).

2. Температурный диапазон (тип семейства):

– 74 – коммерческие интегральные микросхемы (температура окружающей среды для биполярных микросхем – 0...70 °С, для КМОП – –40...+85 °С;

– 54 – ИМС военного назначения (температура окружающей среды – –55...+125 °С).



Рис. 2.6. Система обозначения ИМС фирмы Texas Instruments

3. Код серии (до трех символов):

– Отсутствует – стандартная ТТЛ – серия;

– LS (Low Power Schottky) – маломощная серия ТТЛШ;

– S (Schottky) серия ТТЛШ;

ALS (Advanced Schottky) – улучшенная серия ТТЛШ;

– F (FAST) – быстрая серия;

– HC (High Speed CMOS) – высокоскоростная КМОП-серия;

– HCT (High Speed CMOS with TTL inputs) – серия HC, совместимая по входу с ТТЛ;

– AC – (Advanced CMOS) – улучшенная серия КМОП;

– ACT – (Advanced CMOS with TTL inputs) – серия AC, совместимая по входу с ТТЛ;

– BCT (BiCMOS Technology) – серия с БиКМОП-технологией;

– ABT (Advanced BiCMOS Technology) – улучшенная серия с БиКМОП-технологией;

– LVT (Low Voltage Technology) – серия с низким напряжением питания.

4. Идентификатор специального типа (2 символа) – может отсутствовать.

5. Тип микросхемы.

6. Код типа корпуса (от одного до двух символов) может отсутствовать. Например, *N* – пластмассовый корпус *DIL* (*DIP*); *J* – керамический *DIL* (*DIC*); *T* – плоский керамический.

Семейство ТТЛ-схем.

Логические элементы схем этого семейства строятся на основе многоэмиттерных биполярных транзисторов (рис. 2.7).

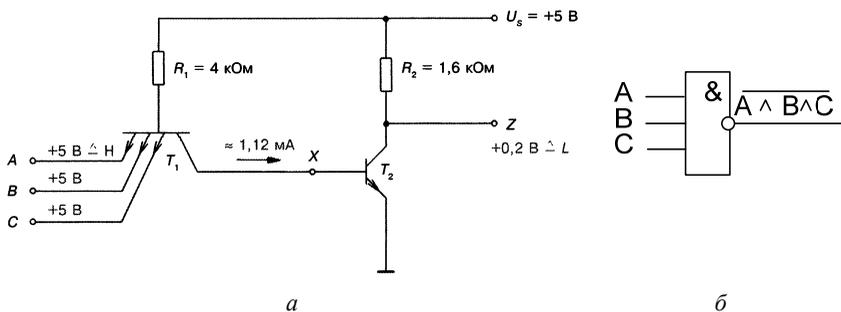


Рис. 2.7. Простой ТТЛ-элемент И-НЕ с тремя входами:
а – принципиальная схема; б – УГО

Если на входах А, В и С действует высокое напряжение, то транзистор T_1 работает в инверсном режиме (переход база-коллектор смещен в прямом направлении).

Транзистор T_2 открыт, и на выходе Z будет низкое напряжение примерно 0,2 В.

Если на одном из входов транзистора T_1 действует низкое напряжение, то транзистор T_1 работает нормально в режиме насыщения.

Напряжение на его коллекторе падает примерно на 0,2 В. Транзистор T_2 закрывается. На выходе Z будет высокое напряжение.

Если один из входов многоэмиттерного транзистора T_1 «висит в воздухе», то он приравнивается к входу с высоким уровнем напряжения, так как такой вход не способен понизить напряжение в точке X схемы на рисунке 2.6 до 0,2 В.

Схема подключения ЛЭ И-НЕ с двумя входами (2И-НЕ) в интегральной микросхеме представлена на рис. 2.8.

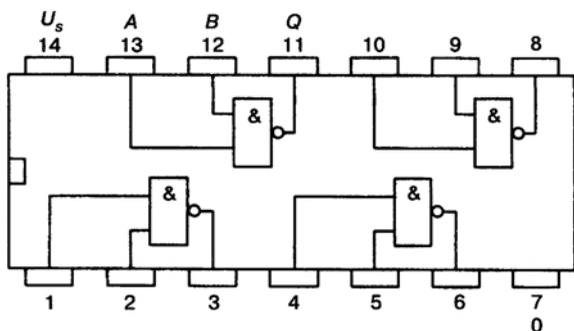


Рис. 2.8. Схема подключения интегральной микросхемы SN7400

В семейство ТТЛ-схем входят несколько серий ИМС. Все они имеют напряжение питания ± 5 В и совместимы друг с другом.

Стандартная ТТЛ-серия К155 (аналог 7400) была первым промышленным стандартом.

В основном ТТЛ-элементы выпускаются в DIP-корпусах (рис. 2.9).

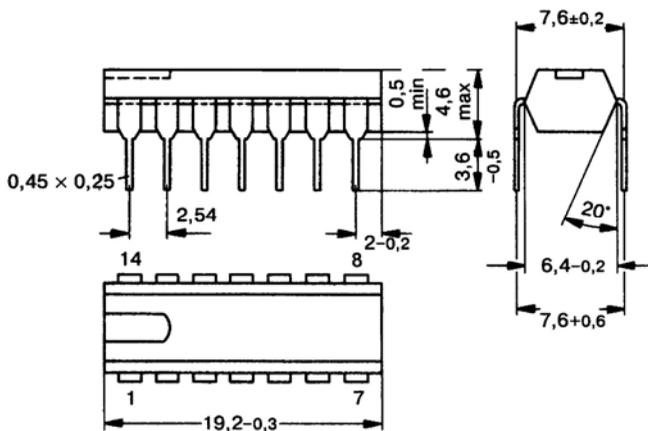


Рис. 2.9. Корпус DIP с двухсторонним расположением выводов

В ТТЛШ-серии К531 (74S00) применение диодов и транзисторов Шоттки позволило сократить времена переключения схем.

Маломощная ТТЛШ-серия К555 (74LS00) обладает более низкой потребляемой мощностью.

В семействе ТТЛ-схем имеются все типы элементов, реализующих основные логические функции (m – число входов ЛЭ):

- НЕ (элементы ЛН);
- мИ (элементы ЛИ);
- мИ-НЕ (элементы ЛА);
- мИЛИ (элементы ЛЛ);
- мИЛИ-НЕ (элементы ЛЕ);
- мИ/мИЛИ-НЕ (элементы ЛР), где m – количество входов логического элемента.

ЛЭ на КМОП-транзисторах.

Сокращение КМОП означает «комплементарные МОП-транзисторы». Комплементарные элементы типа КМОП строятся по технологии «металл-окисел-полупроводник».

Также иногда используется сокращение CMOS, которое обозначает «комплементарная симметричная МОП-структура» (рис. 2.10).

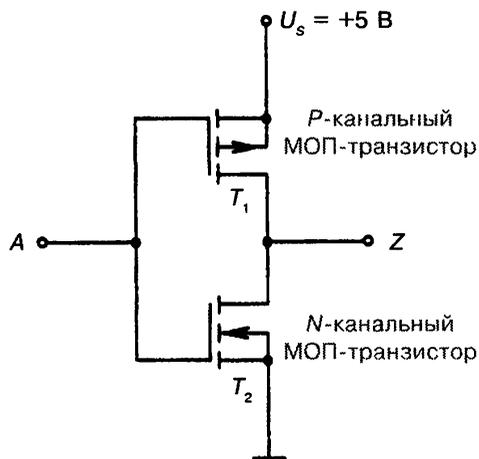


Рис. 2.10. Схема КМОП ЛЭ НЕ

Если на входе A действует высокий уровень (1), то транзистор T_2 открыт, транзистор T_1 закрыт, и на выходе элемента Z имеется низкий уровень (0).

Если на входе A действует низкий уровень (0), то транзистор T_2 закрыт, транзистор T_1 открыт, и на выходе элемента Z имеется высокий уровень (1).

В КМОП-элементе один из транзисторов всегда закрыт, и такой элемент практически не потребляет ток. Только во время переключения (в момент смены состояния элемента из логической 1 в логический 0 и наоборот) от источника питания потребляется небольшой ток, так как оба транзистора одновременно, но ненадолго открыты.

Один из транзисторов переходит из открытого состояния в закрытое, а другой, наоборот, из закрытого состояния переходит в открытое состояние.

На рис. 2.11 приведена схема КМОП ЛЭ И-НЕ.

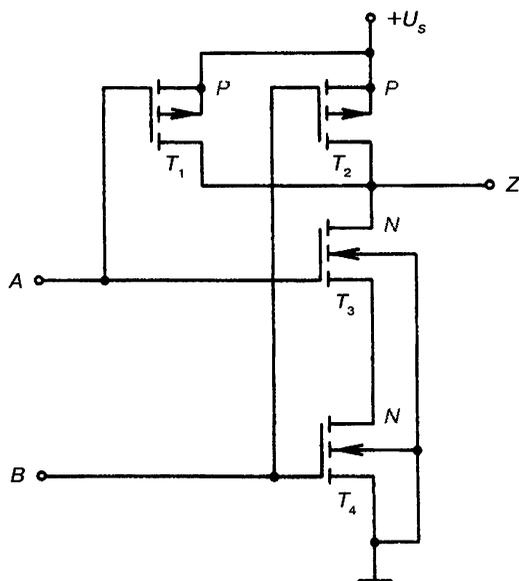


Рис. 2.11. Схема КМОП ЛЭ И-НЕ

Если на обоих входах действуют высокий уровень (1), то транзисторы T_1 и T_2 закрыты, транзисторы T_3 и T_4 открыты, и на выходе элемента Z имеется низкий уровень (0).

Если на один вход подан высокий уровень (1), а на другой – низкий уровень (0), то один из верхних транзисторов T_1 (или T_2) открывается, а один из нижних транзисторов T_3 (или T_4) закрывается. Через открытые транзисторы к выходу будет прикладываться высокий уровень (1).

Логические элементы, изготовленные по КМОП-технологии, потребляют значительно меньшую мощность, чем логические элементы на основе биполярных транзисторов как в статическом, так и в динамическом режимах.

Потребление мощности КМОП-элементами обусловлено в основном перезарядом паразитных емкостей при переключении элемента из одного логического состояния в другое, зависит от частоты переключений и расходуется в основном на перезаряд емкостей нагрузки, паразитных емкостей монтажа и выводов элемента, а также межэлектродных внутренних емкостей транзисторов.

Поскольку входы схем образованы изолированными затворами МОП-транзисторов, то входные токи очень малы. Поэтому коэффициент разветвления по выходу очень высок.

Кроме того, КМОП-элементы имеют высокую помехозащищенность и являются высокотехнологичными, так как не содержат в своих схемах разнородных элементов, таких как резисторы, диоды и т. п.

Этим элементам свойственна высокая плотность размещения элементов на единицу площади кристалла. МОП-транзистор занимает на кристалле значительно меньшую площадь, чем биполярный транзистор, кроме того отсутствует необходимость использования изолирующих областей.

Современные технологии производства СБИС позволяют создавать МОП-транзисторы с длиной канала 0,018 мкм, а число элементов на одном кристалле превышает 10^9 .

Параметры логических элементов, реализуемых с помощью современных КМОП-технологий, существенно превосходят параметры ТТЛ-элементов.

Время задержки распространения современных КМОП-элементов составляет около 10 нс, а мощность, потребляемая инвертором, – не более 10 мкВт.

К недостаткам КМОП-элементов ИС малой и средней степени интеграции можно отнести:

- сравнительно низкое быстродействие относительно ТТЛ-элементов;
- низкая устойчивость к статическому электричеству, поэтому внутри элементов предусматриваются защитные диоды;
- паразитное влияние *p-n-p*- и *n-p-n*-переходов, которые возникают в кристалле как побочные переходы в КМОП-структурах, размещаемых на одном кремниевом кристалле.

Эти паразитные биполярные структуры иногда отрицательно сказываются на поведении КМОП-элементов, вызывая так называемый тиристорный (триггерный) эффект, искажающий передаточную характеристику элемента.

Для исключения триггерного эффекта питание на КМОП-ИС должно подаваться обязательно прежде подачи входных сигналов.

Цифровые КМОП-микросхемы получили широкое применение в аппаратуре различного назначения.

Их преимущества перед цифровыми микросхемами других технологий:

- широкий диапазон питающих напряжений (от 3 до 16 В или от 2 до 6 В), что дает возможность легко выбрать источник питания и согласовать их с ТТЛ-схемами по логическим уровням;

- малые токи потребления (обычно ток покоя определяется единицами микроампер), благодаря чему КМОП-микросхемы незаменимы в автономных устройствах;

- возможность работы не только с цифровыми, но и с аналоговыми сигналами (аналоговые коммутаторы и ключи).

С появлением на рынке импортных микросхем серий 40, 44, 45 появилась возможность разрабатывать аппаратуру, используя все богатство функциональных узлов КМОП-микросхем.

Обозначение этих микросхем содержит в себе ряд элементов. Например, CD4099DCN состоит из трех частей:

1. Первые две буквы CD используют почти все фирмы-производители для обозначения КМОП цифровых микросхем. Исключением является только фирма MOTOROLA, которая вместо CD ставит MC1. Эта 1 сливается с последующим номером и в результате получается, например, не 40, а 140 серия.

2. Следующая группа цифр – серийный номер микросхемы (4099).

3. Последняя группа букв указывает тип корпуса. Почти все западные фирмы выпускают КМОП цифровые микросхемы в корпусах DIP и SOIC.

При использовании отечественных аналогов следует иметь в виду, что параметры отечественных микросхем могут резко уступать зарубежному прототипу как по максимально допустимому напряжению, так и по быстродействию.

КМОП – серия CD4011В является промышленным стандартом. Быстродействующая КМОП-серия 74НС00 по выводам и функционально совместима с аналогичной ТТЛ-серией.

Как уже говорилось, все цифровые интегральные микросхемы работают с логическими сигналами, имеющими два разрешенных уровня напряжения.

Один из этих уровней называется уровнем логической единицы (или единичным уровнем), а другой – уровнем логического нуля (или нулевым уровнем).

Чаще всего логическому нулю соответствует низкий уровень напряжения, а логической единице – высокий уровень. В этом случае говорят, что принята «положительная логика».

Однако при передаче сигналов на большие расстояния и в системных шинах микропроцессорных систем порой используют обратное представление, когда логическому нулю соответствует высокий уровень напряжения, а логической единице – низкий уровень. В этом случае говорят об «отрицательной логике».

В данном пособии речь будет идти о положительном напряжении и положительной логике.

2.3. Базовые (базисные) логические элементы

Помимо простейших ЛЭ имеется набор логических элементов (ЛЭ), с помощью которых могут быть получены все остальные функции булевой алгебры (например, конъюнкция, дизъюнкция, инверсия).

Такие ЛЭ называются базовыми или базисными.

К базовым (базисным) ЛЭ относятся логические элементы И-НЕ (рис. 2.12) и ИЛИ-НЕ (рис. 2.13).

Кроме этого, любую схему, нарисованную на различных ЛЭ (И, ИЛИ, НЕ), можно реализовать с помощью набора логических элементов И-НЕ, либо набора ЛЭ ИЛИ-НЕ. А это значит, что ее изготовление будет значительно дешевле из-за однотипности технологического процесса.

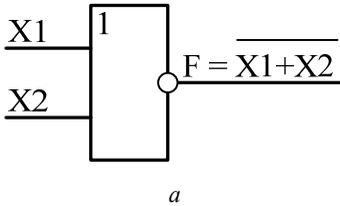
Базовые логические элементы являются комбинацией двух простейших логических элементов (И-НЕ – комбинация ЛЭ И и НЕ; ИЛИ-НЕ – комбинация ЛЭ ИЛИ и НЕ).

Логический элемент ИЛИ-НЕ.

На выходе ЛЭ ИЛИ-НЕ (рис. 2.12) сигнал 1 появится тогда, когда оба входных сигнала будут равны 0 (или иначе, хотя бы одна 1 на входах – на выходе будет 0).

ЛЭ ИЛИ-НЕ является комбинацией логического элемента ИЛИ и логического элемента НЕ.

$$F = \overline{X1 + X2}.$$



X1	X2	F
0	0	1
0	1	0
1	0	0
1	1	0

б

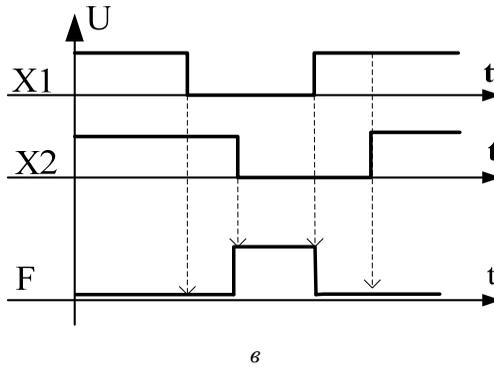


Рис. 2.12. Логический элемент ИЛИ-НЕ:
a – УГО ЛЭ ИЛИ-НЕ; *б* – таблица истинности ЛЭ ИЛИ-НЕ;
в – диаграмма работы ЛЭ ИЛИ-НЕ

Логический элемент И-НЕ.

ЛЭ И-НЕ является комбинацией ЛЭ И и НЕ.

$$F = \overline{X1 * X2}.$$

На выходе ЛЭ И-НЕ (рис. 2.13) сигнал 1 появится тогда, когда хотя бы один из входных сигналов будет равен 0 (иначе, если сигналы на всех входах равны 1, сигнал на выходе будет равен 0).

Схемотехнически любая цифровая схема может быть выполнена только на базовых ЛЭ И-НЕ или только на базовых ЛЭ ИЛИ-НЕ.

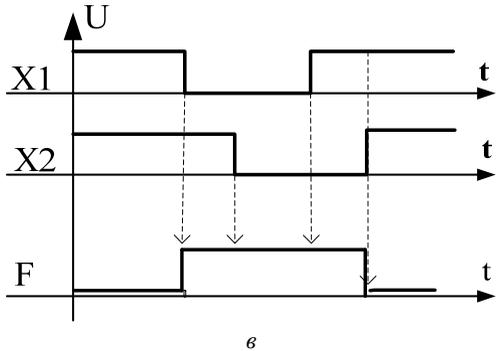
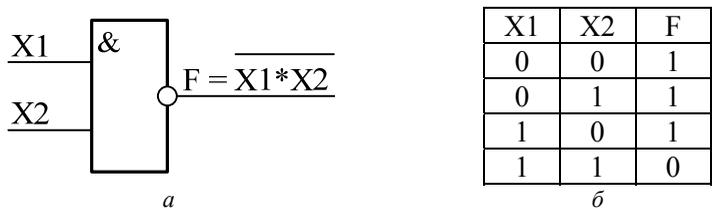


Рис. 2.13. Логический элемент И-НЕ:
a – УГО ЛЭ И-НЕ; *б* – Таблица истинности ЛЭ И-НЕ;
в – Диаграмма работы ЛЭ И-НЕ

Для приведения логического выражения к базовому ЛЭ И-НЕ или базовому ЛЭ ИЛИ-НЕ используются:

- первая теоремы Де-Моргана;
- вторая теоремы Де-Моргана;
- правило двойного отрицания;
- правило повторения.

Первая теорема Де-Моргана: $X1 + X2 = \overline{\overline{X1} * \overline{X2}}$;

Вторая теорема Де-Моргана: $X1 * X2 = \overline{\overline{X1} + \overline{X2}}$;

Правило двойного отрицания: $X1 * X2 = \overline{\overline{X1} * \overline{X2}}$;

Правило двойного отрицания: $X1 + X2 = \overline{\overline{X1} + \overline{X2}}$;

Правило повторения: $X * X = X$;

Правило повторения: $X + X = X$.

Реализация функции ИЛИ на базовых ЛЭ И-НЕ осуществляется с помощью теоремы Де-Моргана (рис. 2.14).

$$X1 + X2 = \overline{\overline{X1} * \overline{X2}} = \overline{\overline{X1} * \overline{X1} * \overline{X2} * \overline{X2}}$$

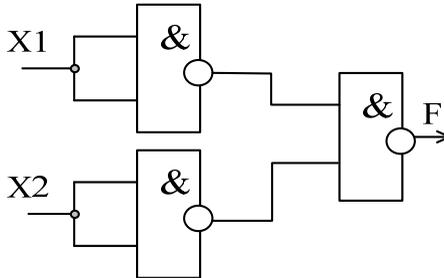


Рис. 2.14. Реализация функции ИЛИ на базовых ЛЭ И-НЕ

Реализация функции ИЛИ на базовых ЛЭ ИЛИ-НЕ осуществляется согласно правилу двойного отрицания (рис. 2.15).

$$X1 + X2 = \overline{\overline{X1 + X2}}$$

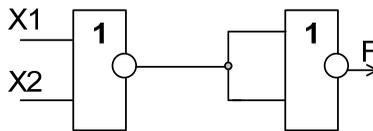


Рис. 2.15. Реализация функции ИЛИ на базовых ЛЭ ИЛИ-НЕ

Реализация функции И на базовом ЛЭ ИЛИ-НЕ представлена на рис. 2.16.

$$X1 * X2 = \overline{\overline{X1} + \overline{X2}} = \overline{\overline{X1} + X1 + \overline{X2} + X2}$$

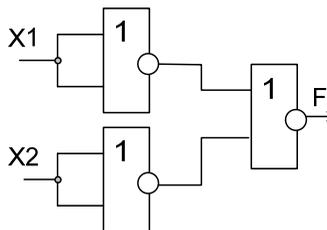


Рис. 2.16. Реализация функции И на базовом ЛЭ ИЛИ-НЕ

Реализация функции И на базовом ЛЭ И-НЕ представлены на рис. 2.17.

$$X1 * X2 = \overline{\overline{X1 * X2}}$$

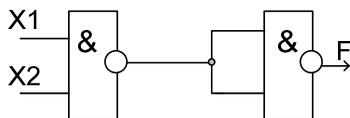


Рис. 2.17. Реализация функции И на базовом ЛЭ И-НЕ

Реализация функции НЕ (инверсия) на базовом ЛЭ И-НЕ и базовом ЛЭ ИЛИ-НЕ представлены на рис. 2.18.

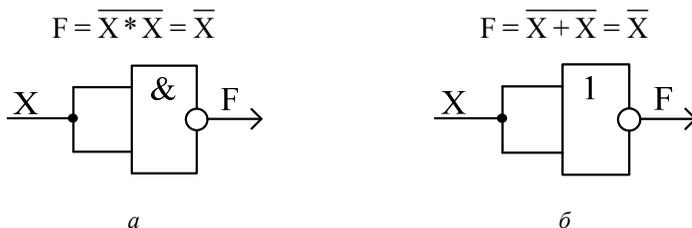


Рис. 2.18. Реализация функции НЕ на базовом ЛЭ И-НЕ (а) и базовом ЛЭ ИЛИ-НЕ (б)

Функция НЕ реализуется на основе базового ЛЭ И-НЕ или базового ЛЭ ИЛИ-НЕ объединением их входов соответственно с использованием правила повторения (для умножения – $X * X = X$; для сложения – $X + X = X$).

Использование наборов базовых (базисных) логических элементов позволяет изготавливать на кристалле только одинаковые элементы, реализуя различные функции только их определенной коммутацией.

Другой причиной их использования может служить, например, то, что для определенных типов логических элементов их электрические характеристики зависят от вида реализуемой функции. Так, для КМОП ИС элементы ИЛИ-НЕ характеризуются большим быстродействием и помехоустойчивостью, чем элементы И-НЕ.

2.4. Более сложные логические элементы

Логический элемент XOR («Исключающее ИЛИ», иначе «сложение по модулю 2», иначе «четвертьсумматор»).

Элемент XOR также можно было бы отнести к простейшим логическим элементам, но функция, выполняемая ими, несколько сложнее, чем в случае элемента И или элемента ИЛИ.

Все входы логических элементов «Исключающее ИЛИ» равноправны, однако ни один из входов не может заблокировать другие входы, установив выходной сигнал в уровень 1 или 0.

Под функцией «Исключающее ИЛИ» понимают следующее: единица на выходе появляется тогда, когда только на одном входе присутствует 1. Если единиц на входах две или больше, или на всех входах нули, то на выходе будет нуль.

На рис. 2.19 представлены УГО (а) и таблица истинности (б) ЛЭ XOR.

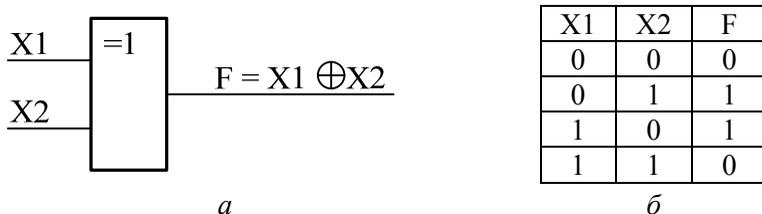


Рис. 2.19. Логический элемент XOR:
а – УГО ЛЭ XOR; б – таблица истинности

Значок \oplus обозначает операцию сложения по модулю 2.

Как видно из рис. 2.19, а, логическое выражение, описывающее работу ЛЭ XOR, более сложное, чем логические выражения, описывающие работу ранее рассмотренных ЛЭ.

Диаграмма работы ЛЭ XOR представлена на рис. 2.20.

Известно, что функция F действительна тогда, когда она равна 1.

Из таблицы истинности (рис. 2.18, б) видно, что это соответствует подаче комбинаций входных сигналов 01 или 10.

От таблицы истинности можно перейти к логическому выражению. Тогда операция сложения по модулю 2 (\oplus) заменится на обычные логические операции (НЕ, И, ИЛИ):

$$F = \overline{X1} * X2 + X1 * \overline{X2}.$$

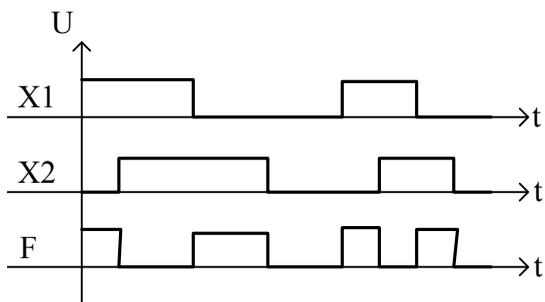


Рис. 2.20. Диаграмма работы ЛЭ XOR

Логических элементов XOR в стандартных сериях немного в связи с тем, что они реализуют специфическую функцию.

Если необходимо получить многовходовой ЛЭ XOR, то используются схемы, представленные на рис. 2.21 и 2.22.

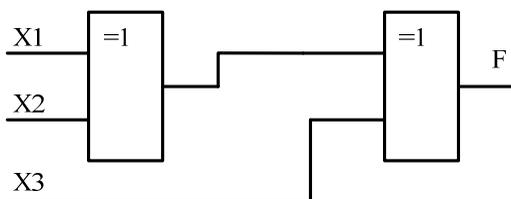


Рис. 2.21. Схема 3-х входового ЛЭ XOR

В схеме, представленной на рис. 2.22, сигнал на выходе (F) будет сформирован после его задержки четырьмя ЛЭ XOR.

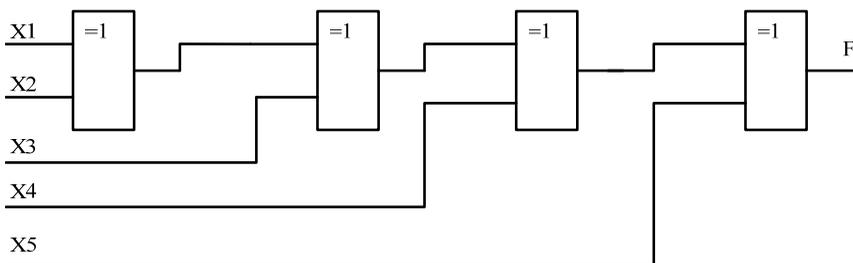


Рис. 2.22. Схема 5-ти входового ЛЭ XOR

На рис. 2.23 представлена схема ЛЭ XOR, который имеет 5 входов. Данная схема имеет меньшее время задержки (три ЛЭ) формирования значения F .

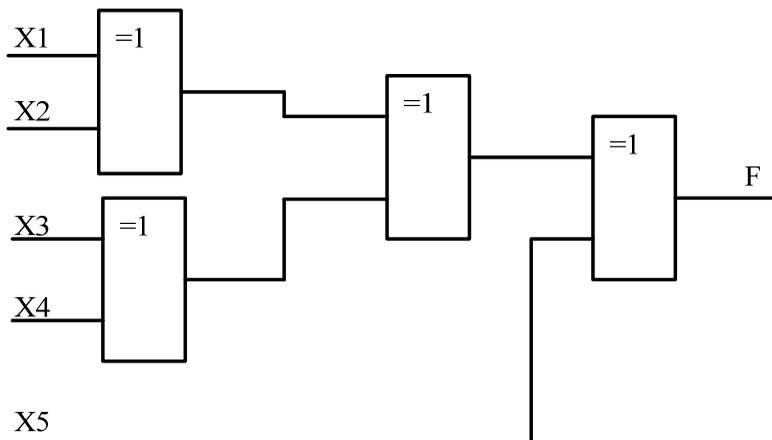


Рис. 2.23. 5-ти входовой ЛЭ XOR

Данная схема используется для формирования значения паритета. Паритет используется для обнаружения одиночных ошибок (изменение значения только одного разряда двоичного числа), возникших при передаче двоичных чисел по линиям связи на большие расстояния.

Применение ЛЭ XOR.

Основное применение ЛЭ «Исключающее ИЛИ», прямо следующее из таблицы истинности, состоит в сравнении двух сигналов. В случае, когда на входы приходят две единицы или два нуля (сигналы совпадают), на выходе формируется нуль (рис. 2.19, б).

Обычно при таком применении на один вход ЛЭ подается постоянный уровень, с которым сравнивается изменяющийся во времени сигнал, приходящий на другой вход.

В качестве сумматора по модулю два ЛЭ XOR используется также в параллельных и последовательных делителях по модулю 2, которые служат для вычисления циклических контрольных сумм (CRC).

Важное применение элементов «Исключающее ИЛИ» – это управляемый инвертор (рис. 2.24).

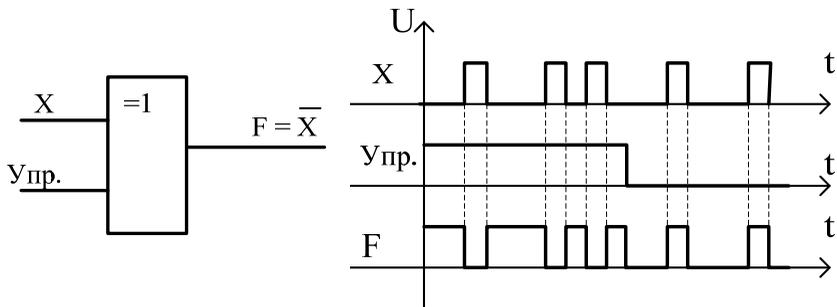


Рис. 2.24. Элемент Исключающее ИЛИ в роли управляемого инвертора

В этом случае один из входов элемента используется в качестве управляющего, а на другой вход поступает управляющий сигнал. Если на управляющем входе единица, то входной сигнал инвертируется, если нуль – не инвертируется.

Чаще всего управляющий сигнал задается постоянным уровнем, определяя режим работы элемента, а информационный сигнал является импульсным.

Т. е. элемент «Исключающее ИЛИ» может изменять полярность входного сигнала или фронта, а может и не изменять в зависимости от управляющего сигнала.

Сложные логические элементы.

Помимо простейших ЛЭ (И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ) в состав стандартных серий входят и несколько более сложных логических элементов. Они представляют собой несложную комбинацию из простейших ЛЭ.

К таким ЛЭ относятся ЛЭ *m*И/*m*ИЛИ-НЕ, где *m* – число входов (рис. 2.25).

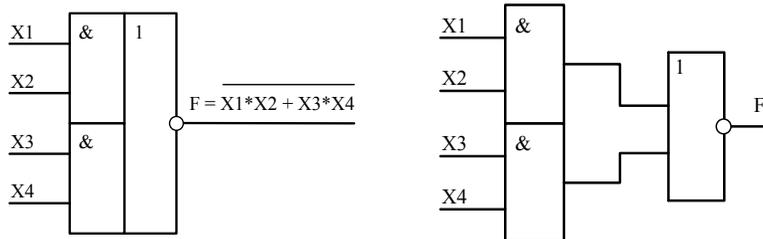


Рис. 2.25. ЛЭ 2И/2ИЛИ-НЕ и его эквивалентная схема

Данные ЛЭ находят довольно широкое применение. Самое распространенное использование – это использование для переключения сигналов с двух входов на один выход (рис. 2.26, а).

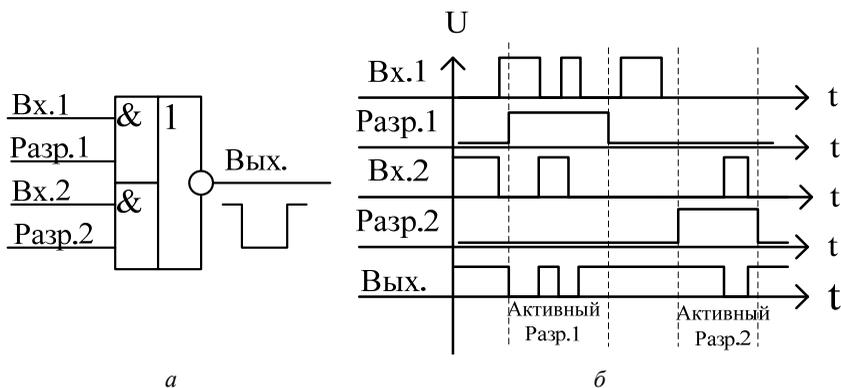


Рис. 2.26. Схема переключения сигналов:

- а – схема переключения каналов с помощью двух сигналов разрешения;
- б – диаграмма работы схемы переключения каналов с помощью двух сигналов

При этом один из входов каждого из элементов 2И используется в качестве информационного (Vx.1, Vx.2), а другой – в качестве разрешающего (Разр.1, Разр.2). Разрешающие сигналы должны быть высокими.

Условием корректной работы приведенной схемы является то, что одновременно оба разрешающих сигнала (Разр.1 и Разр.2) не могут иметь высокий уровень, т. е. $\text{Разр.1} * \text{Разр.2} = 0$.

Диаграмма работы схемы переключения каналов с помощью двух сигналов разрешения приведена на рис. 2.26, б.

На рис. 2.27 представлена схема переключения двух входов на один с помощью одного управляющего сигнала Разр., что является достоинством схемы.

Если сигнал Разр. = 1, то сигнал Vx.1 передается на выход Вых, если же сигнал Разр. = 0, то на выход Вых. передается сигнал Vx.2.

Приведенная на рис. 2.26 схема имеет дополнительный ЛЭ (инвертор), т. е. время получения сигнала со входа Vx.2 относительно времени получения сигнала с входа Vx.1 увеличивается на время задержки ЛЭ НЕ, что является недостатком схемы.

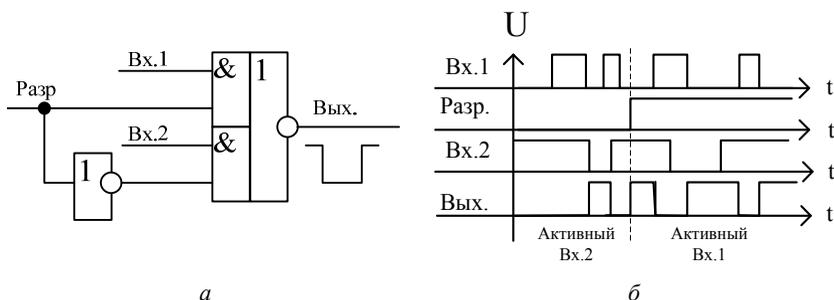


Рис. 2.27. Схема переключения двух входов на один:
а – схема переключения каналов с помощью одного сигнала разрешения;
б – диаграмма работы схемы

Обе схемы (рис. 2.27 и рис. 2.26) имеют инверсные выходы, т. е. сигнал на выходах схем будет инверсным относительно входных сигналов.

2.5. Особенности работы логических элементов

В логических схемах информация, представленная двоичными сигналами «0» и «1», многократно преобразуется и разветвляется, проходит последовательно по длинной цепочке логических элементов (ЛЭ), каждый из которых нагружен на некоторое количество логических элементов и имеет некоторое количество информационных входов (рис. 2.28).

Для нормального функционирования таких сложных логических схем необходимо, чтобы каждый ЛЭ безошибочно выполнял свои функции при самых различных комбинациях нагрузок на входе и выходе, независимо от положений в логической цепи и длины межэлементных связей.

При этом должно быть обеспечено неискаженное логическое преобразование двоичной информации.

В то же самое время искажения формы и уровней выходных сигналов существенного значения не имеют (раздел 1 пособия), если эти искажения находятся в пределах зон отображения (разброса) уровней двоичных сигналов «0» и «1» и не приводят к потере информации или сбоям в работе последующих ЛЭ.

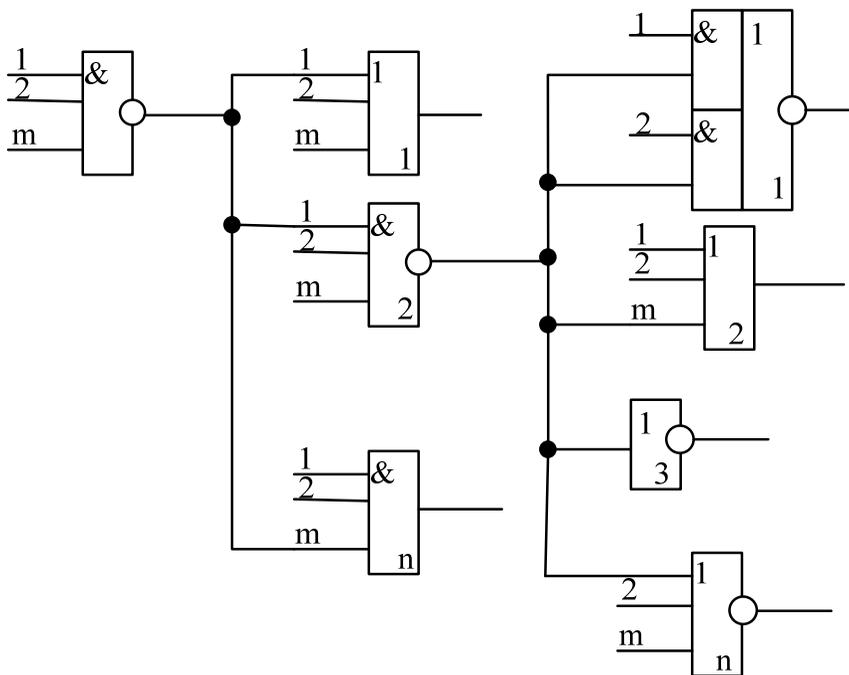


Рис. 2.28. Фрагмент логической цепи

Сложность логических схем и множество сочетаний входных сигналов и нагрузок не позволяют рассчитывать на индивидуальное согласование и регулировку ЛЭ в процессе изготовления, наладки и эксплуатации цифрового прибора. В связи с этим для обеспечения работоспособности цифрового прибора необходимо, чтобы ЛЭ обладал рядом функциональных свойств.

2.5.1. Совместимость входных и выходных сигналов

В логических схемах цифровых приборов логические элементы соединены так, чтобы выход каждого элемента работал на один или несколько входов других элементов, в том числе и на свои собственные входы.

Для нормального функционирования таких цепей должна быть обеспечена совместимость уровней сигналов «0» и «1» (рис. 2.29).

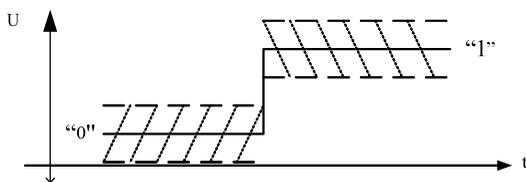


Рис. 2.29. Зоны отображения уровней сигнала «0» и «1»

2.5.2. Нагрузочная способность

Для построения разветвленных логических цепей необходимо, чтобы каждый ЛЭ обладал определенной нагрузочной способностью по входу и выходу, т. е. мог работать по нескольким логическим входам и одновременно управлять несколькими входами других ЛЭ (рис. 2.28).

Нагрузочную способность принято выражать **коэффициентом разветвления по выходу** N (в отечественной справочной литературе этот коэффициент обозначается как $K_{\text{раз}}$) и **входным нагрузочным коэффициентом** (F^i).

Под коэффициентом разветвления по выходу ($K_{\text{раз}}$ или N) понимают наибольшее число входов ЛЭ, которые можно подключить к выходу данного ЛЭ, не вызывая искажений формы и амплитуды сигнала, выходящих за границы зон отображения «0» и «1».

Для стандартных ЛЭ нормальным считается коэффициент не менее 10.

Коэффициентом объединения по входу (F^i) называется максимальное количество входов ЛЭ, при котором ЛЭ остается работоспособным (обычно $F^i = 1 \dots 8$).

Со стороны входа каждый ЛЭ представляет собой нелинейную нагрузку, характер и значение которой определяется комбинацией и значением сигналов на других входах этого же элемента и разбросом параметров схемы ЛЭ.

В реальной логической схеме каждый ЛЭ может быть нагружен на разное число других ЛЭ и соединен с ними линиями связи разной длины и конфигурации.

В результате условия работы ЛЭ в разных схемах могут существенно отличаться, что не должно приводить к нарушению их функционирования.

2.5.3. Квантование (формирование) сигнала

В логических схемах цифровых приборов информационные сигналы проходят последовательно по длинной цепочке ЛЭ.

Для нормального функционирования логических схем необходимо, чтобы сигнал, проходя через каждый ЛЭ, имел некоторые стандартные амплитудные и временные параметры (амплитуду, длительность фронтов) и существенно не изменял их.

Для этого требуется, чтобы ЛЭ обладал определенными формирующими свойствами.

Наиболее полно формирующие свойства ЛЭ определяются амплитудной передаточной характеристикой $U_{\text{ВЫХ}} = f(U_{\text{ВХ}})$ (рис. 2.30).

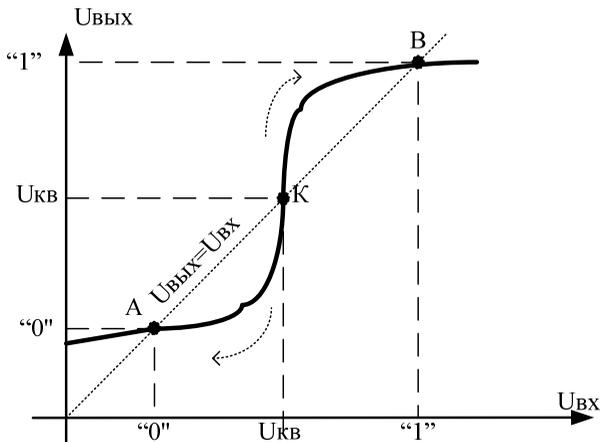


Рис. 2.30. Амплитудная передаточная характеристика неинвертирующего ЛЭ

Рассмотрим процесс квантования сигнала на примере цепочки неинвертирующих ЛЭ (рис. 2.31).

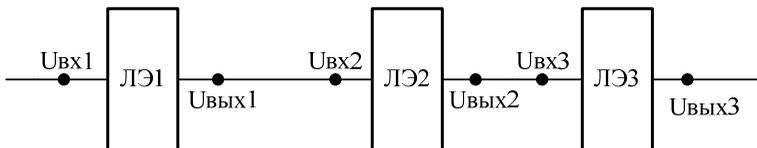


Рис. 2.31. Цепочка логических элементов

Точка А (рис. 2.32, а) соответствует нижнему уровню сигнала «0», а точка В – верхнему уровню сигнала «1» (рис. 2.32, б). Точка К разграничивает две области сигналов: с амплитудой $U_{вх}$ меньше порога квантования, и с амплитудой $U_{вх}$, больше $U_{кв}$.

Сигналы с амплитудой $U_{вх} < U_{кв}$ асимптотически стремятся к нижнему уровню (точка А), а сигналы с амплитудой $U_{вх} > U_{кв}$ – к верхнему уровню (точка В), что показано на рисунке 2.32.

Соответственно сигналы с амплитудой меньше $U_{кв}$ затухают, а сигналы с амплитудой больше $U_{кв}$ усиливаются в цепочке логических элементов до стандартного сигнала.

Т. о. при распространении по цепочке ЛЭ входной сигнал с амплитудой ниже или выше порога квантования $U_{кв}$ асимптотически приближается к одному из уровней двоичного сигнала («0» или «1»), т. е. квантуется.

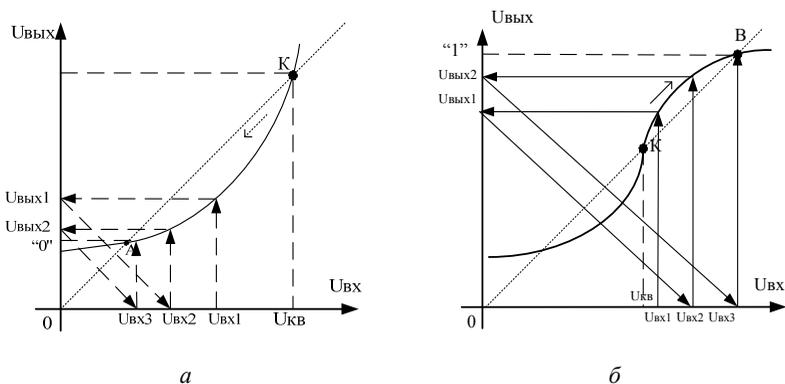


Рис. 2.32. Квантование сигналов «0» и «1» в цепочке ЛЭ:
 а – квантование сигнала «0» ($U_{вх} < U_{кв}$); б – квантование сигнала «1» ($U_{вх} > U_{кв}$)

При проектировании логических схем цифровых приборов важно обеспечить минимальный разброс амплитудных передаточных характеристик ЛЭ при изменении окружающей температуры и напряжений питания, чтобы избежать появления в них сигналов нестандартной формы и сбоев.

Разброс амплитудных передаточных характеристик ЛЭ однозначно определяет зоны отображения уровней сигналов «0» и «1» и допустимый уровень помех в логических цепях.

2.5.4. Помехоустойчивость

При работе цифровых приборов недопустимы даже кратковременные искажения информации, т. к. они могут привести к ошибкам в конечных результатах.

Поэтому ЛЭ должны обладать высокой помехоустойчивостью, т. е. нечувствительностью к действию помех при нулевом («0») и единичном («1») уровнях входных сигналов.

Помехи в цифровых приборах имеют обычно характер кратковременных импульсов.

Различают внутренние и внешние помехи.

К внешним помехам относятся помехи от промышленной сети электропитания, силовых переключателей и т. д. Как правило, амплитуда и длительность внешних помех не зависят от параметров ЛЭ и определяются мощностью и спектром электромагнитного излучения внешнего источника и экранирующими свойствами конструкций и линий связи.

Уровень внешних помех должен учитываться при проектировании цифрового прибора и внешних линий связи.

К внутренним помехам относятся такие помехи, амплитуда и длительность воздействия которых находятся в прямой зависимости от амплитуды и длительности фронтов сигналов ЛЭ, т. е. помехи от ЛЭ и соединяющих их линий связи.

Чем больше амплитуда рабочих сигналов ЛЭ, тем больше и амплитуда внутренних помех, и наоборот.

Для избавления от помех в электронных приборах необходимо обеспечить определенную зону помехоустойчивости ЛЭ.

Зона устойчивости ЛЭ определяется его амплитудной передаточной характеристикой (рис. 2.30, а) как разность между порогом квантования $U_{\text{кв}}$ и соответствующими уровнями сигналов «0» и «1»:

$$U_{\text{пом.}}^0 = |U_{\text{кв.}} - U_{\text{А}}|;$$

$$U_{\text{пом.}}^1 = |U_{\text{кв.}} - U_{\text{В}}|.$$

Если помеха не достигает порога квантования, то на выходе появляется сигнал помехи с амплитудой меньшей, чем на входе.

Такая помеха, пройдя через несколько последовательно включенных ЛЭ быстро затухает и не вызывает искажения информации в логической цепи.

2.5.5. Работоспособность в широкой области допусков и параметров

Требование работоспособности ЛЭ в широкой области допусков на параметры определяется, прежде всего, требованиями высокой надежности и взаимозаменяемости однотипных логических элементов в цифровых приборах.

Цифровые приборы содержат большое число одновременно работающих логических элементов, в них отсутствуют элементы регулировки и настройки.

Кроме этого необходимо обеспечить непрерывную безотказную работу цифрового прибора в течение длительного времени при колебаниях окружающей температуры и напряжения питания (а также при наличии разброса параметров и старения элементов).

Все вышеуказанное требует достаточно большой области допустимых отклонений параметров ЛЭ, т. е. большой области их работоспособности.

Зоны помехоустойчивости ЛЭ представлены на рис. 2.33.

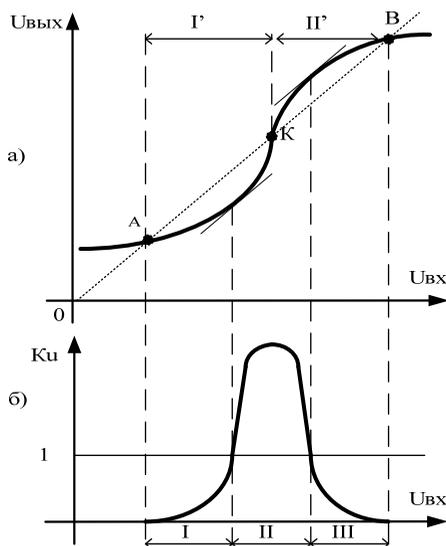


Рис. 2.33. Зоны помехоустойчивости ЛЭ (I', II'), ЛЭ с обратной связью (I, II), зона переключения ЛЭ (III)

Условия работоспособности ЛЭ определяются обычно уравнением вида:

$$y_i = F_i(X_1, X_2, X_3, \dots, X_n) < Y_i,$$

где $X_1, X_2, X_3, \dots, X_n$ – параметры компонентов, источников питания и нагрузки ЛЭ;

y_i – параметры ЛЭ;

Y_i – нормы, определяющие допустимую границу изменения параметров ЛЭ.

2.5.6. Затухание переходных процессов за время одного такта

ЛЭ должен сохранять работоспособность (т. е. выполнять физические и логические функции) при изменении частоты переключения вплоть до максимальной тактовой частоты.

Для этого необходимо чтобы:

- переходные процессы в ЛЭ и цепях связи при каждом переключении полностью затухали за время одного такта синхронизации;
- к моменту прихода следующего переключающего сигнала устанавливался бы статический режим (рис. 2.34, а).

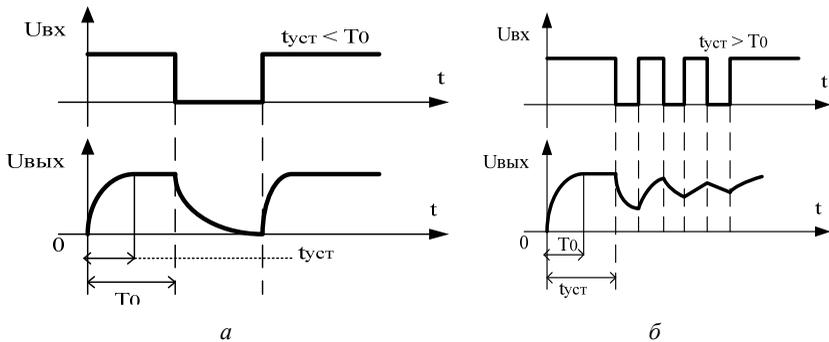


Рис. 2.34. Переходной процесс в ЛЭ без накопления (а) и с накоплением (б)

Накопление переходных процессов (рис. 2.34, б) приводит к уменьшению нагрузочной способности и помехоустойчивости,

амплитуды и длительности сигналов и в результате к искажению информации и снижению надежности.

Поскольку эффект накопления имеет место лишь при высокой частоте переключения, нарушение работоспособности ЛЭ носит обычно кратковременный характер и проявляется в виде единичных и перемежающихся сбоев, обнаружение которых затруднительно.

Поэтому при выборе ЛЭ и максимальной тактовой частоты следует обеспечивать полное затухание переходных процессов в ЛЭ и межэлементных цепях связи за время одного такта.

2.6. Основные характеристики логических элементов

Амплитудная передаточная характеристика

$$U_{\text{вых.}} = F(U_{\text{вх.}})$$

определяет формирующие свойства ЛЭ, его помехоустойчивость, амплитуду и уровни стандартного сигнала.

Вид характеристики зависит от типа логического элемента (ТТЛШ, пМОП, КМОП и т. д.) и может изменяться в определенных пределах в зависимости от разброса параметров схем, изменений напряжения питания, нагрузки, температуры окружающей среды.

Рассмотрим типовую амплитудную передаточную характеристику инвертирующего ЛЭ (рис. 2.35).

В статическом состоянии выходной сигнал ЛЭ может быть либо на верхнем (U^B), либо на нижнем (U^H) уровнях напряжения.

Верхний (U^B) и нижний (U^H) уровни логических сигналов находятся как точки пересечения амплитудной передаточной характеристики (кривая 1) с ее зеркальным отображением (кривая 2) относительно прямой единичного усиления $U_{\text{вых}} = U_{\text{вх}}$.

Разность $U_{\text{вых}}^B - U_{\text{вых}}^H$ является логическим перепадом $U_{\text{л}}$ выходных уровней ЛЭ.

Зоны статической помехоустойчивости ЛЭ по нижнему уровню ($U_{\text{пом.}}^H$)' и верхнему ($U_{\text{пом.}}^B$)' уровням напряжения в комбинационных логических цепях определяются выражениями:

$$(U_{\text{пом.}}^H)' = U_{\text{кв.}} - U_{\text{вых.пор.}}^H$$

$$(U_{\text{пом.}}^B)' = U_{\text{вых.пор.}}^B - U_{\text{кв.}},$$

где $(U_{\text{пом.}}^H)'$ и $(U_{\text{пом.}}^B)'$ – характеризуют максимально допустимые уровни статической помехи на входе ЛЭ в комбинационных логических цепях;

$U_{\text{вых.пор.}}^H$ – характеризуют выходное логическое напряжение нижнего уровня;

$U_{\text{вых.пор.}}^B$ – характеризуют выходное логическое напряжение верхнего уровня.

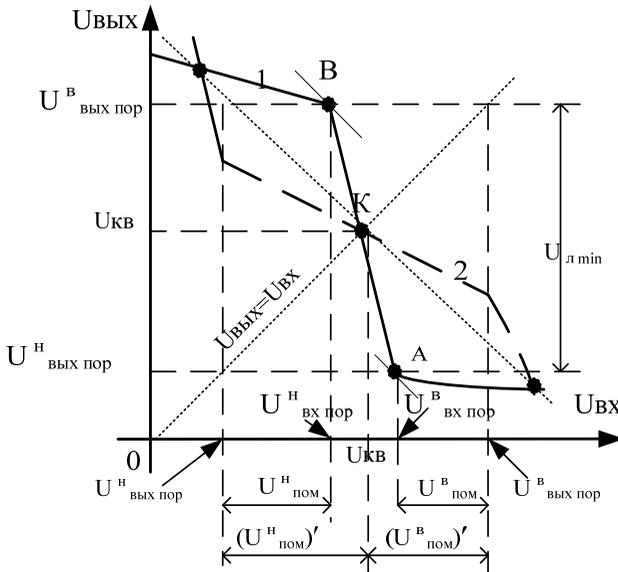


Рис. 2.35. Амплитудная передаточная характеристика инвертирующего ЛЭ

Однако из-за наличия схем с положительной обратной связью в технической документации на все интегральные схемы зоны статической помехоустойчивости по входу ограничиваются входными пороговыми напряжениями: $U_{\text{вх.пор.}}^H$ – по нижнему уровню; $U_{\text{вх.пор.}}^B$ – по верхнему уровню.

Эти пороговые напряжения называются соответственно пороговыми напряжениями зоны переключения (порог зоны переключения) нижнего уровня и пороговым напряжением зоны переключения верхнего уровня.

В зоне переключения, заключенной между пороговыми напряжениями, работа ЛЭ в статическом режиме запрещается.

Т. о. статическая помехоустойчивость ЛЭ определяется следующими выражениями:

– по нижнему уровню входного сигнала:

$$U_{\text{пом.}}^{\text{Н}} = U_{\text{вх.пор.}}^{\text{Н}} - U_{\text{вых.пор.}}^{\text{Н}};$$

– по верхнему уровню входного сигнала:

$$U_{\text{пом.}}^{\text{В}} = U_{\text{вых.пор.}}^{\text{В}} - U_{\text{вх.пор.}}^{\text{В}}.$$

Максимальная помехоустойчивость ЛЭ по нижнему и верхнему уровням достигается при идеальной амплитудной передаточной характеристике, для которой:

$$U_{\text{вх.пор.}}^{\text{Н}} = U_{\text{вых.пор.}}^{\text{В}} = U_{\text{кв.}}$$

Входная характеристика

$$I_{\text{вх.}} = F(U_{\text{вх.}})$$

определяет зависимость входного тока ЛЭ от входного напряжения, нагрузочную способность ЛЭ и режим работы линий связи.

Выходная характеристика

$$U_{\text{вых.}} = F(I_{\text{вых.}})$$

определяет зависимость выходного напряжения ЛЭ от выходного тока нагрузки.

Эта характеристика в совокупности с входной характеристикой позволяет определить нагрузочную способность ЛЭ, режим его работы и способ согласования переходных процессов в линиях связи.

2.7. Основные параметры логических элементов

Конструктивно-технологическая реализация цифровых ИМС во многом определяет их основные технические параметры – быстродействие, потребляемую мощность, устойчивость к внешним дестабилизирующим факторам.

Параметры ЛЭ делятся на статические и динамические.

2.7.1. Динамические параметры

С помощью снятых характеристик определяют следующие основные параметры элементов: нагрузочную способность, помехоустойчивость, быстродействие, величины U_0 и U_1 , потребляемую мощность и т. п.

Нагрузочная способность или коэффициент разветвления по выходу показывает максимальное количество аналогичных элементов, которые могут подключаться своими входами к выходу элемента при сохранении его работоспособности. Иногда критерием работоспособности может быть сохранение требуемого быстродействия.

Помехоустойчивость есть невосприимчивость ЛЭ к действию наложенных на входной сигнал отклонений (помех), величина которых лежит в заданных пределах.

Если отклонения наложены на нулевой входной сигнал, то это будет помеха нуля. Если же отклонения наложены на единичный сигнал, то это будет помеха единицы.

Быстродействие ЛЭ при переключении определяется электрической схемой, технологией изготовления и характером нагрузки.

Для идентификации измерений динамических параметров в технической документации на ИС приводятся параметры эквивалентной нагрузки, устанавливаются требования к амплитуде и длительности фронта входного сигнала.

Теоретически считается (т. к. ширина зоны неопределенности у семейств интегральных микросхем различная), что переключение ЛЭ из одного состояния в другое происходит при подаче напряжения, равного $0,5 A$ (A – амплитуда входного сигнала).

Уровни отсчета напряжений для определения динамических параметров устанавливаются относительно выходных пороговых напряжений «1» и «0» (рис. 2.36).

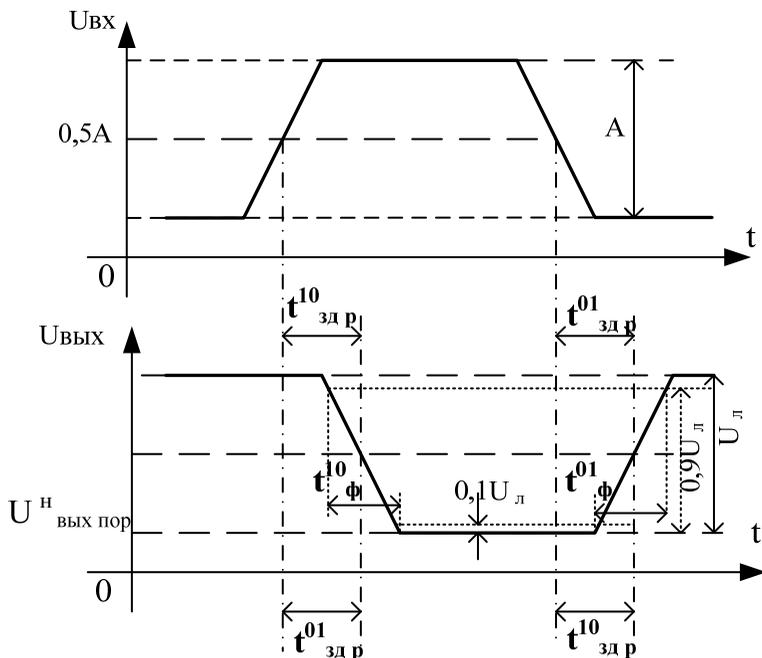


Рис. 2.36. Входной и выходной сигналы инвертирующего элемента

Основными динамическими параметрами ЛЭ являются задержка распространения сигнала $t_{зд.р.}$ при переключении и длительность положительного (нарастающего) и отрицательного (спадающего) фронтов $t_{ф.}$ выходного сигнала.

Задержка распространения сигнала при переходе выходного напряжения от «1» к «0» – $t_{зд.р.}^{10}$ (при положительной логике это соответствует отрицательному фронту) определяется как интервал времени между фронтами входного и выходного сигналов ЛЭ, измеренный по уровню переключения из «1» в «0».

Задержка распространения сигнала при переходе выходного напряжения от «0» к «1» – $t_{зд.р.}^{01}$ (при положительной логике это соответствует положительному фронту) определяется как интервал времени между фронтами входного и выходного сигналов ЛЭ, измеренный по уровню переключения из «0» в «1».

Задержки распространения ($t_{зд.р.}^{10}$, $t_{зд.р.}^{01}$) измеряются, как правило, по уровню $0,5 (U_{вых.пор}^B, U_{вых.пор}^H)$.

При расчете временной задержки последовательно включенных логических элементов используется средняя задержка распространения сигнала ЛЭ:

$$\tau_{з.р.ср.} = (t_{з.р.}^{10} + t_{з.р.}^{01}) / 2.$$

Длительность фронта выходного сигнала при переходе напряжения из «1» в «0» (t_{ϕ}^{10}) для положительной логики соответствует отрицательному фронту.

Длительность фронта выходного сигнала при переходе напряжения из «0» в «1» (t_{ϕ}^{01}) для положительной логики соответствует положительному фронту.

Длительность положительных и отрицательных фронтов измеряется по уровням $0,1U_{\text{вых}}$ и $0,9U_{\text{вых}}$ (рис. 2.36).

В простейшей модели динамические свойства логического элемента отражаются введением в его выходную цепь элемента задержки сигнала на фиксированное время t_3 (рис. 2.37).

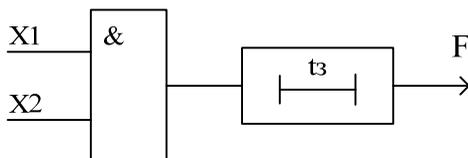


Рис. 2.37. Простейшая модель ЛЭ

В силу простоты такая модель находит применение на практике, несмотря на то, что она является грубой и не учитывает ряд существенных факторов:

- технологического разброса задержек элементов;
- зависимости задержки элемента от направления переключения элемента (из «0» в «1» или из «1» в «0»);
- зависимости задержки элемента от емкостной нагрузки, которая может быть резко выраженной, например, для элементов КМОП задержка пропорциональна емкости нагрузки.

Простейшая модель не учитывает также фильтрующие свойства реальных логических элементов, благодаря которым короткие входные импульсы, обладающие малой энергией, не способны вызвать переключение элемента.

2.7.2. Статические параметры логических элементов

Статические параметры ЛЭ определяют условия формирования и значения напряжений высокого и низкого уровней на выходе ЛЭ, его нагрузочную способность, потребляемую мощность при заданных напряжениях питания, нагрузке и температуре окружающей среды.

К статическим параметрам ЛЭ относятся:

- входные ($U_{\text{вх}}^0$, $U_{\text{вх}}^1$) и выходные ($U_{\text{вых}}^0$, $U_{\text{вых}}^1$) напряжения логического «0» и логической «1»;
- входные ($U_{\text{вх пор}}^0$, $U_{\text{вх пор}}^1$) и выходные ($U_{\text{вых пор}}^0$, $U_{\text{1вых пор}}^1$) пороговые напряжения логического «0» и логической «1»;
- входные и выходные ($I_{\text{вх}}^0$, $I_{\text{вх}}^1$, $I_{\text{вых}}^0$, $I_{\text{вых}}^1$) токи логического «0» и «1»;
- токи потребления в состоянии логического «0» и «1» ($I_{\text{пот}}^0$, $I_{\text{пот}}^1$);
- потребляемая мощность ($P_{\text{пот}}$).

Входной ток ЛЭ задается для неблагоприятного режима работы в пределах допустимых температур окружающей среды и напряжения питания как для уровня «0» ($I_{\text{вх}}^0$), так и для уровня «1» ($I_{\text{вх}}^1$).

Выходные токи ($I_{\text{вых}}^0$, $I_{\text{вых}}^1$) характеризуют нагрузочную способность ЛЭ.

Токи, втекающие в логический элемент, имеют положительный знак, а токи, вытекающие из логического элемента – отрицательный.

Помехоустойчивость определяется относительно этих токов.

Поэтому увеличение коэффициента разветвления приводит к снижению помехоустойчивости.

Входной ток логической «1» $I_{\text{вх}}^1$ определяется как входной ток при напряжении логической «1» на входе ЛЭ.

Входной ток логического «0» $I_{\text{вх}}^0$ определяется как входной ток при напряжении логического «0» на входе ЛЭ.

Выходной ток логической «1» $I_{\text{вых}}^1$ определяется как выходной ток при напряжении логической «1» на выходе ЛЭ.

Выходной ток логического «0» $I_{\text{вых}}^0$ определяется как выходной ток при напряжении логического «0» на выходе ЛЭ.

Ток, потребляемый от источника питания ЛЭ ($I_{\text{пот}}$), зависит от типа ЛЭ. Например, для ТТЛ ЛЭ ток имеет разные значения для состояния «0» и «1».

Мощность, потребляемая ЛЭ от источника питания, определяется как:

$$P_{\text{пот.}} = \sum_{i=1}^n U_i \cdot I_i,$$

где U_i – напряжение i -го источника питания;

I_i – ток в соответствующей цепи питания.

Если потребляемая мощность зависит от выходного напряжения «0» ($P_{\text{пот.}}^0$) или «1» ($P_{\text{пот.}}^1$), то в качестве основного параметра используют среднюю потребляемую мощность:

$$P_{\text{пот.}} = (P_{\text{пот.}}^0 + P_{\text{пот.}}^1) / 2.$$

Для ЛЭ, потребляющих значительную мощность при переключении, средняя потребляемая мощность в технической документации задается в виде зависимости:

$$P_{\text{пот.}} = f(F_{\text{имп.}}),$$

где $F_{\text{имп}}$ – частота следования импульсов.

2.8. Особенности проектирования цифровых устройств

При разработке цифрового устройства используются своеобразные модели представления цифровых схем:

1. Логическая модель.
2. Модель с временными задержками.
3. Модель с учетом электрических эффектов (или электрическая модель).

Первая модель применима для всех цифровых схем, работающих с низкой скоростью, в которых быстродействие не принципиально.

Вторая модель учитывает задержки срабатывания логических элементов. Ее применение необходимо для всех быстродействующих устройств и для случая одновременного изменения нескольких входных сигналов.

Третья модель учитывает входные и выходные токи, входные и выходные сопротивления и емкости элементов. Эту модель надо применять при объединении нескольких входов и выходов, при передаче сигналов на большие расстояния и при нетрадиционном включении логических элементов (с переводом цифрового сигнала в аналоговый сигнал или наоборот).

На рис. 2.38 на примере простейшего логического элемента инвертора (НЕ) показаны три модели представления этого цифрового «прибора».

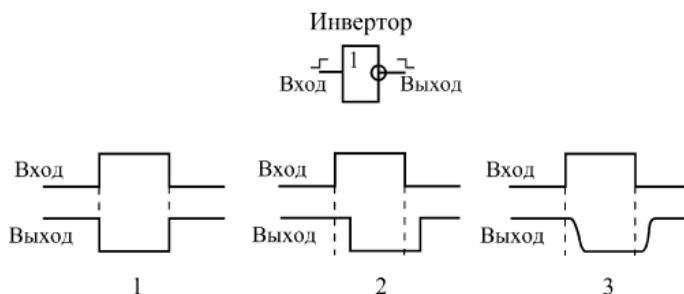


Рис. 2.38. Три модели представления цифрового устройства

Из рисунка видно, что в первой, логической модели (1) считается, что элемент срабатывает мгновенно, любое изменение уровня входного сигнала сразу же, без всякой задержки приводит к изменению уровня выходного сигнала.

Во второй модели с временными задержками (2) выходной сигнал изменяется с некоторой задержкой относительно входного сигнала.

В третьей модели с учетом электрических эффектов (3) выходной сигнал не только задерживается по сравнению с входным сигналом, но и его изменение происходит не мгновенно – процесс смены уровней сигнала (или, как говорят, *фронт сигнала*) имеет некоторую длительность. Кроме того, третья модель учитывает изменение уровней логических сигналов.

В начале проектирования пользуется первая модель, а затем для некоторых узлов применяется вторая или (реже) и третья модель.

При этом первая модель не требует вообще никаких цифровых расчетов, для нее достаточно только знание таблиц истинности или алгоритмов функционирования микросхем.

Вторая модель предполагает расчет (по сути, суммирование) временных задержек элементов на пути прохождения сигналов (рис. 2.39). В результате этого расчета может выясниться, что требуется внесение изменений в схему.

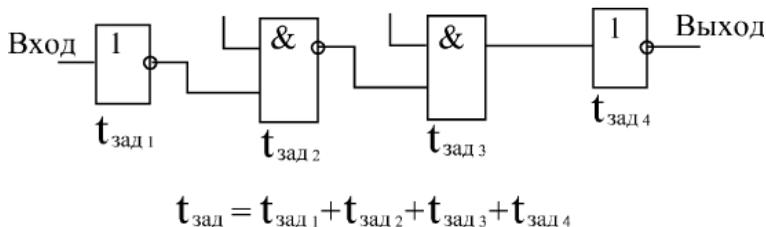


Рис. 2.39. Суммирование задержек элементов

Расчеты по третьей модели (с учетом электрических эффектов) могут быть различными, в том числе и довольно сложными, но в большинстве случаев они все-таки сводятся к суммированию входных и выходных токов логических элементов (рис. 2.40).

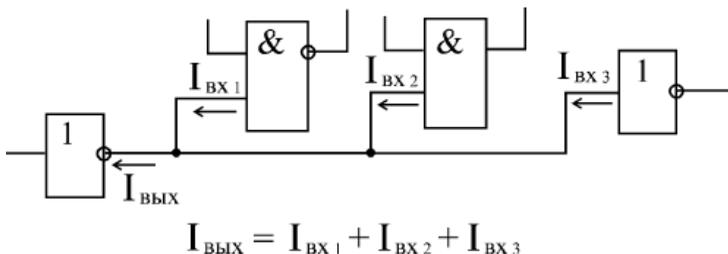


Рис. 2.40. Суммирование входных токов элементов

В результате этих расчетов (например, если по справочной литературе определен выходной ток ЛЭ НЕ и он оказался меньше, чем рассчитанный ток $I_{\text{ВЫХ}}$) может выясниться, что требуется применение микросхем с более мощными выходами или включение дополнительных элементов.

Т. е., проектирование цифровых приборов принципиально отличается от проектирования аналоговых, при котором сложные расчеты абсолютно неизбежны. Разработчик цифровых приборов имеет дело только с логикой, с логическими сигналами и с алгоритмами

работы цифровых микросхем. А что происходит внутри этих микросхем, для него практически не имеет значения.

Справочные данные на цифровые микросхемы обычно содержат большой набор параметров, каждый из которых можно отнести к одному из трех перечисленных уровней представления, к одной из трех моделей.

Например, *таблица истинности* микросхемы (для простых микросхем) или описание алгоритма ее работы (для более сложных микросхем) относится к первой, логической, модели.

Величины задержек логических сигналов между входами и выходами относятся ко второй модели. Типичные величины задержек составляют от единиц наносекунд ($1 \text{ нс} = 10^{-9} \text{ с}$) до десятков наносекунд. Величины задержек для разных микросхем могут быть различными, поэтому в справочниках всегда указывается максимальное значение.

Необходимо также помнить, что задержка при переходе выходного сигнала из единицы в нуль, как правило, отличается от задержки при переходе выходного сигнала из нуля в единицу.

Уровни входных и выходных токов, а также уровни входных и выходных напряжений относятся к третьей модели. К этой модели относятся также величины внутренней емкости входов микросхемы (обычно от единиц до десятков пикофарад) и допустимая величина емкости, к которой может подключаться выход микросхемы, то есть емкость нагрузки CL (порядка 100 пФ). К этой модели можно отнести также такие параметры, как допустимое напряжение питания микросхемы и максимальный ток, потребляемый микросхемой. Например, может быть задано $4,5 \text{ В} < U_{\text{п}} < 5,5 \text{ В}$; $I_{\text{п}} < 100 \text{ мА}$.

К третьей модели относится ряд параметров, которые часто упоминаются в литературе, но не всегда приводятся в справочных таблицах:

1. Порог срабатывания – уровень входного напряжения, выше которого сигнал воспринимается как единица, а ниже – как нуль.

2. Помехозащищенность – характеризует величину входного сигнала помехи, накладывающегося на входной сигнал, который еще не может изменить состояние выходных сигналов.

3. Коэффициент разветвления – число входов, которое может быть подключено к данному выходу без нарушения работы. Стандартная величина коэффициента разветвления при использовании микросхем одного типа (одной серии) равна 10.

4. Нагрузочная способность – параметр выхода, характеризующий величину выходного тока, которую может выдать в нагрузку данный выход без нарушения работы. Чаще всего нагрузочная способность прямо связана с коэффициентом разветвления.

Таким образом, большинство справочных параметров микросхемы относятся к третьей модели (к модели с учетом электрических эффектов).

2.9. Входы и выходы цифровых интегральных микросхем

Характеристики и параметры входов и выходов цифровых интегральных микросхем определяются, прежде всего, технологией и схемотехникой их внутреннего строения.

Для разработчика цифровых устройств любая микросхема представляет собой «черный ящик», внутренности которого знать не обязательно.

При разработке важно только четко представлять себе, как поведет себя та или иная ИМС в данном конкретном включении, будет ли она правильно выполнять требуемую от нее функцию.

2.9.1. Входы цифровых ИМС

Разработчику цифрового устройства достаточно считать, что при подаче на вход сигнала логического нуля из этого входа вытекает ток, не превышающий I_{\min}^1 , а при подаче сигнала логической единицы в этот вход втекает ток, не превышающий I_{\max}^1 .

Особым случаем является ситуация, когда какой-нибудь вход не подключен ни к одному из выходов – ни к общему проводу, ни к шине питания (так называемый висящий вход).

Иногда возможности микросхемы используются не полностью, т. е. на некоторые входы не подается сигналов.

При этом микросхема может не работать или работать нестабильно, так как ее правильное включение подразумевает наличие на всех входах логических уровней, пусть даже и неизменных.

Поэтому рекомендуется подключать неиспользуемые входы к напряжению питания микросхемы $U_{\text{п}}$ ($U_{\text{сс}}$) или к общему проводу (к земле) в зависимости от того, какой логический уровень необходим на этом входе.

На рис. 2.41 показаны входной и выходной каскад ИМС ТТЛШ.

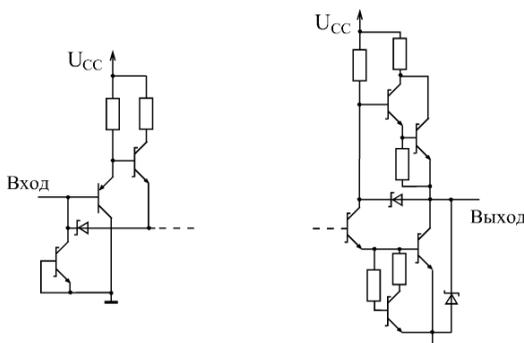


Рис. 2.41. Входной и выходной каскады ИМС ТТЛШ

На неподключенных входах микросхем ТТЛ формируется напряжение около 1,5–1,6 В, которое иногда называют «висячим» потенциалом.

Обычно этот уровень воспринимается микросхемой как сигнал логической единицы, но рассчитывать на это не стоит.

Для некоторых серий микросхем, выполненных по ТТЛ-технологии, неиспользуемые входы надо подключать к напряжению питания не напрямую, а только через резистор определенной величины.

При таком включении одного резистора достаточно на 20 входов.

Например, на рис. 2.42 показана ситуация, когда ЛЭ (ТТЛ) используется для работы с двумя сигналами, а на свободный вход подается уровень логической «1».

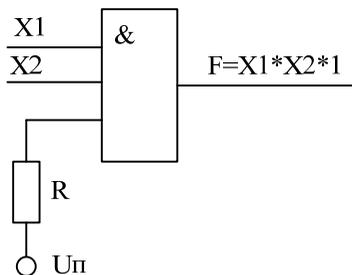


Рис. 2.42. Подключение неиспользуемого входа ЛЭ ТТЛ при подаче на него уровня логической «1»

Неподключенными допускается оставлять только те входы (ТТЛ), состояние которых в данном включении микросхемы не имеет значения.

Входы ИМС ТТЛШ нельзя оставлять неподключенными.

На рис. 2.43 показаны входной и выходной каскад ИМС КМОП.

Потенциал, образующийся на неподключенных входах микросхем КМОП, может восприниматься микросхемой и как логический нуль, и как логическая единица.

Поэтому все входы надо куда-то подключать.

На рис. 2.44, а приведен пример подачи на неиспользуемый вход ЛЭ И-НЕ уровня логической «1» (для микросхем КМОП уровень логической «1» соответствует $U_{п}$).

На рис. 2.44, б приведен пример подачи на неиспользуемый вход ЛЭ ИЛИ-НЕ уровня логического 0.

Уровни подаваемых сигналов определяются функцией, выполняемой ЛЭ ($X1 * X2 * 1 = X1 * X2$ и $X1 + X2 + 0 = X1 + X2$).

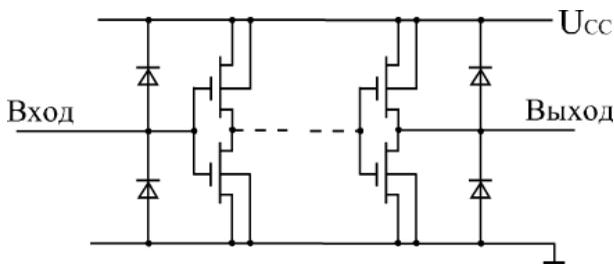


Рис. 2.43. Входной и выходной каскады ИМС КМОП

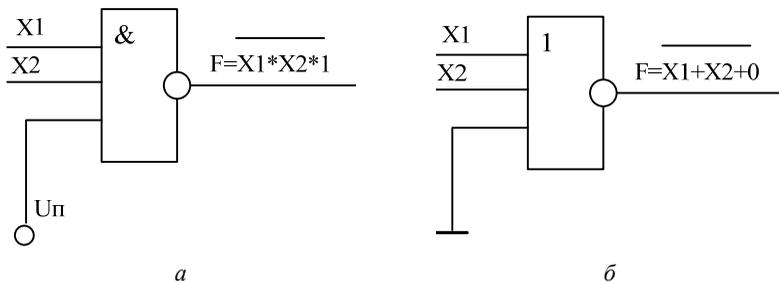


Рис. 2.44. Подключение неиспользуемых входов ЛЭ КМОП:
а – при подаче уровня 1; б – при подаче уровня 0

2.9.2. Выходы цифровых ИМС

Существуют три разновидности выходных каскадов ИМС, сильно различающиеся как по своим характеристикам, так и по областям применения:

- стандартный выход или выход с двумя состояниями (обозначается 2С, 2S, TTL, TTL), или иначе логический выход;
- выход с открытым коллектором (обозначается ОК, ОС);
- выход с тремя состояниями или выход с возможностью отключения (обозначается 3С, 3S).

Стандартный выход (выход 2С или логический выход).

Стандартный выход имеет всего два состояния: логический нуль (U^0) и логическая единица (U^1), причем оба они активны, то есть выходные токи в обоих этих состояниях ($I_{\text{вых}}^0$ и $I_{\text{вых}}^1$) могут достигать заметных величин.

Этот выход называется также «выход 2С» или «логический выход».

Выходное сопротивление логического выхода стремятся сделать малым, способным развивать большие токи для перезарядки емкостных нагрузок и, следовательно, получения высокого быстродействия элемента.

Такой тип выхода имеют большинство логических элементов, используемых в комбинационных цепях.

Такой выход можно считать состоящим из двух выключателей, которые замыкаются по очереди (рис. 2.45), причем замкнутому верхнему выключателю соответствует логическая единица на выходе, а замкнутому нижнему – логический нуль.

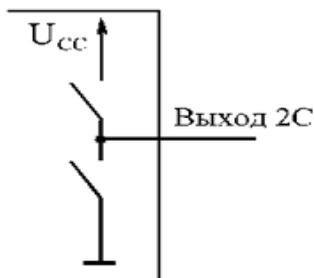


Рис. 2.45. Логический выход (выход 2С)

Схемы логических выходов элементов ТТЛ(Ш) и КМОП (рис. 2.46, *a*) подобны двухтактным каскадам – в них оба фронта выходного напряжения формируются с участием активных транзисторов, работающих противофазно. Это обеспечивает малые выходные сопротивления при любом направлении переключения выхода.

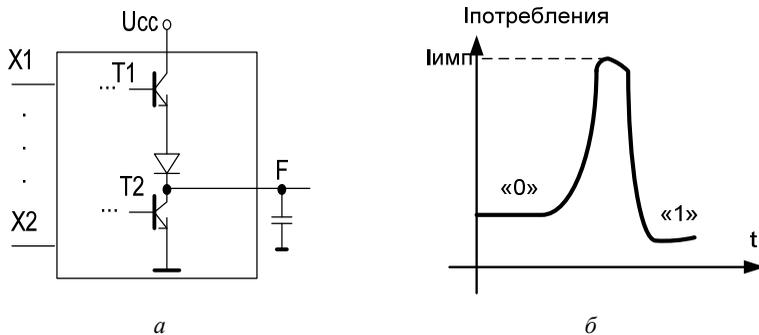


Рис. 2.46. Стандартный выход 2С

Особенностью логического выхода двухтактного типа является то, что при переключениях из одного логического состояния в другое через транзистор протекают короткие импульсы тока.

Эти токи протекают от источника питания на общую точку «землю».

В статических состояниях таких токов быть не может, т. к. транзисторы $T1$ и $T2$ (рис. 2.46, *a*) работают в противофазе, и один из них всегда заперт.

Однако в переходном процессе из-за некоторой несинхронности переключения транзисторов возникает кратковременная ситуация, в которой проводят оба транзистора, что и порождает короткий импульс сквозного тока значительной величины (рис. 2.46, *б*).

Особенность таких выходов состоит в том, что их нельзя соединять параллельно (иначе говорят «в точку»):

Во-первых, это создает логическую неопределенность (рис. 2.47), т. к. в точке соединения выхода (А), формирующего логическую единицу, и выхода, формирующего логический нуль, не будет нормального результата (фактически не будет значения «1» или значения «0»).

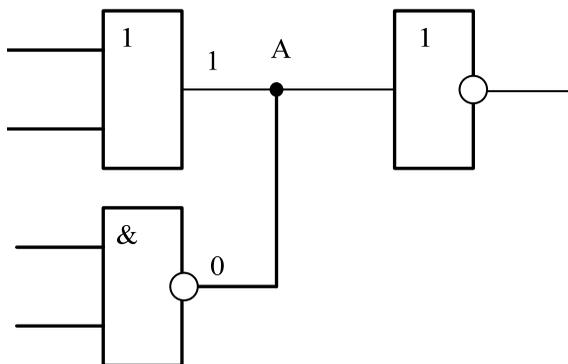


Рис. 2.47. Логическая неопределенность в точке соединения

Во-вторых, при соединении выходов, находящихся в различных логических состояниях, возникло бы их «противоборство» (рис. 2.48, а).

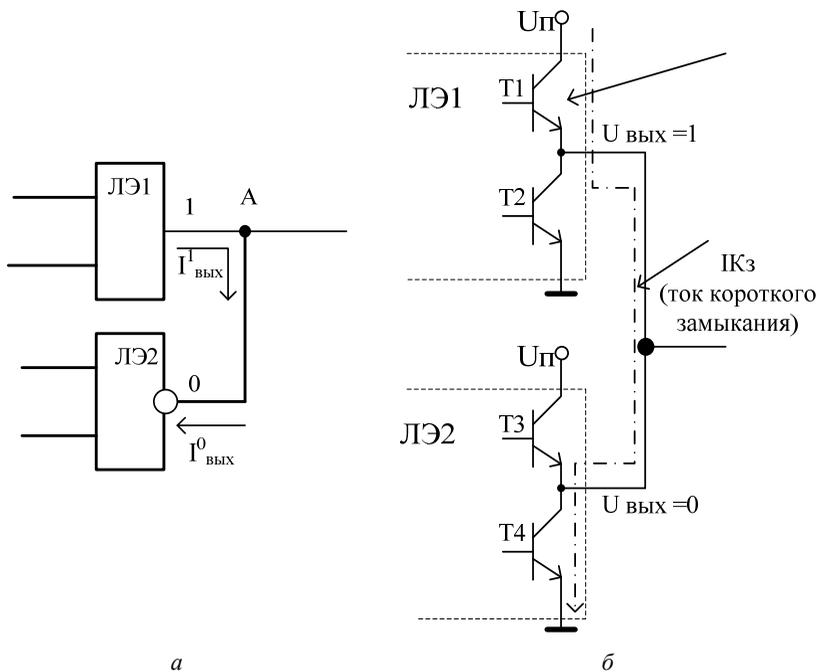


Рис. 2.48. «Противоборство» выходов

Пусть ЛЭ1 находится в 1, т. е. из него вытекает ток величиной $I_{\text{вых}}^1$, а ЛЭ 2 находится в 0, т. е. в него втекает ток величиной $I_{\text{вых}}^0$ (рис. 2.48). Т. к. сопротивления входа всегда больше сопротивления выхода, то ток $I_{\text{вых}}^1$ будет втекать на выход ЛЭ2.

Т. к. выходные токи 1 вытекают из ЛЭ (ЛЭ1), а входные токи втекают в ЛЭ, то (рис. 2.48, б) вследствие малых величин выходных сопротивлений уравнивающий ток ($I_{\text{кз}}$) при этом может достигать достаточно большой величины, что может вывести из строя элементы выходной цепи.

В результате такого включения «сгорает» либо транзистор Т1, либо Т4, что приводит к выходу из строя ЛЭ1 или ЛЭ2.

В худшем случае из строя могут выйти оба транзистора.

УГО интегральных микросхем семейства ТТЛ и МОП, имеющих выход 2С, приведено на рис. 2.49.

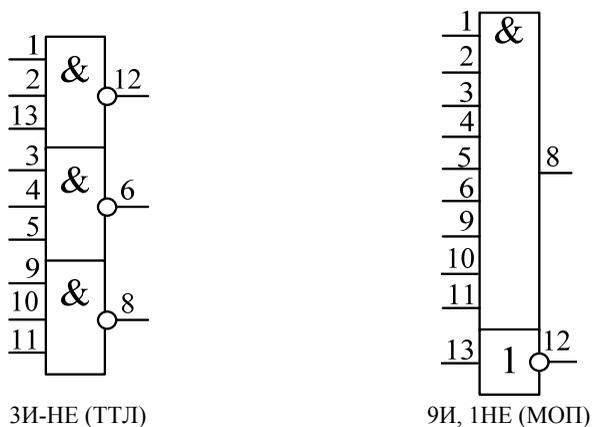


Рис. 2.49. УГО ИМС с выходом 2С

Выход с открытым коллектором (стоком).

На практике часто возникает необходимость подключения выходов нескольких логических элементов к одной нагрузке. Одним из способов объединения выходов является использование в выходных каскадах транзисторов, один из выводов которых никуда не подключен. Такой вывод называют открытым.

На рис. 2.50 показана упрощенная схема ТТЛ-элемента с открытым коллектором.

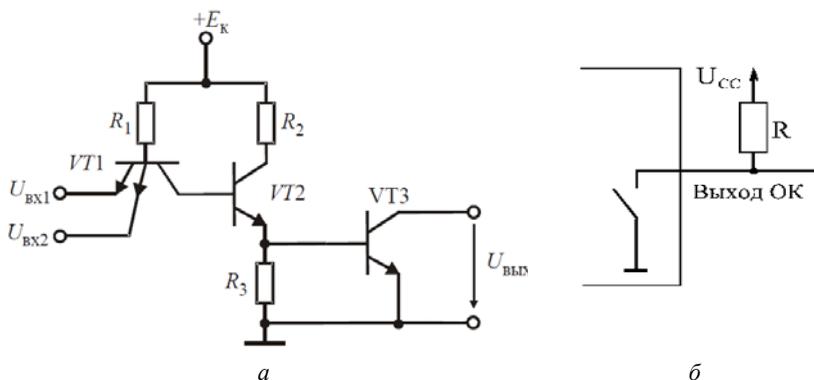


Рис. 2.50. Принципиальная схема ТТЛ-элемента с открытым коллектором

Свободный коллектор такой схемы (коллектор транзистора VT3) является ее выходом и подключается к источнику питания через внешнее нагрузочное сопротивление. Его роль может выполнять светоизлучающий диод, обмотка реле и т. п.

Транзистор VT3 управляется от предыдущей части схемы элемента так, что может находиться в насыщенном или запертом состоянии. Насыщенное состояние транзистора трактуется как отображение логического нуля, запертое – как логической единицы.

Поэтому для формирования высокого уровня напряжения на выходе элементов с открытым коллектором требуется подключение внешних резисторов величиной порядка сотен Ом (или другие нагрузки), соединенных с источником питания (рис. 2.50, б).

Т. е. выход с открытым коллектором можно считать состоящим из одного выключателя, замкнутому состоянию которого соответствует сигнал логического нуля, а разомкнутому – отключенное, пассивное состояние.

УГО ЛЭ с выходом ОК приведено на рис. 2.51.

Несколько выходов типа ОК можно соединять параллельно, подключая их к общей для всех выходов цепочке $U_{п} - R$ (рис. 2.52). Если же разрешить активную работу элементов, выходы которых соединены, то можно получить дополнительную логическую операцию, называемую операцией монтажной логики.

При реализации монтажной логики высокое напряжение на общем выходе возникает только при запираии всех транзисторов,

т. к. насыщение хотя бы одного из них снижает выходное напряжение до уровня $U_0 = U_{кэн}$.

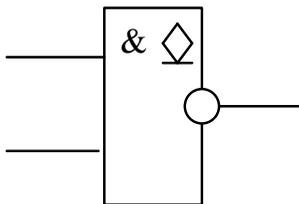


Рис. 2.51. УГО ЛЭ с выходом ОК (ОС)

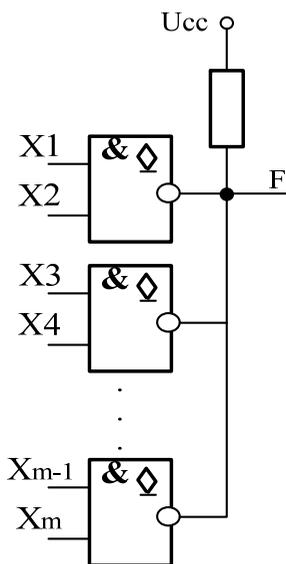


Рис. 2.52. Объединение выходов с открытым коллектором

То есть для получения логической единицы на выходе требуется единичное состояние всех выходов: выполняется монтажная операция И.

Поскольку каждый элемент выполняет операцию И над своими входными переменными, общий результат окажется следующим:

$$F = X_1 * X_2 * X_3 * X_4 * \dots * X_{m-1} * X_m.$$

При использовании элементов с ОК в магистрально-модульных структурах требуется разрешать или запрещать работу того или иного элемента.

Для элементов типа ОК в качестве входа разрешения может быть использован один из обычных входов элемента.

Если речь идет о ЛЭ И-НЕ, то, подавая на любой из входов сигнал низкого уровня, можно запретить работу элемента. Уровень 1 на этом входе разрешит работу элемента.

Положительной чертой элементов с ОК при работе в магистально-модульных системах является их защищенность от повреждений из-за ошибок управления, приводящих к одновременной выдаче на шину нескольких слов, а также возможность реализации дополнительных операций монтажной логики.

Недостатком таких элементов является большая задержка переключения из 0 в 1. При этом переключении происходит заряд выходной емкости сравнительно малым током резистора R . Сопротивление резистора нельзя сделать слишком малым, т. к. это привлекло бы к большим токам выходной цепи в статике при насыщенном состоянии выходного транзистора. Поэтому положительный фронт выходного напряжения формируется относительно медленно с постоянной времени RC .

До порогового напряжения (до середины полного перепада напряжения) экспоненциально изменяющийся сигнал изменится за время $0,7RC$, что и составляет задержку $t_{з.п.ср}^{01}$.

При работе с элементами типа ОК проектировщик должен задать сопротивление резистора R , которое не является стандартным, а определяется для конкретных условий.

Анализ статических режимов задает ограничения величины сопротивления R снизу и сверху.

Значение сопротивления резистора R выбирается в этом диапазоне с учетом быстродействия схемы и потребляемой ею мощности.

Ограничение снизу величины сопротивления резистора R связано с тем, что ее уменьшение может вызвать перегрузку насыщенного транзистора по току.

На рис. 2.53, а показан режим, в котором нулевое состояние выхода схемы обеспечивается элементом 1 с ОК.

Из этого рисунка видно, что через элемент 1 протекает суммарный ток, складывающийся из токов резистора, входных токов логических элементов (ЛЭ1...ЛЭ n) и токов запертых транзисторов элементов с ОК 2 ... m , т. е.:

$$I_{\text{вых.}}^0 = I_R + n \cdot I_{\text{вх.}}^0 + (m-1)I_Z \approx I_R + n \cdot I_{\text{вх.}}^0,$$

где $I_{\text{вх.}}^0$ – входные токи элементов приемников сигнала при низком уровне выходных напряжений;

I_Z – токи запертых выходов ОК (обычно пренебрежимо малые);

$$I_R = (U_{cc} - U_0) / R.$$

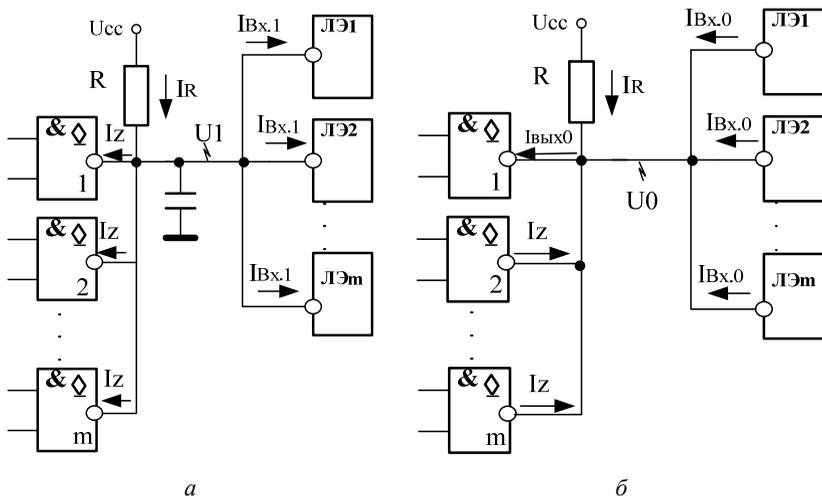


Рис. 2.53. Схемы для расчета минимального (б) и максимального (а) значений сопротивлений внешней цепи с открытым коллектором

Чтобы ток выхода элемента 1 не превысил допустимого значения, следует соблюдать условие:

$$R \geq (U_{cc} - U_0) / (I_{\text{вых.0.max}} - n \cdot I_{\text{вх.0.max}}).$$

Ограничение сверху величины сопротивления резистора R связано с необходимостью гарантировать достаточно низкий уровень напряжения U_1 формируемого в схеме при запертом состоянии всех выходов элементов с ОК.

Из схемы, приведенной на рис. 2.53, б видно, что

$$U_1 = U_{\text{п}} - I_R R.$$

В то же время

$$I_R = m \cdot I_Z + n \cdot I_{\text{вх.1.max}}.$$

Из полученных выражений следует, что

$$R \leq (U_{cc} - U_{\text{вых.1.min}}) / (m \cdot I_Z + n \cdot I_{\text{вх.1.max}}),$$

где $U_{\text{вых.1.min}}^1$ – паспортный параметр элемента.

Имея границы диапазона значений сопротивления R , полученные как показано выше, проектировщик должен выбрать некоторое конкретное его значение.

Выбор вблизи нижней границы улучшает быстродействие схемы, а выбор вблизи верхней границы уменьшает потребляемую мощность.

Функциональная схема ЛЭ с выходом ОК семейства МОП приведена на рис. 2.54.

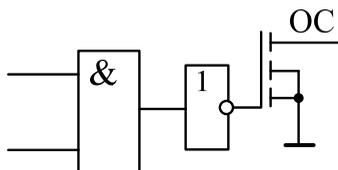


Рис. 2.54. ЛЭ с выходом ОК семейства МОП

Приведенный на рисунке 2.54 ЛЭ (ЛА 2И-НЕ) имеет особенность, состоящую в том, что на ее выходе включен МДП-транзистор с каналом n -типа, сток которого соединен с выходом ЛЭ. К ее выходу ОС может быть подключена любая нагрузка с номинальным током 16...34 мА (при $U_n = 5...10$ В), например, световылучающий диод для индикации состояния логической схемы. Т. к. данная интегральная схема имеет дополнительный усилительный элемент, ее быстродействие несколько ниже, чем у других интегральных схем типа ЛА.

Выход с тремя состояниями.

Выход с тремя состояниями ЗС очень похож на стандартный выход (он может быть прямым или инверсным), но к двум состояниям добавляется еще и третье – пассивное, в котором выход можно считать отключенным от последующей схемы.

Такой выход можно считать состоящим из двух переключателей (рис. 2.55, а), которые могут замыкаться по очереди, давая логический нуль и логическую единицу, но могут и размыкаться одновременно.

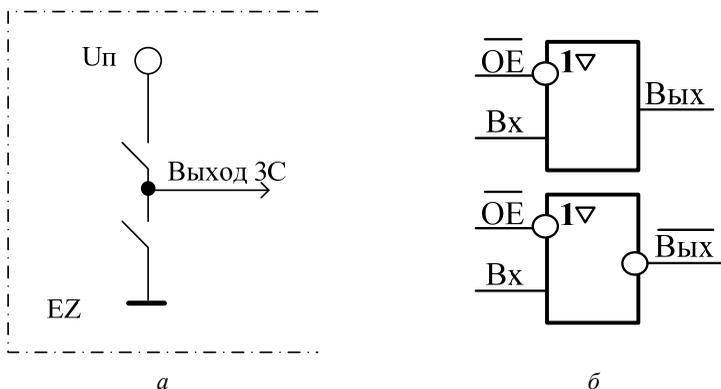


Рис. 2.55. ЛЭ с выходом 3С:
а – структурная схема выхода 3С; *б* – УГО ЛЭ с выходом 3С

Третье состояние называется также высокоимпедансным или *Z*-состоянием.

Для перевода выхода в третье *Z*-состояние используется специальный управляющий вход, обозначаемый \overline{OE} (рис. 2.55, *б*) (Output Enable – разрешение выхода) или \overline{ZE} (Enable *Z*-state).

Функциональная схема организации выхода 3С для одного разряда приведена на рис. 2.56.

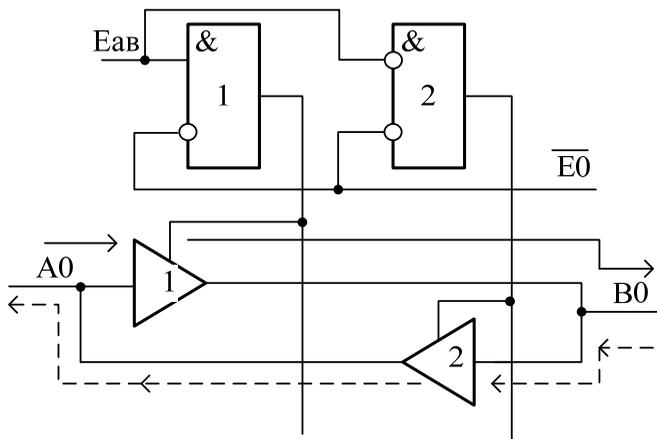


Рис. 2.56. Функциональная схема организации выхода 3С

На схеме показано, что при таком схемотехническом решении может быть обеспечена передача данных в двух направлениях.

Если сигнал $E_{ав} = 1$, то при наличии на входе $\overline{EО}$ сигнала низкого уровня который подается на инверсные входы ЛЭ 1 и 2, на выходе ЛЭ 1 будет 1.

Т. е. усилитель 1 будет открыт и данные со входа А0 поступят на выход В0 (значит А0 будет входом, а В0 – выходом).

Если сигнал $E_{ав} = 0$, то при наличии на входе \overline{OE} сигнала низкого уровня, который подается на инверсные входы ЛЭ 1 и 2, на выходе ЛЭ 2 будет 1.

Т. е. усилитель 1 будет закрыт, а откроется усилитель 2 и данные со входа В0 поступят на выход А0 (значит В0 будет входом, а А0 – выходом).

Если сигнал на входе \overline{OE} будет равен логической 1, то на выходах ЛЭ1 и ЛЭ2 будут 0, т. е. передача через усилители осуществляться не будет.

Выходы типа 3С можно соединять параллельно («в точку») при условии, что в любой момент времени активным может быть только один из них (рис. 2.57).

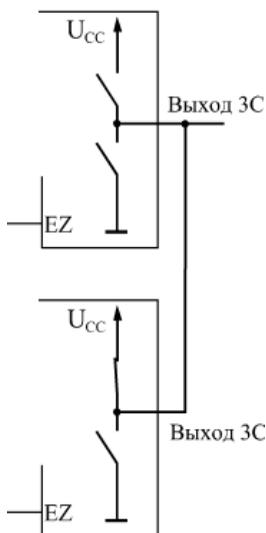


Рис. 2.57. Функциональная схема соединения выходов 3С

В этом случае отключенные выходы не мешают активному выходу формировать сигналы в точке соединения выходов.

Эта возможность позволяет применять элементы ЗС в магистрально-модульных микропроцессорных системах, где многие источники информации поочередно пользуются одной и той же линией связи (рис. 2.58).

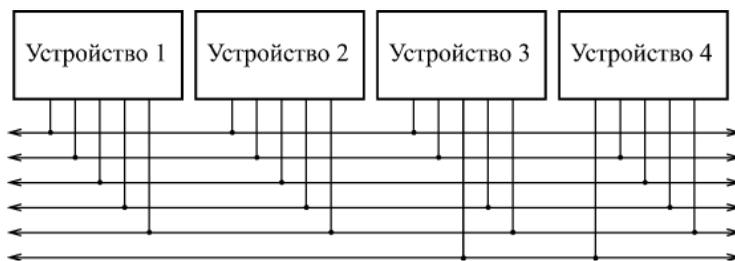


Рис. 2.58. Шинная организация связей

Объединение выходов цифровых микросхем необходимо также при шинной (или магистральной) организации связей между цифровыми устройствами.

При шинной организации связей все сигналы между устройствами передаются по одним и тем же линиям (проводам), но в разные моменты времени (это называется временным мультиплексированием). В результате количество линий связи резко сокращается, а правила обмена сигналами существенно упрощаются.

Группа линий (сигналов), используемая несколькими устройствами, называется шиной.

Понятно, что объединение выходов в этом случае совершенно необходимо – ведь каждое устройство должно иметь возможность выдавать свой сигнал на общую линию. К недостаткам шинной организации относится, прежде всего, невысокая скорость обмена сигналами.

Буферные элементы. Элементы с выходом ЗС часто называют буферными элементами. Они не выполняют логических функций, а формируют цифровые сигналы и усиливают импульсы по току.

Буферные элементы обслуживают шины данных, выполняя системные функции, т. е. отключают от шины неиспользуемые в данный момент приемники и передатчики цифровых слов.

На рис. 2.59 приведена функциональная схема, поясняющая работу буферного усилителя на общую нагрузку.

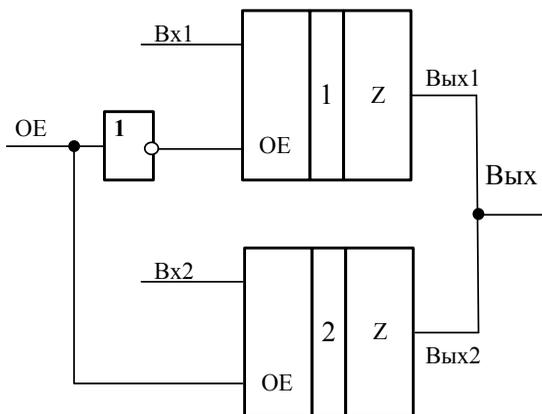


Рис. 2.59. Схема организации работы усилителя на общую нагрузку

Для организации передачи от двух источников (Вх1 и Вх2) использованы два буферных усилителя-формирователя (1 и 2) с выходом Z. Выходы усилителей-формирователей (Вых1 и Вых2) соединены параллельно. Управляющий сигнал ОЕ через инвертор подается на вход ОЕ усилителя-формирователя 1 и напрямую соединен со входом ОЕ усилителя-формирователя 2.

При присутствии на управляющем входе ОЕ сигнала низкого уровня (логический 0), на вход ОЕ (прямой) усилителя-формирователя 1 через инвертор подается уровень логической 1. В результате чего буферный элемент 1 имеет выход 2С, а буферный элемент 2 – выход 3С. Следовательно на выход (Вых) поступают данные с выхода Вых1.

При присутствии на управляющем входе ОЕ сигнала высокого уровня (логическая 1) на вход ОЕ (прямой) усилителя-формирователя 1 через инвертор подается уровень логического 0, а на вход ОЕ усилителя-формирователя 2 уровень логической 1. В результате чего буферный элемент 1 имеет выход 3С, а буферный элемент 2 – выход 2С. Следовательно на выход (Вых) поступают данные с выхода Вых2.

Используя микросхемы с тремя состояниями по выходу, можно создавать магистрали с двунаправленными потоками информации, а также уплотнять каналы передачи данных (рис. 2.60).

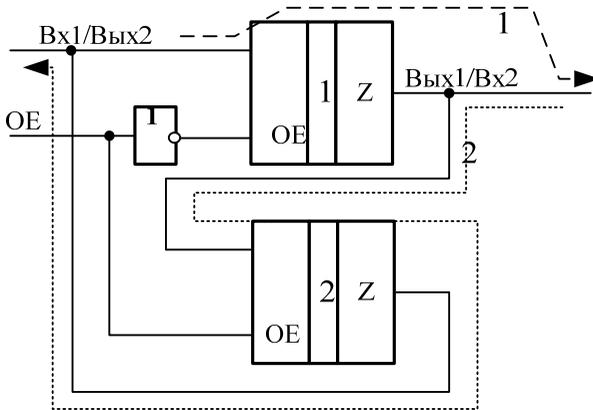


Рис. 2.60. Функциональные схемы использования ИМС с тремя состояниями по выходу для организации двухсторонней передачи информации

V_{x1}/V_{y2} при наличии на входе OE уровня 0 является входом, т. к. буферный усилитель-формирователь 1 имеет выход 2С, а буферный усилитель-формирователь 2 имеет выход 3С, т. е. V_{y1}/V_{x2} является выходом V_{y1} и на него поступают данные с входа 1 (V_{x1}), что изображено штрих-пунктирной линией 1. При наличии на входе OE уровня 1 буферный усилитель-формирователь 2 имеет выход 2С, а буферный усилитель-формирователь 1 имеет выход 3С. В результате этого V_{y1}/V_{x2} является входом V_{x2} и поступающие на него данные передаются на выход V_{y2} , что изображено штрих-пунктирной линией 2.

Элементы типа 3С сохраняют такие достоинства элементов с логическим выходом как быстрдействие и высокая нагрузочная способность.

3. ЦИФРОВЫЕ УЗЛЫ КОМБИНАЦИОННОГО ТИПА

Цифровые узлы комбинационного типа выполняют типовые операции. Иначе их называют комбинационные цепи (КЦ).

Входные величины КЦ зависят только от текущего значения входных величин (аргументов – X_1, X_2, \dots, X_n). **Предыстория значения не имеет.**

При разработке цифровых узлов комбинационного типа используются модели представления цифровых схем:

- логическая модель;
- модель с временными задержками;
- модель с учетом электрических эффектов (или электрическая модель).

Логическая модель применима для всех цифровых схем, в которых быстродействие не принципиально.

Модель с временными задержками учитывает задержки срабатывания ЛЭ. Ее применение необходимо для схемотехнической разработки всех быстродействующих устройств и для проверки случая одновременного изменения нескольких входных сигналов.

Электрическая модель учитывает входные и выходные токи, входные и выходные сопротивления и емкости элементов. Эту модель надо применять при объединении нескольких входов и выходов, при передаче сигналов на большие расстояния и т. д.

На рисунке 3.1 на примере простейшего ЛЭ НЕ (инвертора) показаны три модели представления этого цифрового «прибора».

Из рисунка видно: в логической модели считается, что ЛЭ срабатывает мгновенно, любое изменение уровня входного сигнала сразу же, без всякой задержки приводит к изменению уровня выходного сигнала.

В модели с временными задержками выходной сигнал изменяется с некоторой задержкой относительно входного сигнала ($t_{зд.}^{10}, t_{зд.}^{01}$).

В электрической модели выходной сигнал не только задерживается по сравнению с входным сигналом, но и его изменение происходит не мгновенно – процесс смены уровней сигнала (фронт сигнала) имеет некоторую конечную длительность.

В начале проектирования используется логическая модель, а затем для некоторых узлов применяется модель с временными задержками или (реже) и электрическая модель.

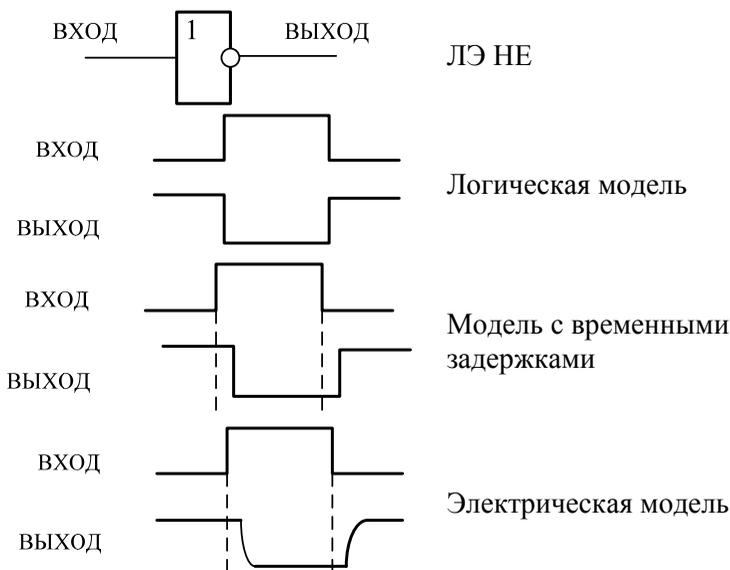


Рис. 3.1. Три модели представления цифрового устройства

Логическая модель не требует никаких цифровых расчетов, для нее достаточно только знание таблиц истинности или алгоритмов функционирования микросхем.

Модель с временными задержками предполагает расчет временных задержек элементов на пути прохождения сигналов. В результате этого расчета может выясниться, что требуется внесение изменений в схему.

Рассмотрим простейшую схему, состоящую из одинаковых ЛЭ, изображенную на рис. 3.2. Т. к. схема включает в себя одинаковые ЛЭ, то они будут иметь одинаковые задержки распространения ($t_{з.р.}^{10}$, $t_{з.р.}^{01}$).

При расчете временной задержки последовательно включенных логических элементов используется средняя задержка распространения сигнала ЛЭ:

$$\tau_{з.р.ср.} = (t_{з.р.}^{10} + t_{з.р.}^{01}) / 2.$$

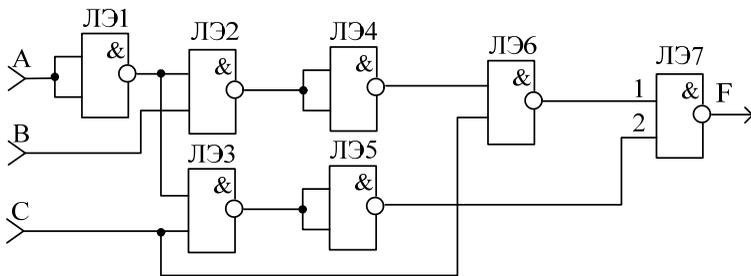


Рис. 3.2. Простейшая логическая схема, состоящая из одинаковых ЛЭ

Пусть, пользуясь справочной литературой, была выбрана конкретная ИМС и определены ее параметры, т. е. $t_{зд.р.}^{10}$ (например, не более 18 нс) и $t_{зд.р.}^{01}$ (например, не более 60 нс).

Тогда средняя задержка распространения сигнала одного ЛЭ будет равна:

$$\tau_{зд.р.ср.} = (t_{зд.р.}^{10} + t_{зд.р.}^{01}) / 2 = (18 \text{ нс} + 60 \text{ нс}) / 2 = 39 \text{ нс}.$$

Рассмотрим цепочки последовательно включенных ЛЭ в схеме.

На вход 1 ЛЭ7 поступает сигнал, который формируется последовательно включенными ЛЭ1, ЛЭ2, ЛЭ4, ЛЭ6.

На вход 2 ЛЭ7 поступает сигнал, который формируется последовательно включенными ЛЭ3, ЛЭ5.

Следовательно наибольшую задержку в схему вносит цепочка последовательно включенных элементов ко входу 1 ЛЭ7.

$$\begin{aligned} \tau_{зд.р.ср.}^{сх.} &= \tau_{зд.р.ср.}^{ЛЭ1.} + \tau_{зд.р.ср.}^{ЛЭ2.} + \tau_{зд.р.ср.}^{ЛЭ4.} + \tau_{зд.р.ср.}^{ЛЭ6.} + \tau_{зд.р.ср.}^{ЛЭ7.} = \\ &= 5 \cdot \tau_{зд.р.ср.}^{ЛЭ.} = 5 \cdot 39 = 195 \text{ нс}. \end{aligned}$$

В схему, изображенную на рис. 3.3, наибольшую задержку будет вносить цепочка следующих ЛЭ: ЛЭ1 (ИЕ), ЛЭ4 (ЛЭ И на 3 входа), ЛЭ5 (ЛЭ НЕ), ЛЭ6 (ЛЭ ИЛИ на 2 входа):

$$\tau_{зд.р.ср.}^{сх.} = \tau_{зд.р.ср.}^{ЛЭ1.} + \tau_{зд.р.ср.}^{ЛЭ4.} + \tau_{зд.р.ср.}^{ЛЭ5.} + \tau_{зд.р.ср.}^{ЛЭ6.}$$

или

$$\tau_{\text{зд.р.ср.}}^{\text{сх.}} = 2 \cdot \tau_{\text{зд.р.ср.}}^{\text{ЛЭ1}} + \tau_{\text{зд.р.ср.}}^{\text{ЛЭ4}} + \tau_{\text{зд.р.ср.}}^{\text{ЛЭ6}}.$$

Расчеты по электрической модели могут быть различными, в том числе и довольно сложными, но в большинстве случаев они сводятся к суммированию входных и выходных токов ЛЭ.

Входной ток ЛЭ задается для неблагоприятного режима работы в пределах допустимых температур окружающей среды и напряжения питания как для уровня «0» ($I_{\text{вх}}^0$), так и для уровня «1» ($I_{\text{вх}}^1$).

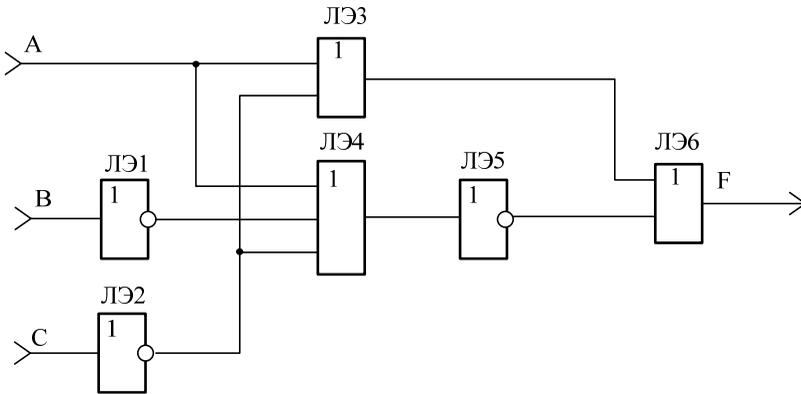


Рис. 3.3. Простейшая логическая схема, состоящая из разных ЛЭ

Выходные токи ($I_{\text{вых}}^0$, $I_{\text{вых}}^1$) характеризуют нагрузочную способность ЛЭ.

Вытекающие токи имеют положительные знаки, вытекающие – отрицательные.

Рассмотрим расчет схемы, представленной на рис. 3.4, используя электрическую модель.

$$I_{\text{вых.ЛЭ2}}^0 = I_{\text{вх.ЛЭ3}}^0 + I_{\text{вх.ЛЭ4}}^0 + I_{\text{вх.ЛЭ6}}^0;$$

$$I_{\text{вых.ЛЭ3}}^1 = I_{\text{вх.ЛЭ7}}^1.$$

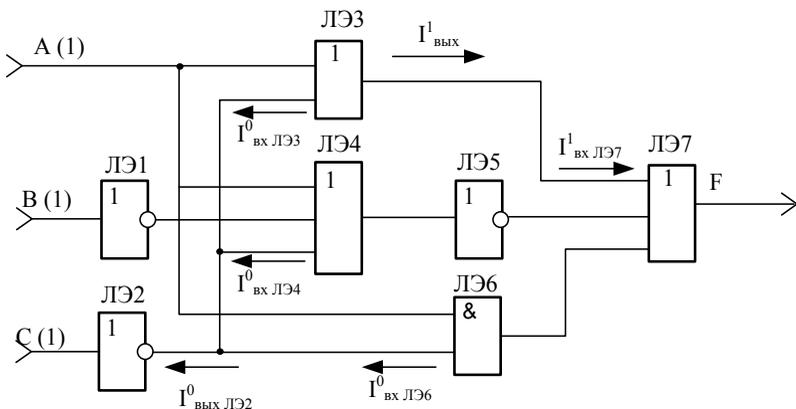


Рис. 3.4. Простейшая логическая схема, состоящая из разных ЛЭ

В результате этих расчетов может выясниться, что требуется применение микросхем с более мощными выходами или включение дополнительных элементов в связи с тем, например, что значение тока $I^0_{\text{вых ЛЭ2}}$, определенное по справочной литературе, будет меньше, чем значение, полученное в результате вычислений.

При разработке цифрового устройства, как было сказано ранее, на его первоначальной стадии используют логическую модель, которая описывает идеальную логическую схему и не учитывает задержек, которые возникают в схеме. Это может привести к тому, что в некоторый момент времени основные аксиомы алгебры логики $A * \bar{A} = 0$ и $A + \bar{A} = 0$ не подтверждаются.

На рис. 3.5, а приведена схема, реализующая выражение $A + \bar{A} = 0$ на логических элементах И-НЕ.

Из временной диаграммы на рис. 3.5, б видно, что на выходе временно имеется ложный сигнал уровня «0», длительность которого определяется величиной задержки ЛЭ1, который выполняет роль инвертора.

Временные ложные сигналы часто называются рисками. Они со временем исчезают.

После завершения переходных процессов в КЦ, представленной на рис. 3.5, а, на выходе устанавливается выходная величина, на которую характер переходных процессов влияния не оказывает.

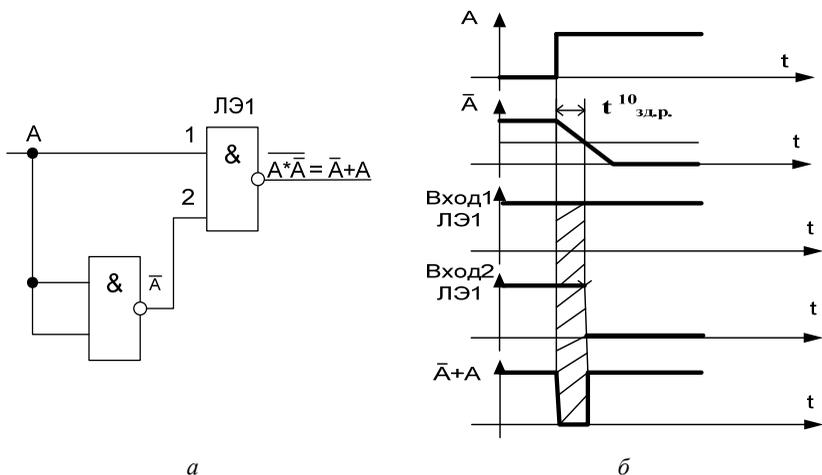


Рис. 3.5. Схема, на выходе которой формируется ложный сигнал (а), диаграмма работы (б)

Т. е. если прием выходной величины другим устройством осуществляется после окончания переходных процессов, то тогда переходные процессы не являются опасными.

Однако риски могут быть восприняты быстродействующими элементами памяти, необратимое изменение состояния которых могут изменить работу цифрового устройства, несмотря на то, что риски исчезли на выходе КЦ после окончания переходного процесса.

Различают статические и динамические риски.

Статические риски – это кратковременные изменения сигнала, который должен был оставаться неизменным (единичным или нулевым) в течение некоторого интервала времени (рис. 3.5, а).

Если согласно алгоритму работы комбинационной цепи состояние ее выхода должно изменяться с изменением входных сигналов, то вместо однократного перехода происходит несколько многократных переходов в зависимости от изменения входных сигналов.

В этом случае говорят о динамических рисках.

При *динамических рисках* первый и последний переходы всегда совпадают с алгоритмическими переходами, которые предусмотрены логикой работы схемы.

Статический риск такого свойства не имеет и является более неблагоприятным.

Чтобы исключить сбои в работе комбинационной цепи из-за явления риска, используют два решения:

1) тщательно анализируют процессы, происходящие в схеме, и включают избыточные элементы для устранения рисков;

2) запрещают принимать сигналы от комбинационной цепи элементами памяти до момента окончания переходных процессов.

Чаще всего используется второе решение.

Для определения временного интервала, на котором проходят переходные процессы, следует оценить задержки на путях распространения сигналов от входов до выхода комбинационной цепи (рассмотрено выше).

3.1. Сумматоры

Сумматор (английское Adder) – логический операционный узел, выполняющий арифметическое сложение кодов двух чисел. Например, если один входной код – 7 (0111), а второй – 5 (0101), то суммарный код на выходе будет 12 (1100).

Сумма двух двоичных чисел с числом разрядов N может иметь число разрядов $(N + 1)$. Например, при суммировании чисел 13 (1101) и 6 (0110) получается число 19 (10011). Поэтому количество выходов сумматора на единицу больше количества разрядов входных кодов. Этот дополнительный (старший) разряд называется выходом переноса

При арифметическом сложении выполняются и другие дополнительные операции: учет знаков чисел, выравнивание порядков складываемых и тому подобное.

На схемах сумматоры обозначаются буквами SM. В отечественных сериях код, обозначающий микросхему сумматора, – ИМ.

Рассмотрим классификацию сумматоров на примере сумматоров, складывающих два числа A и B ($A_1, A_2 \dots A_i; B_1, B_2 \dots B_i$ – разряды складываемых чисел).

Сумматоры классифицируют по различным признакам.

В зависимости от системы счисления различают:

- двоичные;
- двоично-десятичные (в общем случае двоично-кодированные);
- десятичные;
- прочие (например, амплитудные).

По количеству одновременно обрабатываемых разрядов складываемых чисел:

- одноразрядные (рис. 3.6, а);
- многоразрядные (рис. 3.6, б).

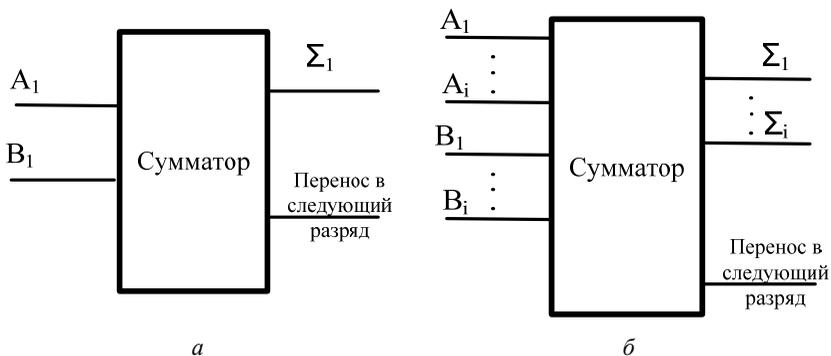


Рис. 3.6. Классификация сумматоров по количеству одновременно обрабатываемых разрядов:
 а – одноразрядный сумматор; б – многоразрядный сумматор

По числу входов и выходов одноразрядных двоичных сумматоров:

– четверть сумматоры (ЛЭ «Сумматор по модулю 2» иначе ЛЭ «Исключающее ИЛИ» или иначе ЛЭ XOR), характеризующиеся наличием двух входов, на которые подаются два одноразрядных числа, и одним выходом, на котором реализуется их арифметическая сумма (рис. 3.7, а);

– полусумматоры (рис. 3.7, б), характеризующиеся наличием двух входов, на которые подаются одноименные разряды двух чисел, и двух выходов: на одном реализуется арифметическая сумма в данном разряде, а на другом – перенос в следующий (более старший разряд);

– полные одноразрядные двоичные сумматоры (рис. 3.7, в). Характеризуются наличием трех входов, на которые подаются одноименные разряды двух складываемых чисел и перенос из предыдущего (более младшего) разряда, и двумя выходами: на одном реализуется арифметическая сумма в данном разряде, а на другом – перенос в следующий (более старший) разряд.

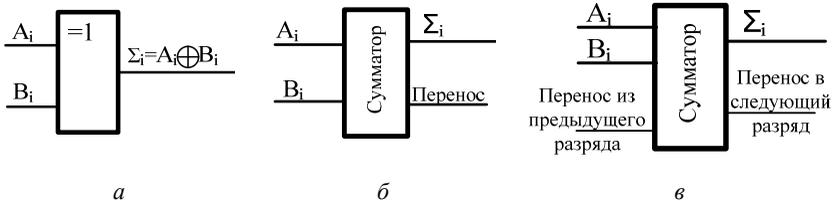


Рис. 3.7. Одноразрядные двоичные сумматоры: *а* – четверть сумматор; *б* – полусумматор; *в* – полный сумматор.

По способу представления и обработки складываемых чисел многоразрядные сумматоры подразделяются на:

– последовательные сумматоры, в которых обработка чисел ведется поочередно, разряд за разрядом на одном и том же оборудовании (рис. 3.8);

– параллельные сумматоры, в которых слагаемые складываются одновременно по всем разрядам и для каждого разряда имеется свое оборудование (рис. 3.9).

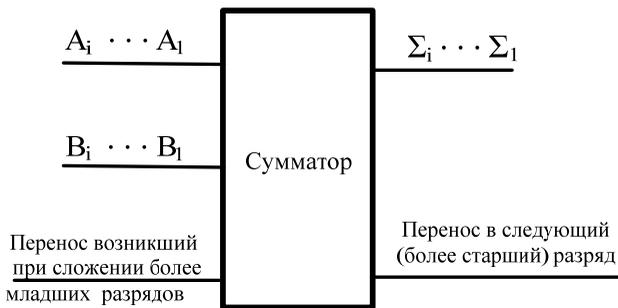


Рис. 3.8. Последовательный многоразрядный сумматор



Рис. 3.9. Параллельный многоразрядный сумматор сумматоры

Параллельный сумматор, в простейшем случае, представляет собой n одноразрядных сумматоров, последовательно (от младших разрядов к старшим) соединенных цепями переноса. Такая схема сумматора характеризуется сравнительно невысоким быстродействием, так как формирование сигналов суммы и переноса в каждом i -м разряде производится лишь после того, как поступит сигнал переноса с $(i - 1)$ -го разряда (рис. 3.9).

Таким образом, быстродействие сумматора определяется временем распространения сигнала по цепи переноса. Уменьшение этого времени – основная задача при построении параллельных сумматоров.

Для уменьшения времени распространения сигнала переноса применяют: конструктивные решения, когда используют в цепи переноса наиболее быстродействующие элементы; тщательно выполняют монтаж без длинных проводников и паразитных емкостных составляющих нагрузки и (наиболее часто) структурные методы ускорения прохождения сигнала переноса.

По способу организации переносов между разрядами (межразрядных переносов) параллельные сумматоры, реализующие структурные методы, делятся на сумматоры:

- с последовательным переносом;
- с параллельным переносом;
- с групповой структурой;
- со специальной организацией цепей переноса.

Среди сумматоров со специальной организацией цепей переноса можно указать:

- сумматоры со сквозным переносом, в которых между входом и выходом переноса одноразрядного сумматора оказывается наименьшее число логических уровней;
- сумматоры с двухпроводной передачей сигналов переноса;
- сумматоры с условным переносом (вариант сумматора с групповой структурой, позволяющий уменьшить время суммирования в 2 раза при увеличении оборудования в 1,5 раза);
- асинхронные сумматоры, вырабатывающие признак завершения операции суммирования, при этом среднее время суммирования уменьшается, поскольку оно существенно меньше максимального.

Сумматоры, которые имеют постоянное время, отводимое для суммирования, независимое от значений слагаемых, называют синхронными.

По способу выполнения операции сложения и возможности сохранения результата сложения можно выделить три основных вида сумматоров:

1. Комбинационный сумматор.

Такой сумматор выполняет микрооперацию $\Sigma = A + B$. В данном сумматоре результат суммы выдается по мере его образования. Этот сумматор представляет собой комбинационную схему в общепринятом смысле слова.

2. Сумматор с сохранением результата.

Данный сумматор выполняет микрооперацию $\Sigma := A + B$ (знак «:=» обозначает, что после определения суммы она сохраняется).

3. Накапливающий сумматор.

Данный сумматор выполняет микрооперацию $\Sigma := \Sigma + A$. Т. е. вводимое значение числа A складывается со значением ранее накопленной суммы (Σ) и сохраняется. Особенностью данного сумматора является то, что перед накоплением суммы начальное значение Σ должно быть обнулено.

Последние две структуры не являются простейшими комбинационными схемами и требуют наличия элементов памяти, в которых сохраняется результат суммирования.

Важнейшими параметрами сумматоров являются:

- разрядность;
- статические параметры: $U_{\text{п}}$; $P_{\text{пот}}$; $U_{\text{вх}}^0$; $U_{\text{вх}}^1$; $U_{\text{вых}}^0$; $U_{\text{вых}}^1$; $I_{\text{вх}}^0$ и т. д., т. е. обычные статические параметры логических элементов;
- динамические параметры: $t_{\text{зд.р.}}^{01}$; $t_{\text{зд.р.}}^{10}$.

Сумматоры характеризуются четырьмя задержками распространения:

- от подачи входного переноса до установления всех выходов суммы при постоянном уровне на всех входах слагаемых;
- от одновременной подачи всех слагаемых до установления всех выходов суммы при постоянном уровне на входе переноса;
- от подачи входного переноса до установления выходного переноса при постоянном уровне на входах слагаемых;
- от подачи всех слагаемых до установления выходного переноса при постоянном уровне на входах слагаемых.

3.1.1. Четвертьсумматор

Простейшим двоичным суммирующим элементом является четвертьсумматор.

На рис. 3.10 приведено условное обозначение, схема и таблица истинности четвертьсумматора.

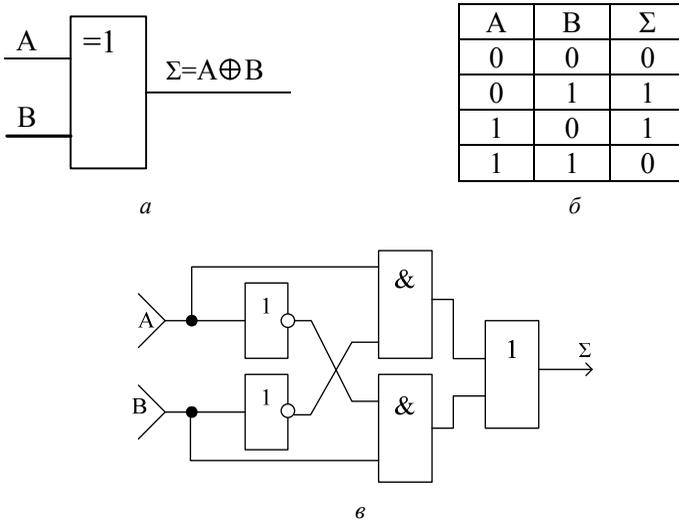


Рис. 3.10. Четвертьсумматор:

a – УГО; *б* – таблица истинности; *в* – схема четвертьсумматора

Происхождение названия этого элемента следует из того, что он имеет в два раза меньше выходов и в два раза меньше строк в таблице истинности по сравнению с полным двоичным одноразрядным сумматором.

Наиболее известны для данной схемы названия: элемент «сумма по модулю 2» и элемент «Исключающее ИЛИ».

Работа схемы описывается следующим логическим выражением:

$$\Sigma = \bar{A}B + A\bar{B} = A \oplus B.$$

Схема четверть сумматора может быть реализована в базисе И-НЕ или базисе ИЛИ-НЕ.

3.1.2. Полусумматор

Полусумматор имеет два входа А и В для двух слагаемых и два выхода: Σ – сумма, Р – перенос.

Обозначением полусумматора служат буквы HS (half sum – полусумма).

На рис. 3.11 приведено условное обозначение, таблица истинности и схема полусумматора.

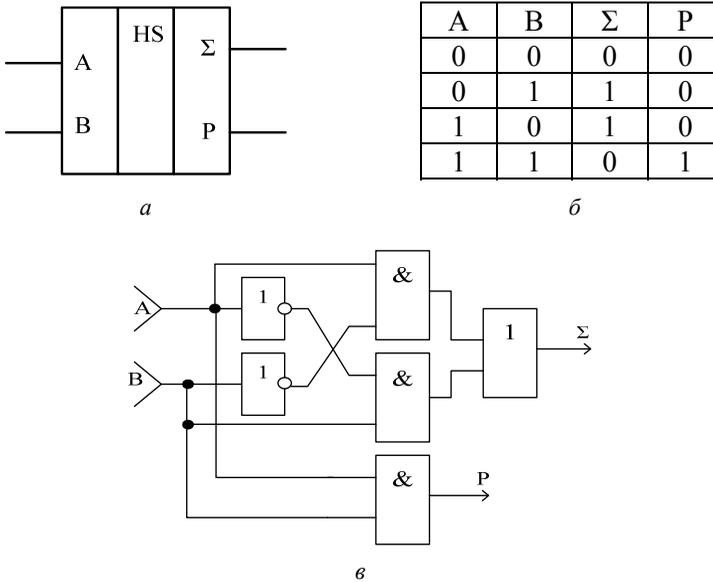


Рис. 3.11. Условное обозначение (а), таблица истинности (б) и схема (в) полусумматора

Как видно из таблицы истинности синтез полусумматоров относится к синтезу устройств, имеющих одни входы и несколько выходов. В данном случае схема имеет входы А и В и выходы суммы (Σ) и переноса (Р).

Работа полусумматора описывается логическими выражениями для суммы и переноса:

$$\Sigma = \bar{A}B + A\bar{B} = A \oplus B;$$

$$P = AB.$$

Анализируя схему полусумматора, можно сделать вывод, что основную задержку в схему вносит цепь формирования значения Σ (цепочка включает логические элементы НЕ, И, ИЛИ).

3.1.3. Полный одноразрядный двоичный сумматор

Полный одноразрядный сумматор – это устройство для сложения двух одноразрядных двоичных чисел: А и В и сигнала переноса из предыдущего младшего разряда (Р).

Полный сумматор имеет два выхода: Σ (сумма) и P_{i+1} (перенос, возникающий в i -м разряде).

На рис. 3.12 приведено условное обозначение, таблица истинности и схема полного сумматора на базе двух полусумматоров.

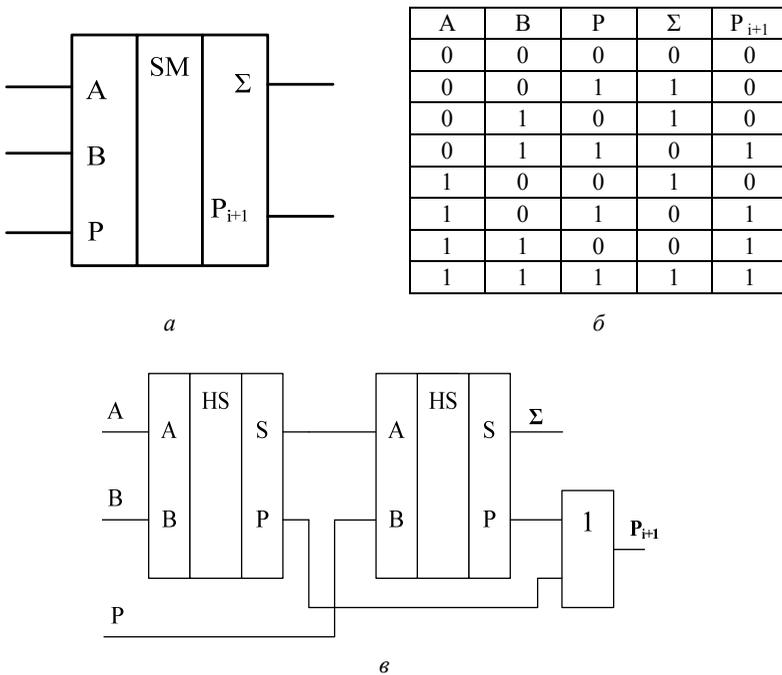


Рис. 3.12. Полный сумматор:
a – УГО полного сумматора; *б* – таблица истинности;
в – схема полного сумматора

Выражения, описывающие работу полного двоичного сумматора (согласно таблице истинности) имеют следующий вид:

$$\Sigma = \overline{A}B\overline{P} + \overline{A}B\overline{P} + A\overline{B}P + ABP;$$

$$P_{i+1} = \overline{A}B\overline{P} + A\overline{B}P + A\overline{B}P + ABP.$$

При практическом проектировании сумматора уравнения Σ и P могут быть преобразованы к виду, удобному для реализации на заданных логических элементах с некоторыми ограничениями (например, по числу логических входов) и удовлетворяющему предъявляемым к сумматору требованиям по быстродействию.

Схема полного одноразрядного сумматора может быть также построена на логических элементах согласно выражениям Σ и P .

Обозначением полного двоичного сумматора служат буквы SM.

3.1.4. Многоразрядные сумматоры

Используя полный сумматор можно построить суммирующее устройство для сложения многоразрядных двоичных чисел A и B .

Различают многоразрядные последовательные и параллельные сумматоры.

Последовательный многоразрядный сумматор. Последовательный многоразрядный сумматор состоит из одноразрядного сумматора, на входы A и B которого из сдвигающих регистров, в которых хранятся n -разрядные числа A и B , по тактам подаются разряды этих чисел, начиная с младшего разряда.

Сформированная сумма накапливается в сдвигающем регистре суммы. Возникающий перенос с задержкой на элементе задержки на один такт поступает на вход сумматора только в следующем такте, когда на входы A и B будут поданы следующие разряды чисел A и B .

Схема последовательного сумматора представлена на рис. 3.13.

Достоинством последовательного сумматора является простота схемы, требующая минимального количества оборудования, недостатком – низкое быстродействие, т. к. для сложения кодов n -разрядных чисел требуется, учитывая возможность переполнения, $n-1$ такт работы.

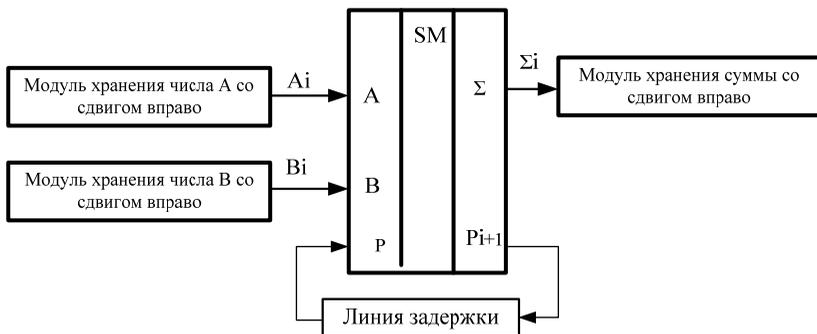


Рис. 3.13. Последовательный многоразрядный сумматор

Параллельный многоразрядный сумматор с последовательным переносом. В этом сумматоре (рис. 3.14) операция суммирования производится одновременно за один такт во всех разрядах чисел A и B , которые поступают на входы параллельным кодом.

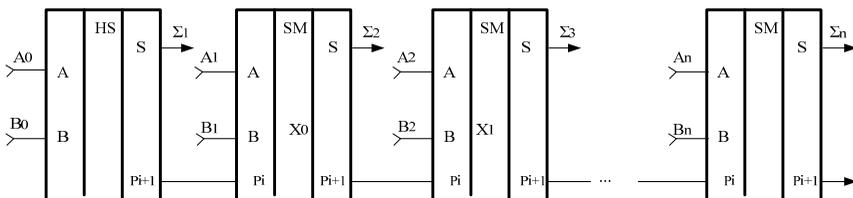


Рис. 3.14. Параллельный многоразрядный сумматор

Параллельный многоразрядный сумматор состоит из одного полусумматора, который обеспечивает суммирование младших разрядов чисел A и B и $n-1$ полных сумматоров, обеспечивающих складывание всех остальных разрядов чисел A и B с учетом переноса, возникающего в более младшем разряде (n -разрядность складываемых чисел).

Время формирования результата в таком сумматоре определяется временем установления выходных сигналов (сумма и перенос) в каждом из одноразрядных сумматоров после установления сигнала на его входах.

Надо учитывать, что если на входы A и B всех разрядов сигналы поступают в момент начала такта, то на вход P_i сигнал переноса по-

ступает с некоторой задержкой, которая определяется длительностью переходных процессов в сумматоре предыдущего разряда.

При наиболее неблагоприятном сложении, т. е. если, например, $A = 111\dots 11$, а $B = 000\dots 01$, произойдет перенос 1 через все сумматоры, т. е. время установления результата в n -разрядном сумматоре будет равно:

$$T_{\text{уст.рез.}} = \tau_{\text{зд.п.ср.}}^{\Sigma} \cdot (n - 1),$$

где

$$\tau_{\text{зд.п.ср.}}^{\Sigma} = (t_{\text{зд.п.}}^{10} + t_{\text{зд.п.}}^{01}) / 2.$$

При большой разрядности чисел $T_{\text{уст.рез.}}$ может быть большим, следовательно, длительность времени подачи чисел A и B на входы одноразрядных сумматоров должна быть больше $T_{\text{уст.рез.}}$.

Для ускорения процесса формирования переноса используют дополнительные комбинационные схемы, позволяющие формировать перенос параллельно во всех разрядах.

Параллельный многоразрядный сумматор с параллельным переносом. Принцип построения таких сумматоров заключается в том, что значение каждого разряда суммы получается в результате параллельного анализа соответствующих разрядов слагаемых.

Параллельные сумматоры с одновременным переносом бывают двух типов:

- сумматоры с формированием переноса в каждый разряд;
- сумматоры без явного формирования переноса.

Если проанализировать таблицу истинности полного сумматора, представленную на рис. 3.12, б, то из таблицы видно, что условием возникновения переноса в данном разряде служит условие, когда оба разряда складываемых чисел равны 1 ($A_i = 1$ и $B_i = 1$).

Условие, когда один из одноименных разрядов числа A и B равен 1 ($A_i = 1, B_i = 0$ или $A_i = 0, B_i = 1$) и возник перенос в этот разряд из более младшего разряда, является условием распространения переноса через i -й разряд (рис. 3.15).

Тогда схема сумматора с формированием переноса в каждый разряд (рис. 3.15) будет иметь вид, представленный на рис. 3.16.

Перенос
распространился
через 2-й разряд

$$\begin{array}{r}
 1001 \\
 + 0011 \\
 \hline
 1100
 \end{array}$$

В первом разряде возник перенос

Рис. 3.15. Условия возникновения и распространения переноса при складывании двух 4-х разрядных чисел

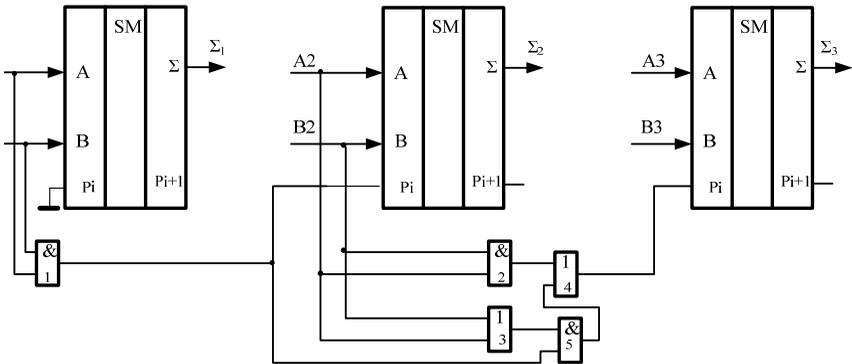


Рис. 3.16. Параллельный сумматор с формированием переноса в каждый разряд

ЛЭ (И) 1 и 2 формируют условия возникновения переноса в 1-м и во втором разрядах сумматора соответственно.

ЛЭ 3 (ИЛИ) и ЛЭ 5 (И) формируют условие распространения переноса, возникшего в 1-м разряде через второй разряд.

ЛЭ 4 (ИЛИ) показывает, что перенос в 3-й разряд будет осуществляться если, он возник во втором разряде, или если перенос возник в первом разряде и был осуществлен его перенос через второй разряд (разряд A2 или B2 равен 1).

Анализируя схему на рис. 3.16, видно, что чем больше разрядов в сумматоре, тем комбинационная схема формирования переноса будет больше, что существенно влияет на время задержки схемы.

На практике ИМС-сумматоров с параллельным формированием переноса чаще всего бывают двухразрядными, т. е. обеспечивают сложение двух двухразрядных чисел.

Интегральные микросхемы многоразрядных сумматоров. На рис. 3.17 показаны УГО ИМС двух разрядного и четырех разрядного сумматора.

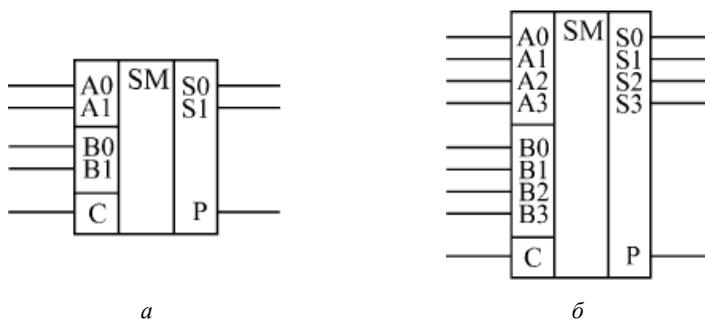


Рис. 3.17. УГО ИМС сумматоров:
a – двухразрядный сумматор; *б* – четырехразрядный сумматор

При организации многоразрядного сумматора на базе приведенных ИМС на вход переноса (С) первого сумматора (складывающего младшие разряды чисел) необходимо подать уровень логического нуля (перенос в младший разряд суммы отсутствует).

Пример организации 4-х разрядного сумматора на 2-х разрядной ИМС приведен на рис. 3.18.

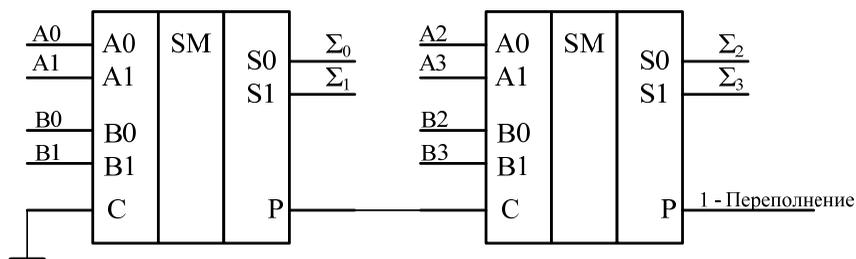


Рис. 3.18. Схема 4-х разрядного сумматора на 2-х разрядных ИМС

Разряды чисел А и В на входы ИМС подаются согласно весу их разряда.

В случае возникновения 1 на выходе переноса (Р) старшей ИМС при сложении двух двоичных чисел А и В возникает переполнение, т. е. полученный результат будет некорректным (например, при

сложении 1101_2 и 0100_2 на выходе переноса (P) будет 1, а на выходах Σ значение 0001 , что меньше любого из складываемых чисел).

Время задержки формирования суммы в данной схеме будет равно времени задержки двух ИМС-сумматоров.

Сумматор может вычислять не только сумму, но и разность входных кодов, то есть работать как вычитатель.

В разделе 1 (пункт 1.6) данного пособия было отмечено, что вычитание двоичных чисел (A-B) выполняется как сложение числа A с дополнительным кодом числа B (вычитаемое). Дополнительный код числа формируется как преобразование прямого кода к обратному коду с добавлением 1 в младший разряд.

Для этого вычитаемое число (B) надо поразрядно проинвертировать (сформировать обратный код), а на вход переноса C ИМС-сумматора, обеспечивающего сложение младших разрядов числа A (A_0, A_1) и младших разрядов B (B_0, B_1), подать единичный сигнал, т. е. добавить сигнал переноса, что позволит сформировать дополнительный код числа B. Схема вычитателя представлена на рис. 3.19.

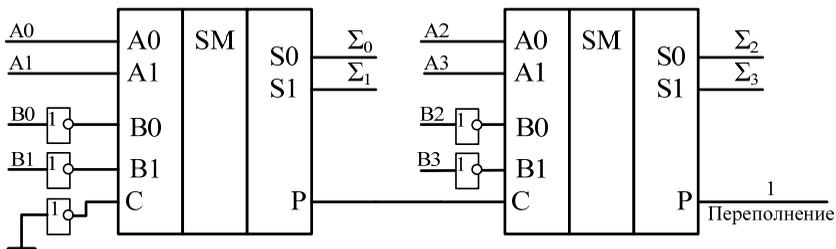


Рис. 3.19. Схема 4-х разрядного вычитателя на 2-х разрядных ИМС сумматора

Каскадирование (объединение) ИМС-сумматоров для увеличения разрядности является очень простым. Надо сигнал с выхода переноса сумматора, обрабатывающего младшие разряды кодов чисел A и B (P), подать на вход переноса сумматора, обрабатывающего более старшие разряды кодов чисел A и B (C), как показано на рис. 3.20.

Кроме этого, разряды (1, 2, 3, ..., 12) кодов чисел A и B согласно весу их разряда необходимо подать на входы A_0 – A_3 и B_0 – B_3 ИМС-сумматоров, т. е.:

– разряды 1–4 кода чисел A и B подать на входы A_0 – A_3 и B_0 – B_3 первого сумматора;

– разряды 5–6 кода чисел А и В подать на входы А0–А3 и В0–В3 второго сумматора;

– разряды 9–12 кода чисел А и В подать на входы А0–А3 и В0–В3 третьего сумматора.

На выходах S0–S3 каждой ИМС-сумматоров образуется код значения суммы: на выходах первой ИМС – 1–4 разряды, второй – 5–8 разряды, третьей – 9–12 разряды.

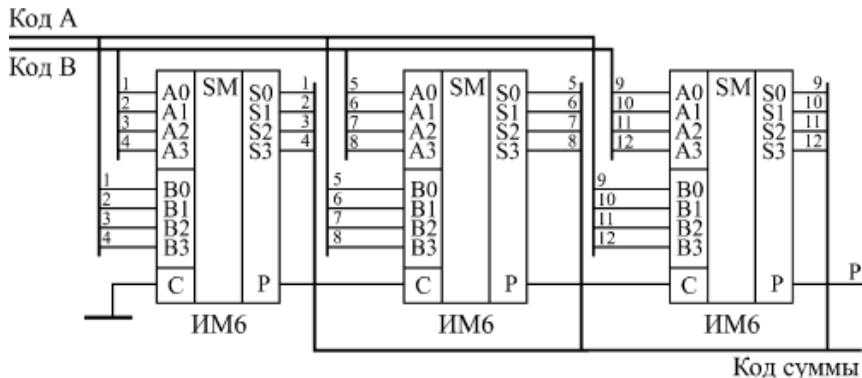


Рис. 3.20. Каскадирование 4-х разрядных ИМС сумматоров для увеличения разрядности

Неопределенные состояния на выходах сумматора могут возникнуть при любом изменении любого из входных кодов чисел А или В.

Поэтому выходной код суммы может принимать в течение короткого времени значения, никак не связанные с входными кодами чисел А и В, а на выходе переноса могут появляться короткие паразитные импульсы. Чтобы избежать влияния этих неопределенных состояний на дальнейшую схему, необходимо предусматривать синхронизацию или стробирование выходных сигналов. Для этого надо располагать информацией о моментах изменения входных кодов.

Сформированную сумму необходимо снимать с выходов ИМС также с учетом времени задержки ИМС, т. е. для данной схемы через время задержки

$$\tau_{\text{зд.р.ср.}}^{\Sigma} = 3 \cdot \tau_{\text{зд.р.ср.}}^{\text{ИМС } \Sigma}$$

Сумматоры групповой структуры. В сумматорах групповой структуры схема с разрядностью n делится на l -групп по m -разрядов ($n = lm$). В группах и между ними возможны различные виды переносов, что порождает множество вариантов групповых сумматоров.

Существуют групповые сумматоры с цепным (последовательным) и параллельным переносами между группами.

В самих группах перенос при этом может быть любым.

Групповой сумматор с цепным переносом при l -группах имеет $l-1$ блок переноса.

Блоки переноса включены последовательно и образуют тракт передачи переноса (рис. 3.21).

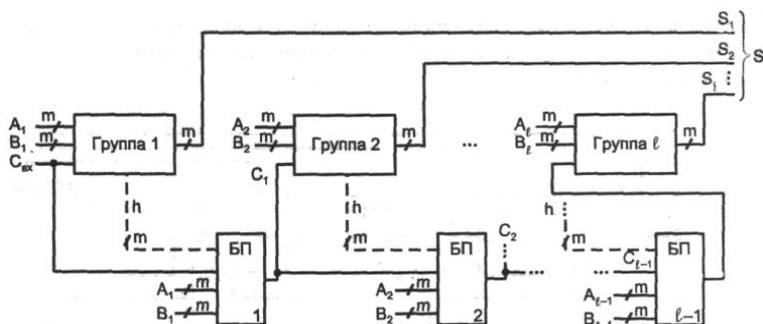


Рис. 3.21. Групповой сумматор с цепным переносом между группами

Слагаемые разбиты на m -разрядные поля, суммируемые в группах. Результат также составляется из m -разрядных полей.

Блоки переноса БП i ($i = 1 \dots l-1$) анализируют слагаемые в пределах группы, и если из группы должен быть перенос, то он появляется на выходе блока для подачи на вход следующей группы и в цепочку распространения переноса от младших групп к более старшим группам.

Максимальная длительность суммирования для варианта с цепным переносом составляет:

$$\tau_{\text{з.д.р.ср.}}^{\Sigma} = (l-1) \cdot \tau_{\text{з.д.р.ср.}}^{\text{БП}} + \tau_{\text{з.д.р.ср.}}^{\text{ГР}}$$

где $\tau_{\text{з.д.р.ср.}}^{\text{БП}}$ – среднее время задержки распространения сигнала блоком переноса;

$\tau_{\text{з.д.р.ср.}}^{\text{ГР}}$ – среднее время задержки распространения сигнала группой.

Сумматор с параллельными межгрупповыми переносами строится по структуре, сходной со структурой сумматора с параллельным переносом, в которой роль одноразрядных сумматоров играют группы.

Структура группового сумматора с параллельными межгрупповыми переносами показана на рис. 3.22, где разрядность и число групп равно 4.

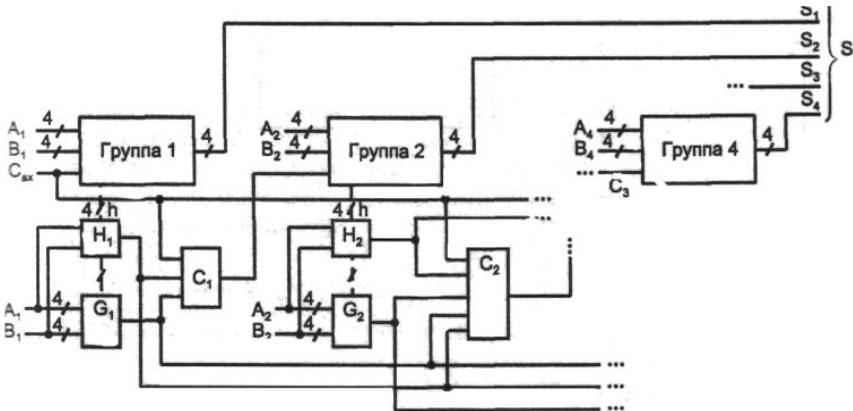


Рис. 3.22. Групповой сумматор с параллельным переносом между группами

В групповом сумматоре с параллельными межгрупповыми переносами роль «одного разряда» играет группа, которую также характеризуют функциями возникновения в ней переноса (генерации) и распространения переноса через группу (прозрачности).

Блоки G – это блоки генерации переноса в данном разряде (они реализуют условие возникновения переноса из группы).

Блоки H – это блоки прозрачности, т. е. распространения переноса через группу.

Из групп собирается та же схема, что и из одноразрядных сумматоров, с параллельными межгрупповыми переносами. Как было сказано выше, схемы выработки переноса усложняются с количеством разрядов (групп) сумматора.

Время суммирования для такой схемы составляет:

$$\tau^{SM} = \tau_{зд.п.ср.}^h + \tau_{зд.п.ср.}^G + \tau_{зд.п.ср.}^C + \tau_{зд.п.ср.}^{ГР},$$

где $\tau_{\text{зд.р.ср.}}^h$ – среднее время задержки распространения сигнала блоком прозрачности;

$\tau_{\text{зд.р.ср.}}^G$ – среднее время задержки распространения сигнала блоком генерации переноса в разряде;

$\tau_{\text{зд.р.ср.}}^C$ – среднее время задержки распространения сигнала схемой формирования параллельного переноса в группе;

$\tau_{\text{зд.р.ср.}}^{\Gamma P}$ – среднее время задержки распространения сигнала группой.

3.2. Компараторы

Компараторы (устройства сравнения) определяют отношения между двумя словами. Основными отношениями, через которые можно выразить остальные, можно считать два – «равно» и «больше».

Цифровые компараторы относятся к арифметическим устройствам. Цифровые компараторы (от английского «compare» – сравнивать, сличать) выполняют сравнение двух чисел, заданных в двоичном (двоично-десятичном) коде.

В зависимости от схемного исполнения компараторы могут определять равенство $A = B$ (A и B – независимые числа с равным количеством разрядов) либо вид неравенства: $A < B$ или $A > B$.

Результат сравнения отображается соответствующим логическим уровнем на выходе.

Интегральные цифровые микросхемы компараторов выполняют, как правило, все эти операции и имеют три выхода ($A > B$, $A < B$, $A = B$).

Цифровые компараторы широко применяются для:

– выявления нужного числа (слова) в потоке цифровой информации;

– отметки времени в часовых приборах;

– выполнения условных переходов в вычислительных устройствах.

Одноразрядные компараторы. Одноразрядные компараторы осуществляют сравнение двух одноразрядных чисел A и B .

ЛЭ «Исключающее ИЛИ» (п. 2.4), как следует из его таблицы истинности, может быть использован для сравнения двух одноразрядных чисел (рис. 3.23).

В случае, когда на входы приходят две единицы или два нуля (сигналы совпадают), на выходе формируется нуль (рис. 2.23, б).

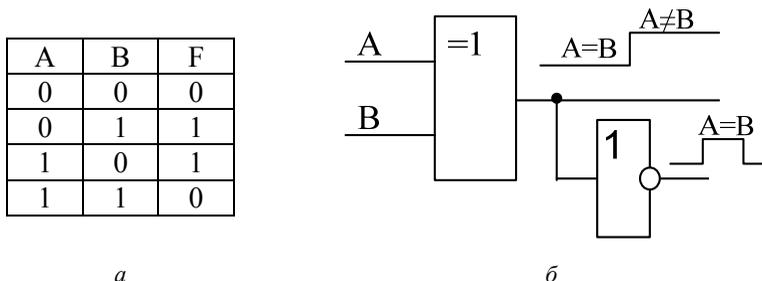


Рис. 3.23. Одноразрядный компаратор:
 а – таблица истинности ЛЭ XOR;
 б – схема сравнения двух одноразрядных сигналов

Если необходимо получить признак « \leq » высокого уровня, в схему может быть добавлен инвертор (рис. 3.23, б).

Чаще всего в устройствах требуется выявить равенство двух сигналов, тогда компаратор на равенство одноразрядных чисел можно выполнить на ЛЭ «Исключающее ИЛИ» и инверторе (рис. 3.24).

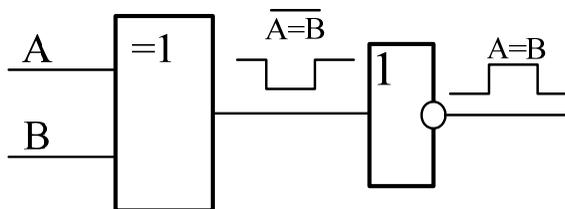


Рис. 3.24. Одноразрядный компаратор, определяющий равенство одноразрядных чисел

Синтез компараторов относится (как и сумматоров) к синтезу устройств, имеющих одни входы и несколько выходов. Одноразрядный компаратор имеет три выхода $A > B$, $A < B$, $A = B$.

Таблица истинности, описывающая работу компаратора, сравнивающего два одноразрядных числа A и B , приведена на рис. 3.25.

A	B	A > B	A < B	A = B
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	0

Рис. 3.25. Таблица истинности компаратора сравнивающего два одноразрядных числа

Согласно таблице истинности логические выражения, описывающие все три выхода компаратора, могут быть представлены в следующем виде:

$$F^{A>B} = A * \bar{B};$$

$$F^{A<B} = \bar{A} * B;$$

$$F^{A=B} = \bar{A} * \bar{B} + A * B.$$

Схема одноразрядного компаратора на ЛЭ И, ИЛИ, НЕ и диаграмма его работы показаны на рис. 3.26.

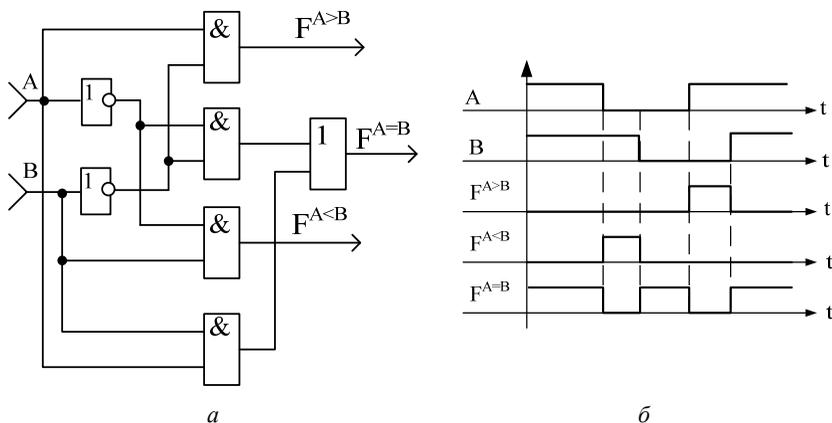


Рис. 3.26. Схема (а) и диаграмма работы (б) одноразрядного компаратора

Как видно из рис. 3.26, а время задержки формирования сигналов на выходах $F^{A>B}$ и $F^{A<B}$ одинаковые, т. е. равны сумме времен задержки логических элементов НЕ и И:

$$\tau_{\text{зд.р.ср.}}^{A>B} = \tau_{\text{зд.р.ср.}}^{A<B} = \tau_{\text{зд.р.ср.}}^{\text{ЛЭНЕ}} + \tau_{\text{зд.р.ср.}}^{\text{ЛЭИ}}$$

Время задержки формирования сигнала на выходе $F^{A=B}$ больше, чем на двух других выходах и равно сумме задержек на ЛЭ НЕ, И, ИЛИ:

$$\tau_{\text{зд.р.ср.}}^{A=B} = \tau_{\text{зд.р.ср.}}^{\text{ЛЭНЕ}} + \tau_{\text{зд.р.ср.}}^{\text{ЛЭИ}} + \tau_{\text{зд.р.ср.}}^{\text{ЛЭИЛИ}}$$

Схема данного компаратора может быть реализована (согласно теореме Де-Моргана) на ЛЭ И-НЕ или ИЛИ-НЕ.

Многоразрядный компаратор. Многоразрядные компараторы обычно выполняют на базе одnorазрядных с подключением дополнительных ЛЭ И и ИЛИ (для блокировки одnorазрядных компараторов и объединения сигналов).

При этом используется принцип последовательного сравнения разрядов многоразрядных чисел, начиная с их старших разрядов, так как уже на этом этапе, если $A_n \neq B_n$, задача может быть решена однозначно, и сравнение следующих за старшими разрядов не требуется (n – старший разряд N -разрядного числа).

На схемах компараторы кодов обозначаются двумя символами равенства: «= =».

Код типа микросхемы компаратора кода в отечественных сериях – СП.

В сериях цифровых элементов обычно имеются компараторы с тремя выходами: «больше», «меньше» и «равно» (рис. 3.27).

Компаратор имеет восемь информационных входов для подачи кодов двух сравниваемых 4-х разрядных чисел А и В ($A_0...A_3$ и $B_0...B_3$) и три управляющих входа $A^>$, $A^<$, $A^=$ (используются при наращивании разрядности компаратора), а также три выхода результирующих сигналов ($A^>$, $A^<$, $A^=$).

Компаратор имеет восемь информационных входов для подачи кодов двух сравниваемых 4-х разрядных чисел А и В ($A_0...A_3$ и $B_0...B_3$) и три управляющих входа $A^>$, $A^<$, $A^=$ (используются при наращивании разрядности компаратора), а также три выхода результирующих сигналов ($A^>$, $A^<$, $A^=$).

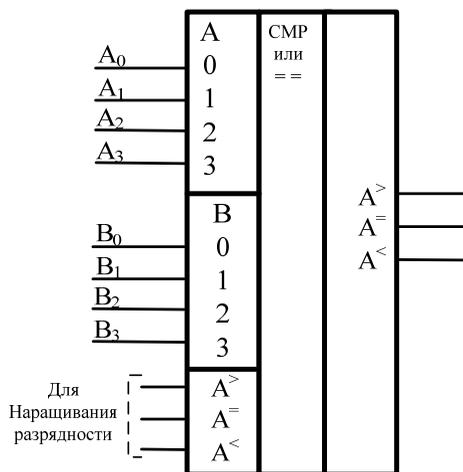


Рис. 3.27. Условное обозначение компараторов с тремя выходами

На схемах управляющие входы и выходы иногда обозначают как «>», «<» и «=» или как $A > B$, $A < B$, $A = B$ (рис. 3.28).

Нулевые разряды кодов (A_0 и B_0) – младшие, третьи разряды (A_3 и B_3) – старшие.

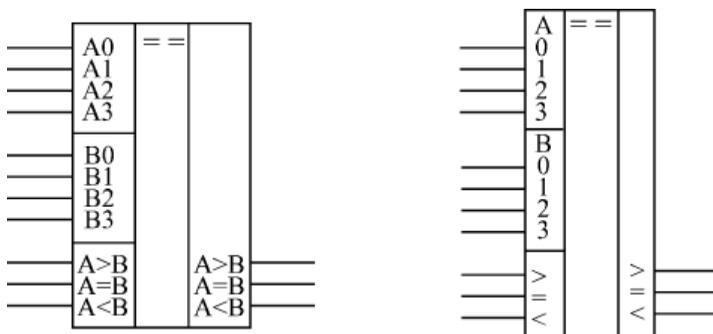


Рис. 3.28. 4-х разрядный компаратор кодов (два варианта УГО)

Если микросхемы компараторов кодов каскадируются (объединяются) для увеличения числа разрядов сравниваемых кодов чисел, то надо выходные сигналы микросхемы, обрабатывающей младшие разряды кода, подать на одноименные входы микросхемы, обрабатывающей старшие разряды кода, как это показано на рис. 3.29.

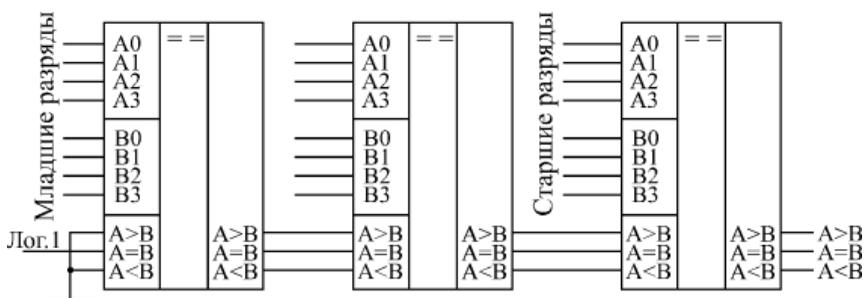


Рис. 3.29. Схема наращивания входов 4-х разрядного компаратора

Время задержки получения сигнала на одном из выходов данной схемы составляет:

$$\tau_{\text{зд.р.ср.}}^{\text{сх}} = 3 \cdot \tau_{\text{зд.р.ср.}}^{\text{==}}$$

что соответствует времени задержки трех интегральных микросхем компараторов.

Кроме этого компараторы могут иметь дополнительный вход разрешения, как, например, компаратор SN74ALS521 (рис. 3.30).

Одно из основных применений компараторов кодов состоит в селектировании (поиске требуемого кода, т. е. определении равенства кодов) входных кодов.

Производится ряд ИМС, которые выполняют только сравнение кодов чисел.

На рис. 3.30 показано применение компараторов SN74ALS521 для селектирования 16-разрядных кодов.

Инверсный выход « \neq » первой микросхемы соединяется с инверсным входом разрешения (\overline{S}) второй микросхемы.

Если разряды 1–8 входного кода равны разрядам 1–8 эталонного кода, то на выходе « \neq » первой микросхемы сформируется сигнал уровня 0, т. е. будет разрешена работа второй микросхемы.

Если разряды 9–16 входного кода будут равны разрядам 9–16 эталонного кода, то на выходе « \neq » второй микросхемы сформируется сигнал уровня 0, что говорит о равенстве входного кода эталонному.

Если разряды 1–8 входного кода не равны разрядам 1–8 эталонного кода, то на выходе « \neq » первой микросхемы сформируется сигнал уровня 1, т. е. на выходе второй микросхемы будет сигнал 1.

Сигнал на выходе будет также равен 1, если разряды 9–16 входного кода будут неравны разрядам 9–16 эталонного кода.

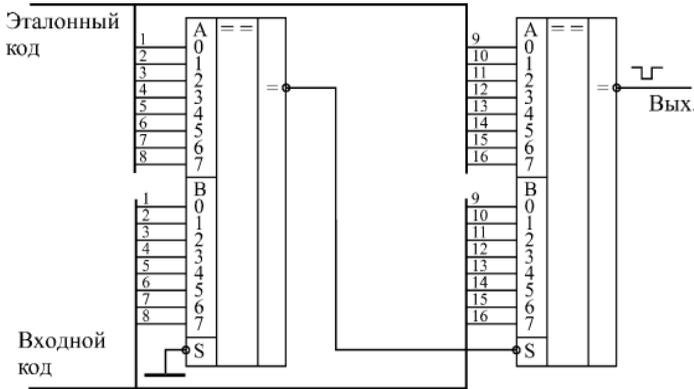


Рис. 3.30. Селектирование 16-разрядных кодов

Определение только равенства кодов можно осуществить с применением ИМС, имеющих три выхода с использованием схемотехнического решения приведенного на рисунке 3.31.

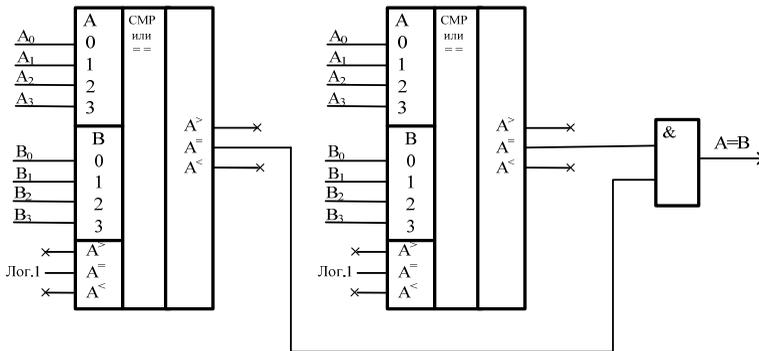


Рис. 3.31. Селектирование 8-разрядных кодов

На входы « $A^=$ » двух ИМС подается уровень логической 1.

Выходы « $A^=$ » соединяются со входами ЛЭ И, т. е. если 4-х разрядные коды чисел A и B , сравниваемые двумя ИМС (старшие 4 разряда и младшие 4 разряда) равны между собой, то на выходе ЛЭ И будет сформирована 1 (числа A и B равны), в противном случае 0 (хотя бы в одной четырехразрядной группе числа A и B не равны между собой).

Данное схемотехническое решение позволяет уменьшить время задержки схемы до времени задержки одной ИМС-компаратора и времени задержки на ЛЭИ.

$$\tau_{\text{зд.р.ср.}}^{\text{сх}} = \tau_{\text{зд.р.ср.}}^{\text{==}} + \tau_{\text{зд.р.ср.}}^{\text{ЛЭИ}}.$$

На рис. 3.32 приведено схемотехническое решение сравнения 8-разрядного значения параметра (П) с 8-разрядным максимально допустимым его значением (порогом – ПОР), реализованное на ИМС семейства МОП.

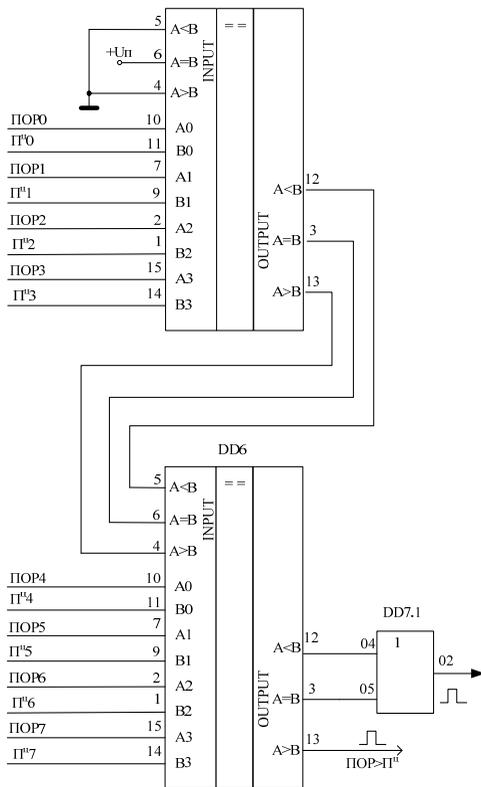


Рис. 3.32. Нарращивание разрядов компаратора семейства МОП

В семействе МОП уровень логической единицы соответствует напряжению питания ($U_{\text{п}}$).

3.3. Схемы контроля

Сложность цифровых устройств (ЦУ) определяет важность операций контроля и диагностики их функционирования. В некоторых случаях, например, в приборах, обеспечивающих контроль жизненно важных параметров, такой контроль необходим.

Причинами нарушения нормальной работы цифрового устройства могут быть:

- отказы (нарушения из-за возникших неисправностей которые имеют постоянный характер);
- сбои (нарушения из-за неблагоприятных факторов, например, помех, которые в дальнейшем могут и не появляться).

Цели и задачи контроля, диагностики и исправления ошибок в ЦУ могут быть разными.

Если ставится задача предотвращения ошибок в работе ЦУ, то в данном случае реализуются следующие меры:

- применение высококачественных элементов схем;
- стабилизация условий окружающей среды и т. д.

Но даже все принятые меры не позволяют избавиться полностью от всех ошибок при работе ЦУ.

Если понимать, что ошибки при работе ЦУ возникнут обязательно, то следует предусмотреть принятие мер по их обнаружению.

Обнаружение возникающих ошибок решается разными методами.

1. Обеспечивается дублирование работы ЦУ.

Т. е. одновременно обеспечивается работа двух ЦУ (контролируемого и контролирующего) и осуществляется сравнение результатов их работы.

Несовпадение результатов рассматривается как признак появления ошибки.

Однако в данном случае вероятность появления ошибки как в контролируемом устройстве, так и в контролирующем составляет 50 % на 50 %.

2. Используются специальные коды, которые более сложные, чем двоичные.

3. Реализуется маскирование (исправление) возникших ошибок.

В этом случае наличие ошибки определенного типа и количества не нарушает работу устройства, т. к. их влияние устраняется автоматически.

В этой области используется, например, трехкратное резервирование устройств с выработкой результата путем «голосования» с помощью мажоритарных элементов (рисунок 3.33).

Мажоритарный элемент имеет нечетное количество входов.

На рис. 3.33, *a* приведено УГО мажоритарного ЛЭ с 3-мя входами.

Сигнал на выходе ЛЭ появляется тогда, когда на 2-х и более входах присутствует 1 (рис. 3.33, *б* и *в*)

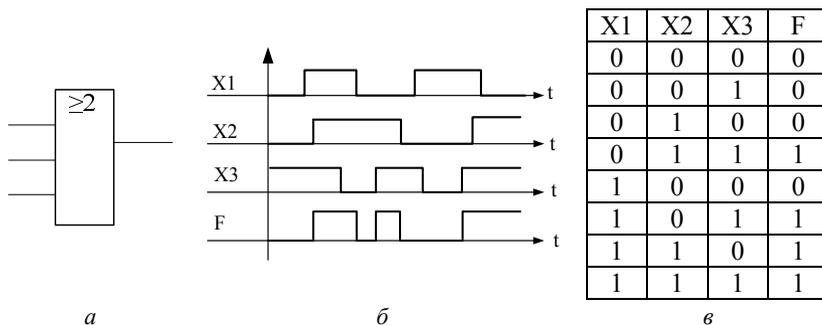


Рис. 3.33. Мажоритарный логический элемент:
a – УГО ЛЭ; *б* – диаграмма работы; *в* – таблица истинности

Мажоритарный элемент выполняет задачу «голосования», т. е. передает на выход величину, соответствующую большинству входов.

Добавление к функциям устройств функции контроля всегда связано с избыточностью. Т. е. увеличение надежности работы устройства отражается на его избыточности (может составлять до 100 %) и стоимости.

Двоичный код позволяет обнаружить ошибки единичной кратности. Для этого используется код контроля по модулю 2 (контроль по четности/нечетности).

При этом способе контроля каждое двоичное слово дополняется контрольным разрядом, значение которого подбирается таким образом, чтобы сделать четным (нечетным) вес каждой кодовой комбинации.

При одиночной ошибке в кодовой комбинации четность (нечетность) ее веса меняется, а такая комбинация не принадлежит к данному коду, например, исходным кодом был следующий код – 101000110110_2 к которому был добавлен контрольный разряд, равный 0 (0101000110110_2).

Контрольный разряд получается путем сложения по модулю 2 всех разрядов кода двоичного числа (логический элемент XOR).

При работе ЦУ в 4 разряде возникла одиночная ошибка, т. е. его значение изменилось с 0 на 1 (101000111110₂). Тогда контрольный разряд будет равен 1.

На рис. 3.34 представлено УГО ЛЭ XOR и его таблица истинности.

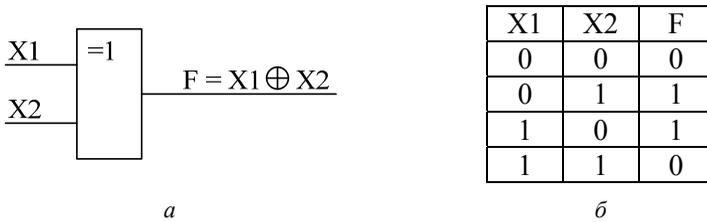


Рис. 3.34. УГО логического элемента XOR и его таблица истинности:
a – УГО ЛЭ XOR; *б* – таблица истинности

На рис. 3.35 представлена схема определения контрольного разряда (КР) для пятиразрядного кода двоичного числа на базе ЛЭ XOR.

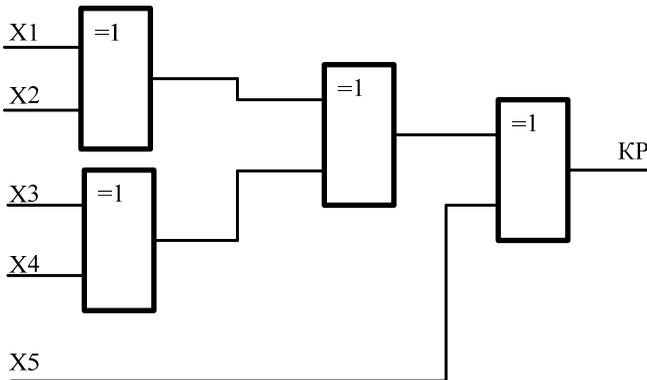


Рис. 3.35. Схема определения контрольного разряда с помощью логического элемента XOR

Схемы контроля обнаруживают несовпадение значения введенного контрольного разряда с определяемым контрольным разрядом. Для этого может использоваться также ЛЭ XOR.

Если в кодовой комбинации возникла двойная ошибка, то четность (нечетность) комбинации не нарушается, и такая ошибка не обнаруживается.

Например, исходным кодом был следующий код – 001001110111₂, к которому был добавлен контрольный разряд, равный 1 (1001001110111₂). В результате передачи кода в двух разрядах возникли ошибки: они поменяли свое значение на противоположное.

Например, второй и седьмой разряды, которые имели значение 1, изменились на 0, т. е. на приемной стороне был получен следующий код – 0010001110101₂.

Контрольный разряд для данного кода также равен 1, и будет считаться, что полученное число не содержит ошибки.

При контроле на четность все кодовые комбинации делают четными, а при контроле на нечетность – все нечетными. Возможности двух вариантов – одинаковые.

Различие появляется при технической реализации каналов передачи данных, когда один из способов позволит отличить обрыв линий связи от передачи нулевого слова.

При организации передачи используют кодирование кодов с целью исключить наличие нулевого слова.

3.4. Дешифраторы и шифраторы

Шифраторы и дешифраторы относятся к комбинационным устройствам, они не имеют внутренней памяти, как и логические элементы, т. е. уровни их выходных сигналов всегда однозначно определяются текущими уровнями входных сигналов и никак не связаны с предыдущими значениями входных сигналов. Любое изменение входных сигналов обязательно изменяет состояние выходных сигналов.

Дешифратор и шифратор относятся к преобразователям кодов.

Дешифратор преобразует входной двоичный код в номер выходного сигнала (дешифрирует код), или иначе преобразует двоичный код в код «1 из N» (так называемый унитарный код), в кодовой комбинации этого кода только одна позиция занята 1, а остальные – нулевые.

Шифратор преобразует номер входного сигнала в выходной двоичный код (шифрует номер входного сигнала), т. е. преобразует код «1 из N» в двоичный код.

На выходе дешифратора всегда присутствует только один сигнал (1 для прямого выхода и 0 для инверсного), причем номер этого сигнала однозначно определяется входным кодом.

Выходной код шифратора определяется номером входного сигнала.

Дешифраторы. Дешифратор – это комбинационное устройство, позволяющее распознавать числа, представленные позиционным n -разрядным кодом.

Полным дешифратором называется дешифратор с n -выходами, который позволяет распознавать 2^n чисел.

Если число выходов дешифратора не позволяет распознавать 2^n чисел, то такой дешифратор называют неполным (двоично-десятичный дешифратор – количество входов 4, а распознает не 16, а 10 значений числа от 0 до 9, т. е. имеет только 0 выходов).

Иначе дешифратор называют преобразователем позиционного кода в унитарный.

Унитарным кодом называют код, в котором только в одном его разряде есть логическая единица (для прямых выходов), а в остальные – нули.

Процесс распознавания дешифратором двоичных чисел заключается в том, что в зависимости от набора кода, поступившего на вход дешифратора, сигнал 1 (для прямого выхода дешифратора) появится только на одном его выходе.

Микросхемы дешифраторов обозначаются на схемах буквами DC (от английского Decoder).

УГО дешифратора на 4 входа представлено на рис. 3.36.

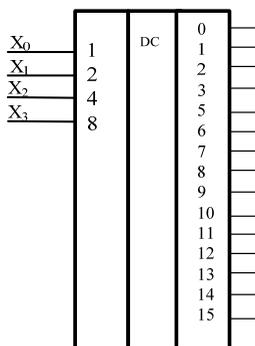


Рис. 3.36. УГО дешифратора

Дешифраторы применяются для расшифровки адресов ячеек запоминающих устройств, высвечивание букв и цифр на дисплеях и т. д.

На рис. 3.37 представлена таблица истинности дешифратора, который имеет три входа.

Данный дешифратор имеет 3 входа и 8 выходов.

Работа дешифратора описывается восьмью логическими выражениями:

$$\begin{aligned}
 F0 &= \overline{X_0} * \overline{X_1} * \overline{X_2}; & F1 &= X_0 * \overline{X_1} * \overline{X_2}; & F2 &= \overline{X_0} * X_1 * \overline{X_2}; \\
 F3 &= X_0 * X_1 * \overline{X_2}; & F4 &= \overline{X_0} * \overline{X_1} * X_2; & F5 &= X_0 * \overline{X_1} * X_2; \\
 F6 &= \overline{X_0} * X_1 * X_2; & F7 &= X_0 * X_1 * X_2.
 \end{aligned}$$

где $F0, F1, \dots, F7$ – выходные логические функции;

X_0, X_1, X_2 – входные логические переменные;

$\overline{X_0}, \overline{X_1}, \overline{X_2}$ – отрицания входных логических переменных;

* – знак логического умножения.

Входы			Выходы							
X_2	X_1	X_0	F0	F1	F2	F3	F4	F5	F6	F7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Рис. 3.37. Таблица истинности дешифратора на 3 входа

Каждая функция F представляет собой конъюнкцию трех переменных, а значит, может быть реализована с помощью 3-х ЛЭ И имеющих три входа.

Кроме того, как видно из логических выражений, для работы дешифратора, нужны входные логические переменные в прямом коде и в обратном.

В зависимости от разрядности дешифрируемого кода и функциональных возможностей интегральных микросхем (ИМС), имеющих в распоряжении разработчика, дешифратор может быть выполнен на основе одноступенчатой (линейной) или многоступенчатой схем дешифрации.

Схема дешифратора, реализующая приведенные логические выражения, представлена на рис. 3.38.

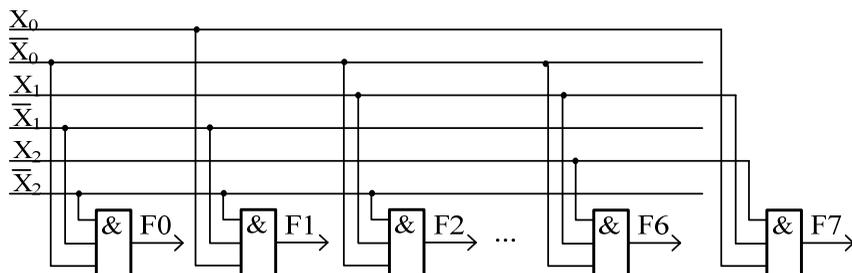


Рис. 3.38. Схема дешифратора на 3 входа

Время задержки формирования сигнала по любому из выходов приведенного дешифратора равно времени задержки ЛЭ И.

На практике чаще всего входные переменные (X) представлены в прямом коде.

В таком случае для получения обратного кода необходим инвертор, т. е. время задержки формирования сигналов на выходах F увеличивается на время задержки инвертора.

ИМС дешифраторов могут быть только с прямыми входами (рис. 3.36) или с прямыми и инверсными входами (рис. 3.39, *а*).

Кроме этого ИМС дешифраторов могут выполняться:

- с синхронизацией, т. е. иметь один дополнительный вход (рис. 3.39, *б*);

- с управляемой синхронизацией (рис. 3.39, *в*).

При управляемой синхронизации интегральные микросхемы помимо входа C (прямой) имеется дополнительный вход разрешения V (прямой), который объединен со входом C функцией И. Инверсные входы будут объединены функцией ИЛИ.

В таком случае дешифрация произойдет во время подачи импульса синхронизации на вход C лишь при условии, что на входе разрешения V присутствует сигнал разрешения.

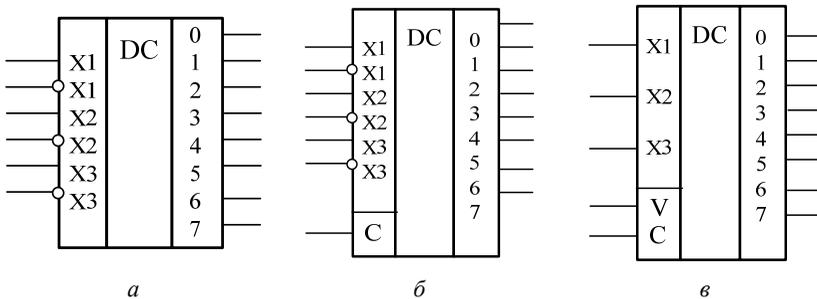


Рис. 3.39. УГО ИМС дешифраторов:

a – дешифратор с парафазными входами; *б* – дешифратор с дополнительным входом синхронизации; *в* – дешифратор с управляемой синхронизацией

Для реализации таких дешифраторов в схмотехническом решении необходим дополнительный ЛЭ И, который объединяет сигналы *C* и *V* (рис. 3.40).

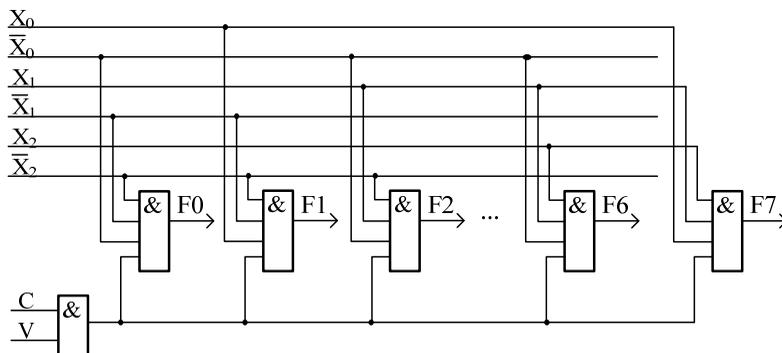


Рис. 3.40. Схема дешифратора с управляемой синхронизацией

Диаграмма работы дешифратора с управляемой синхронизацией приведена на рис. 3.41.

Дешифраторы, в которых конъюнкторы (ЛЭ И) располагаются на одной линии, называются линейными дешифраторами.

Достоинство линейных дешифраторов – их быстродействие.

Однако количество разрядов дешифрируемого слова в таких дешифраторах ограничивается максимально допустимым числом входов ЛЭ И и нагрузочной способностью элементов, в которых хранится дешифрируемое слово.

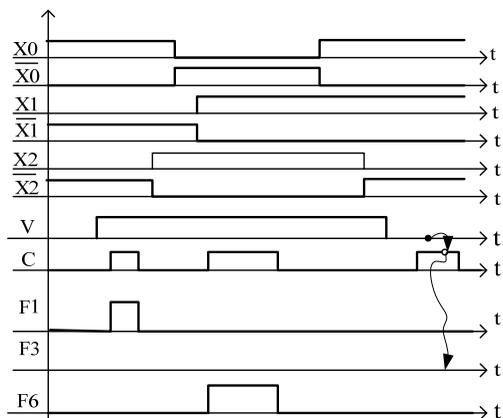


Рис. 3.41. Диаграмма работы дешифратора с управляемой синхронизацией

При большом числе разрядов дешифрируемого слова более удобной и экономичной является схема прямоугольного дешифратора.

В таком дешифраторе дешифрация осуществляется ступенчато, т. е. дешифрируемое слово разбивается на две группы, и каждая из групп дешифрируется линейным дешифратором.

На второй ступени образуется произведение сигналов, которые поступают от линейных дешифраторов первых ступеней (рис. 3.42).

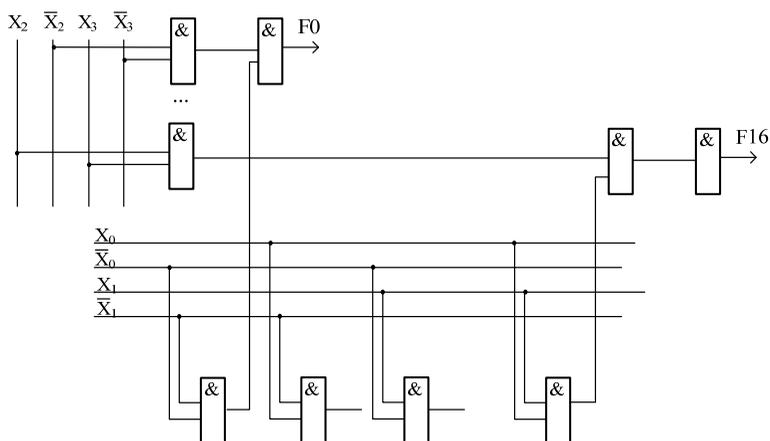


Рис. 3.42. Фрагмент схемы прямоугольного дешифратора

Для прямоугольного дешифратора фактором, который ограничивает число разрядов дешифрируемого слова, является чаще всего нагрузочная способность элементов входного каскада.

При большом числе разрядов дешифрируемого слова (>6) и ограниченной нагрузочной способностью (<10) полный прямоугольный дешифратор строится с числом каскадов больше 2-х.

В отечественных сериях микросхемы дешифраторов обозначаются буквами ИД.

На рис. 3.43 представлены условно-графические обозначения некоторых наиболее типичных интегральных микросхем дешифраторов.

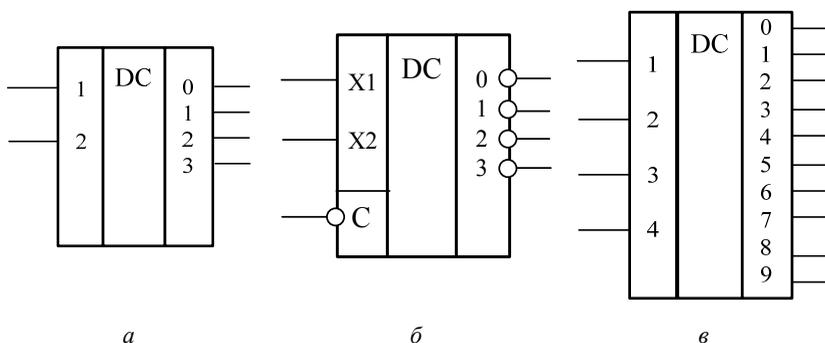


Рис. 3.43. УГО ИМС дешифраторов:
a – 2-х входовой полный дешифратор;
б – 2-х входовой дешифратор с инверсными выходами;
в – двоично-десятичный дешифратор (неполный)

Входы разрешения (если их несколько) объединяются согласно их полярности (прямые по И, инверсные по ИЛИ).

При наличии прямых и инверсных входов разрешения дополнительно обеспечивается их преобразование к одному уровню.

Чаще всего ИМС дешифраторов выполняются с выходом 2С (логический выход), однако ряд ИМС дешифраторов имеет выход ОК(ОС) (открытый коллектор/открытый сток).

УГО дешифраторов с выходом открытый коллектор/открытый сток приведено на рис. 3.44.

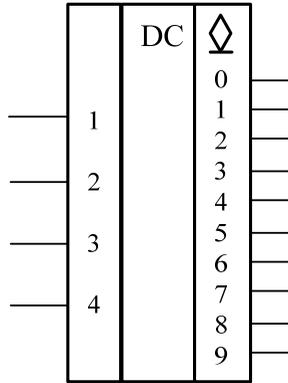


Рис. 3.44. УГО ИМС дешифратора с выходом ОК (ОС)

Применение дешифраторов. Наиболее типичное применение дешифраторов состоит в дешифрировании входных кодов

Номер активного (то есть нулевого) выходного сигнала показывает, какой входной код поступил.

Если нужно дешифровать код с большим числом разрядов, то можно объединить несколько микросхем дешифраторов (рис. 3.45).

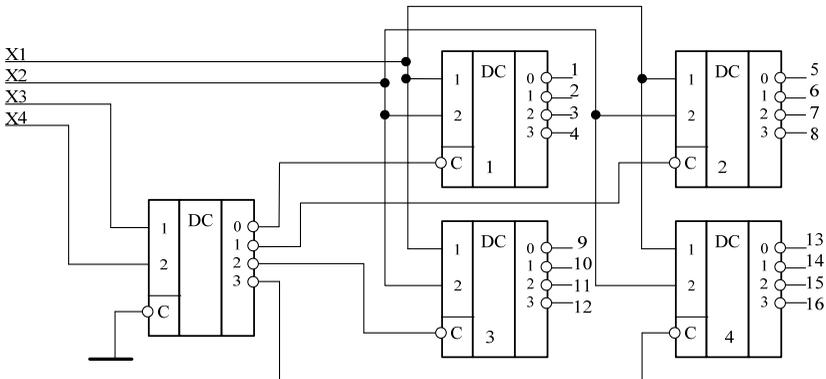


Рис. 3.45. Увеличение количества разрядов дешифратора

При этом старшие разряды кода (X_3 , X_4) подаются на входы 1 и 2 основного дешифратора, выходы которого разрешают работу четырех дополнительных дешифраторов (1, 2, 3, 4).

Вход С (инверсный) основного дешифратора обеспечивает работу всей схемы в требуемый промежуток времени (логический 0 разрешает его работу).

На входы 1, 2 дополнительных дешифраторов (1, 2, 3, 4) подаются младшие разряды входного кода (X1, X2) согласно весу их разрядов (X1 на входы 1, X2 на входы 2).

В результате был получен дешифратор на 16 выходов.

Если код X1X2X3X4 сформируется счетчиком, начиная с кода 0000, то в начальный момент времени активен выход 0 основного дешифратора (логический ноль), а значит, разрешена работа дешифратора 1.

С изменением кода X1X2X3X4 в последовательности 0000, 0001, 0010, 0011 выходы дешифратора 1 будут последовательно иметь низкий активный уровень.

Далее с изменением кода на 0100 – разрешена работа дешифратора 2.

Еще одно распространенное применение дешифраторов – селекция (выбор) заданных входных кодов. Появление отрицательного сигнала на выбранном выходе дешифратора будет означать поступление на вход интересующего нас кода.

Например, две микросхемы 4–16 позволяют селектировать 8-разрядный код (рис. 3.46).

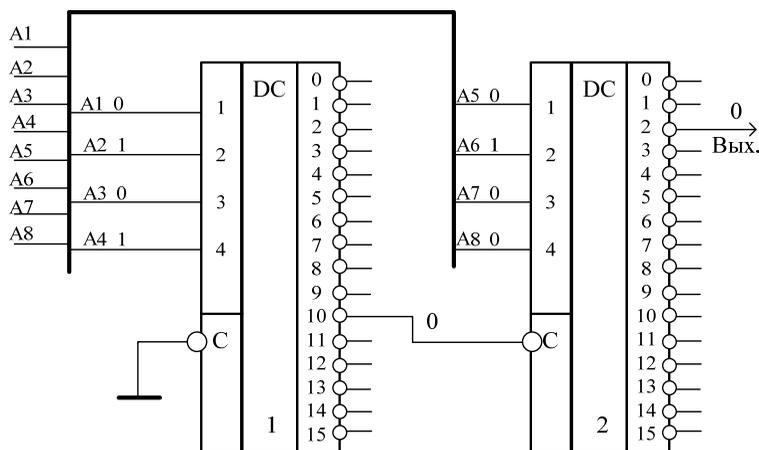


Рис. 3.46. Селектирование кода на дешифраторах

В примере на рис. 3.46. селектируется 16-ричный код 2А (двоичный код 0010 1010).

При этом один дешифратор работает с младшими четырьмя разрядами кода, а другой – со старшими четырьмя разрядами.

Объединяются дешифраторы так, что один из них разрешает работу другого по входам $\overline{C1}$ и $\overline{C2}$.

На входы первого дешифратора 1 подаются младшие разряды селектируемого кода (А4А3А2А1), а на входы второго дешифратора 2 – старшие разряды (А8А7А6А5) кода согласно весу их разряда.

Пусть требуется найти следующее значение кода А8А7А6А5 А4А3А2А1 = 00101010₂.

В случае, когда младшие разряды поданного кода (А4А3А2А1) будут соответствовать значению, которое требуется найти (1010₂ = А₁₆ = 10₁₀), то на выходе 10 данного дешифратора появится активный низкий сигнал.

Т. к. выход 10 дешифратора 1 соединен с входом разрешения \overline{C} второго дешифратора, то работа дешифратора 2 будет разрешена. Если на входах дешифратора 2 присутствует код 0010₂ (2₁₀), то на его выходе 2 появится сигнал уровня «логический 0», что обозначает, что код найден.

Дешифраторы, имеющие выходы типа ОК (ОС), удобно применять в схемах позиционной индикации на светоизлучающих диодах.

На рисунке 3.44 приведен пример такой индикации на ИМС, которая представляет собой два дешифратора 2–4 с объединенными входами (1 и 2) для подачи входного кода и самостоятельными входами строба (по два у каждого). У первого дешифратора входы С инверсные ($\overline{C1}$), у второго входы С – прямые (C2).

Схема, приведенная на рис. 3.47, реализует дешифратор 3–8.

При этом старший разряд кода выбирает один из дешифраторов 2–4 (ноль соответствует верхнему по схеме дешифратору, а единица – нижнему).

То есть в данном случае номер горящего светодиода равен входному коду дешифратора.

Такая индикация называется позиционной.

Выходы микросхем дешифраторов с ОК можно объединять между собой для реализации «проводного ИЛИ» (рис. 3.48).

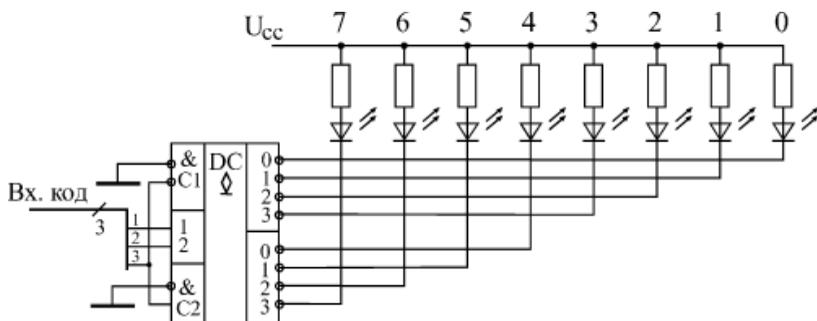


Рис. 3.47. Позиционная индикация на дешифраторе с выходами ОК

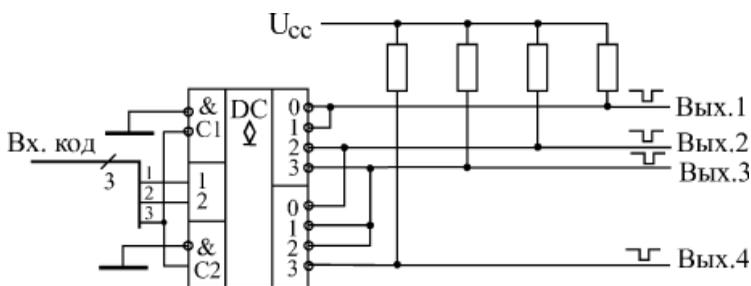


Рис. 3.48. Объединение выходов дешифраторов с ОК

Нуль на объединенном выходе будет тогда, когда хотя бы на одном из выходов вырабатывается нуль.

Согласно схмотехническому решению младшие разряды (1 и 2) кода Вх.код подаются на входы 1 и 2 дешифратора.

Старший разряд 3 кода Вх.код подается на инверсный вход С первого дешифратора и прямой вход С второго дешифратора.

А это означает, что если значение разряда 3 Вх.код соответствует логическому 0, то разрешается работа первому дешифратору, а если 1 – то второму.

Т. е. на выходе 1 будет логический 0, если входной код равен 000 или 001 (активен первый дешифратор).

На выходе 2 будет логический 0, если входной код равен 010 (активен первый дешифратор) или 100 (активен второй дешифратор).

На выходе 3 будет логический 0, если входной код равен 011 (активен первый дешифратор) или 101, или 110 (активен второй дешифратор).

При равномерном пошаговом наращивании входного кода (например, с помощью счетчика) такое решение позволяет формировать довольно сложные последовательности выходных сигналов.

Каждый выход дешифратора может использоваться для получения только одного выходного сигнала. Это ограничивает возможности таких схем.

Поясним возможность использования двух входов, например, $\overline{C1}$.

Если на вход $\overline{C1}$ подавать 3 разряд входного кода Вх. код, как указано на рис. 3.45, то второй вход $\overline{C1}$ (объединение по И) позволит обеспечить синхронную работу устройства передающего коды и устройства принимающего сигналы с выходов дешифратора.

Для этого на данный вход можно подать сигнал разрешения низкого уровня, в момент готовности передающего и приемного устройств.

Как и для других цифровых микросхем, для дешифраторов наиболее критична ситуация одновременного или почти одновременного изменения входных сигналов.

Например, если сигналы на входах С постоянно разрешают работу дешифратора, то в момент изменения входного кода на любом выходе дешифратора могут появляться паразитные колебания.

Шифраторы. Шифраторы – это комбинационные устройства, выполняющие функции обратные дешифратору.

При подаче сигнала на один из его входов (унитарный код) на выходе образуется соответствующий двоичный код.

Следовательно, если число входов шифратора равно 2^n , то число выходов – n .

Шифраторы используются гораздо реже, чем дешифраторы. Это связано с более специфической областью их применения.

Значительно меньше и выбор микросхем шифраторов в стандартных сериях.

Микросхемы шифраторов обозначаются CD, в отечественных сериях шифраторы имеют в названии буквы ИВ.

В табл. 3.1. представлена таблица состояний шифратора на три выхода.

Столбец «Вход I» показывает, какой вход шифратора активен в конкретный момент времени.

Таблица состояний шифратора на три выхода

Вход I	Выходы		
	F1	F2	F3
0	0	0	0
1	1	0	0
2	0	1	0
3	1	1	0
4	0	0	1
5	1	0	1
6	0	1	1
7	1	1	1

Каждый из трех выходов описывается логическим выражением:

$$F3 = X4 + X5 + X6 + X7;$$

$$F2 = X2 + X3 + X6 + X7;$$

$$F1 = X1 + X3 + X5 + X7.$$

Эти функции реализуются элементами ИЛИ на выходах которых формируется требуемый код (рисунок 3.49).

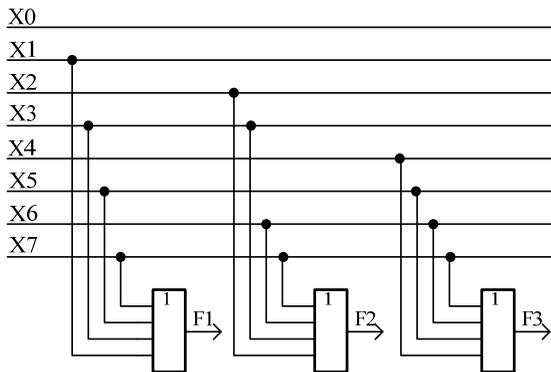


Рис. 3.49. Схема шифратора на 8 входов

Из рисунка 3.49 видно, что шина X0 оказывается незадействованной, т. е. при единичном сигнале на входе X0 – на выходе шифратора будет нулевой код.

ИМС могут иметь как прямые входы (рис. 3.50, а), так и инверсные (рис. 3.50, б), кроме этого шифраторы могут иметь дополнительный вход разрешения (рис. 3.50, в)

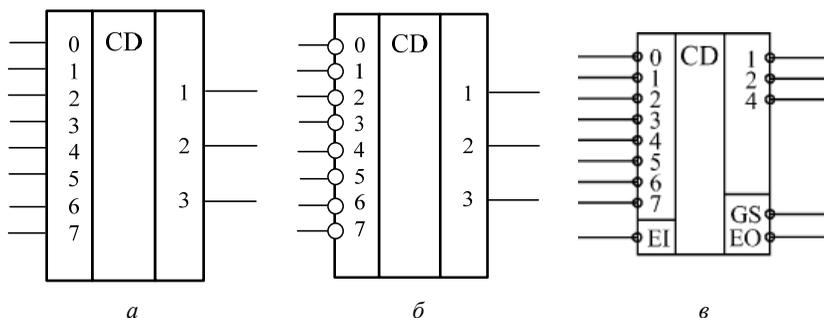


Рис. 3.50. УГО шифраторов:
 а – УГО шифратора с прямыми входами;
 б – УГО шифратора с инверсными входами;
 в – УГО шифратора с входом разрешения

Для расширения входов шифратора необходимо выполнить схемотехническое объединение ИМС.

Для каскадирования ИМС имеют дополнительные выходы: выход признака прихода любого входного сигнала – \overline{GS} и выход переноса – \overline{EO} (рис. 3.50, в).

Выходы шифратора могут быть как прямыми, так и инверсные, то есть на выходах формируется обратный код.

На рис. 3.51 приведена схема включения шифратора с инверсными входами и прямыми выходами и временная диаграмма его работы.

Если активен вход 3 (логический 0), то выходной (прямой код) соответствует значению 3 (011₂), а если активен вход 5 (логический 0), то выходной код соответствует значению 5 (101₂).

Когда на выходах присутствует код, сигнал на выходе \overline{GS} соответствует уровню «логический 0».

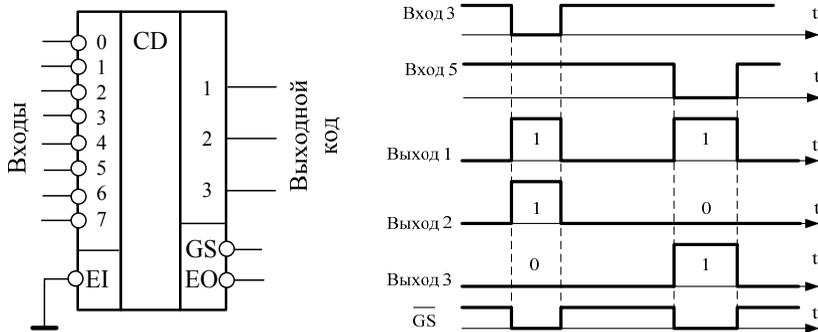


Рис. 3.51. Схема включения шифратора с прямыми выходами и диаграмма его работы

На рис. 3.52 приведена схема включения шифратора с инверсными входами и инверсными выходами и временная диаграмма его работы.

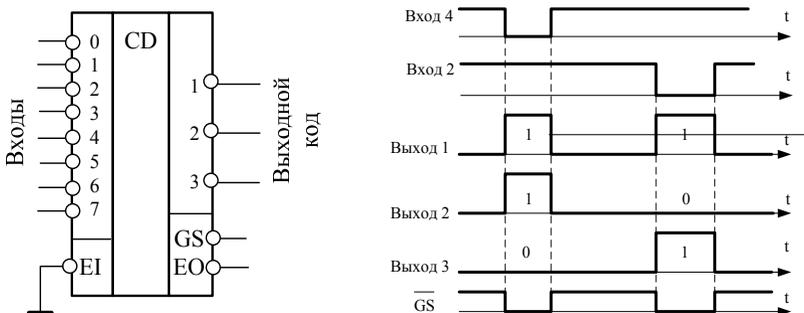


Рис. 3.52. Схема включения шифратора с инверсными выходами и диаграмма его работы

Инверсия выходного кода приводит к тому, что при приходе нулевого входного сигнала на один из входов, на инверсных выходах формируется обратный код.

Например, при подаче логического 0 на 4 вход, на выходах формируется обратный код значения 4 (100_2), т. е. код (011_2), а при подаче логического 0 на 2 вход, на выходах формируется обратный код значения 2 (010_2), т. е. код (101_2).

На рис. 3.53 показан пример построения шифратора 16–4 на двух микросхемах шифраторов 8–3 и трех элементах 2И-НЕ. Формируемый на выходе код будет прямым.

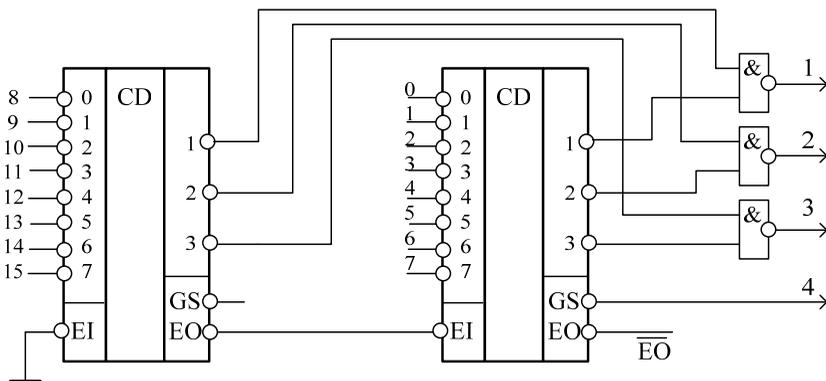


Рис. 3.53. Шифратор 16–4 на двух шифраторах 8–3

Одновременное или почти одновременное изменение сигналов на входе шифратора приводит к появлению периодов неопределенности на выходах.

Выходной код может на короткое время принимать значение, не соответствующее ни одному из входных сигналов.

Поэтому в тех случаях, когда входные сигналы могут приходить одновременно, необходима синхронизация выходного кода, например, с помощью разрешающего сигнала \overline{EI} , который должен приходить только тогда, когда состояние неопределенности уже закончилось.

3.5. Мультиплексоры и демультиплексоры

В цифровых устройствах часто возникает задача передачи цифровой информации от источников к одному приемнику.

Для этого на входе канала устанавливается устройство, называемое мультиплексором (MS), которое согласно коду адреса подключает к выходу один из источников информации.

Мультиплексоры (англ. Multiplexer) предназначен для поочередной передачи на один выход одного из нескольких входных сигналов, т. е. для их мультиплексирования.

Можно сказать иначе – мультиплексоры предназначены для коммутации одного из нескольких источников сигналов к одной выходной шине.

Количество мультиплексируемых входов называется количеством каналов мультиплексора, а количество выходов – числом разрядов мультиплексора.

Например, 2-х канальный 4-х разрядный мультиплексор имеет 4 выхода, на каждый из которых может передаваться один из двух входных сигналов.

4-х канальный 2-х разрядный мультиплексор имеет 2 выхода, на каждый из которых может передаваться один из четырех входных сигналов.

Число каналов мультиплексоров, входящих в стандартные серии, составляет от 2-х до 16, а число разрядов – от 1 до 4.

Чем больше каналов имеет мультиплексор, тем меньше у него разрядов.

Управление работой мультиплексора (выбор номера канала) осуществляется с помощью входного кода адреса.

Например, для 4-х канального мультиплексора необходим 2-разрядный управляющий (адресный) код, а для 16-канального мультиплексора необходим 4-разрядный управляющий (адресный) код.

Обычно разряды адресного кода обозначаются как 1, 2, 4, 8 или согласно весу разряда A0, A1, A2, A3.

Мультиплексоры относятся к комбинационным устройствам, т. е. они схемотехнически содержат только логические элементы, в них отсутствуют элементы памяти.

Для мультиплексора с двумя информационными входами достаточно одного управляющего входа A0 (рис. 3.54, а, б).

Как видно из рисунка схема мультиплексора реализована на логических элементах НЕ, И, ИЛИ.

Для мультиплексора с четырьмя информационными входами достаточно двух адресных входов A0 и A1.

Схема такого мультиплексора и его УГО представлены на рис. 3.55.

Обычно мультиплексоры обозначаются так:

– MS2-1 – мультиплексор с двумя информационными входами на один выход;

– MS8-1 – мультиплексор с восемью информационными входами на один выход и т. п.

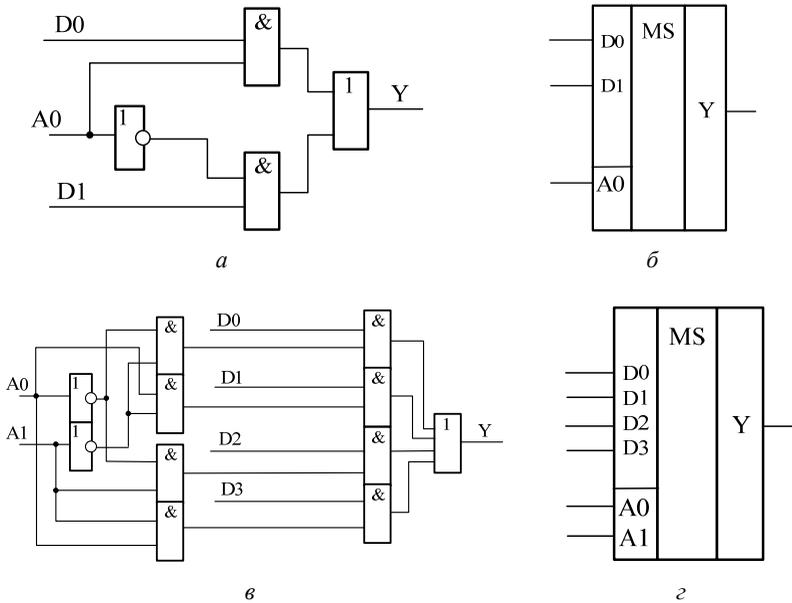


Рис. 3.54. Мультиплексор:
 на 2 входа: а – логическая схема; б – УГО;
 на 4 входа: в – логическая схема; г – УГО

Схема мультиплексора может быть реализована с помощью дешифратора (рис. 3.55).

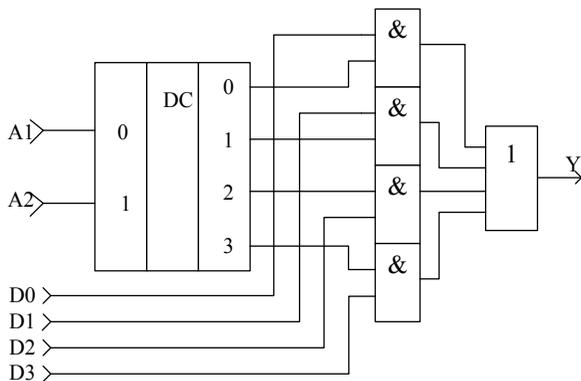


Рис. 3.55. Схема мультиплексора на 4 входа на дешифраторе

Данный мультиплексор имеет четыре информационных входа (D0, D1, D2 и D3) и управляется двухразрядным кодом адреса A1, A2, который подается на вход дешифратора.

Дешифратор формирует единичный сигнал на том выходе, который соответствует адресному коду, тем самым подавая на выход Y сигнал с выбранной входной шины. Например, если код, подаваемый на A0A1, равен 00, то будет выбран информационный вход D0, а если 10, то информационный вход D2.

ИМС мультиплексоров имеют два типа выходов:

- 2С, иначе логический выход (рис. 3.56, а);
- выход 3С (рис. 3.56, б), иначе выход с тремя состояниями: 0, 1 и Z.

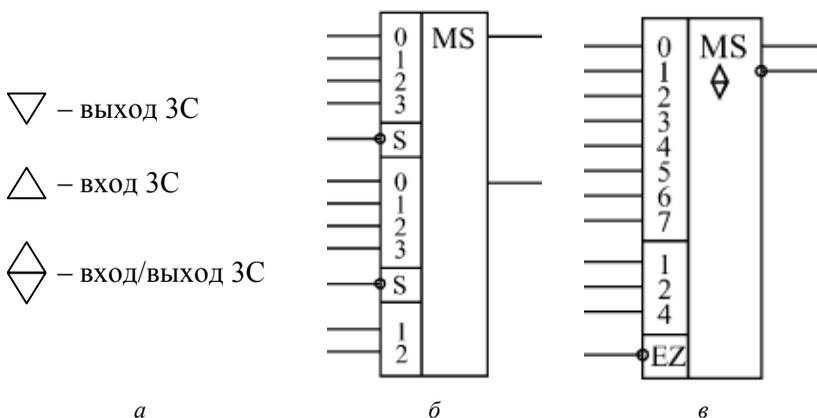


Рис. 3.56. УГО мультиплексоров:
 а – обозначения входов/выходов 3С; б – с выходом 2С;
 в – с входом и выходом 3С

ИМС мультиплексора с выходом 2С (рис. 3.56, б) содержит два мультиплексора, которые имеют собственные управляющие входы (\bar{S}) и общие адресные (1 и 2).

ИМС мультиплексора с выходом 3С (рис. 3.56, в) имеет парафазный выход.

Выход 3С позволяет объединять выходы мультиплексоров или выходы мультиплексора и других устройств, имеющих такой же выход «в точку» и организовать двунаправленные линии передачи.

Мультиплексоры с выходом 2С могут иметь дополнительный вход управления: вход разрешения/запрета (С или S), который при запрете устанавливает прямой выход в состояние логического 0 (рис. 3.56, а). Вход разрешения/запрета может быть как прямым, так и инверсным.

Например, два 8-канальных мультиплексора, имеющих выход 2С, объединяются в 16-канальный мультиплексор с помощью инвертора на входе разрешения \bar{S} второго мультиплексора и элемента 2И-НЕ для смешивания выходных инверсных сигналов (рис. 3.57).

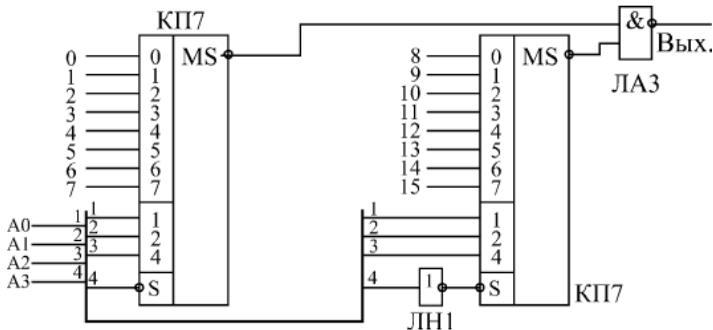


Рис. 3.57. Объединение мультиплексоров с выходом 2С для увеличения количества каналов

Старший разряд кода адреса (А3) будет выбирать один из двух мультиплексоров.

На рис. 3.58 представлена схема наращивания разрядов мультиплексора с выходом 3С.

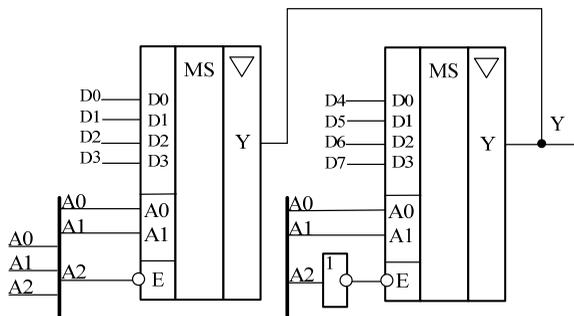


Рис. 3.58. Объединение ИМС мультиплексоров с выходом 3С

При требовании получить большое число входов мультиплексо- ра (например, 16) при наличии ИМС с малым количеством входов (например, 4) можно для реализации схемы использовать управля- ющий дешифратор (рис. 3.59).

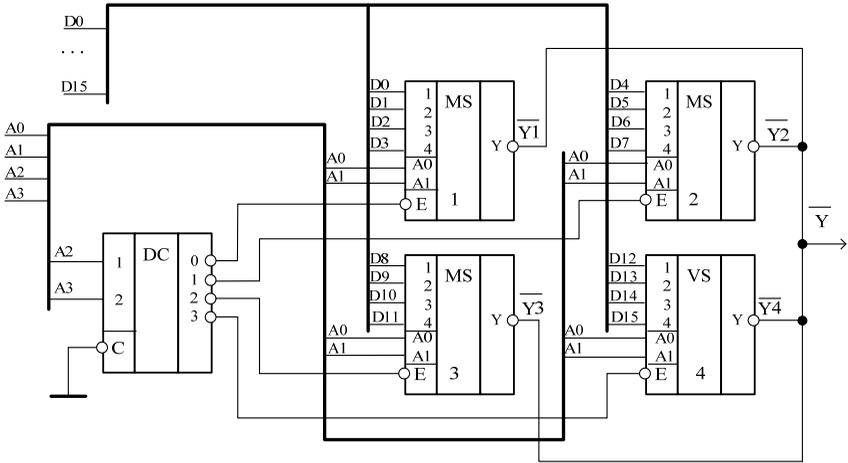


Рис. 3.59. Объединение ИМС мультиплексов с выходом 3С с использованием дешифратора

Как видно из рисунка, разряды A0, A1 адреса канала подаются на входы A0, A1 мультиплексов 1–4, разряды A2, A3 адреса ка- нала подаются на входы 1 и 2 дешифратора.

Инверсные выходы дешифратора соединены со входами \bar{E} мультиплексов соответственно (выход 0 дешифратора со входом \bar{E} мультиплекса 1, выход 1 дешифратора со входом \bar{E} мульти- плекса 2 и т. д.).

На вход \bar{C} дешифратора коммутируется уровень логического нуля (выходы дешифратора активны).

Выходы $\bar{Y}0 - \bar{Y}3$ всех мультиплексов соединены «в точку» и образуют выход \bar{Y} .

Если адресный код A0–A3 формируется счетчиком, то начиная с комбинации 0000 до комбинации 0011, активен инверсный выход 0 дешифратора и включен мультиплексор 1 (на его выход поочередно

передаются значения с входов D0–D3), т. е. на выходе \bar{Y} отображается поочередно обратный код с входов D0–D3.

Далее с комбинации 0100 до комбинации 0111, активен инверсный выход 1 дешифратора и включен мультиплексор 2 (на его выход поочередно передаются значения с входов D4–D7), т. е. на выходе \bar{Y} отображается поочередно обратный код с входов D4–D7. И так далее.

Частный случай использования мультиплексоров состоит в преобразовании параллельного кода данных в последовательный код.

Если в схеме, представленной на рис. 3.59, принять, что D0–D15 это шестнадцатиразрядное число D, то при формировании кода адреса суммирующим счетчиком на выходе \bar{Y} будет формироваться последовательный обратный код числа D, начиная с младшего разряда (рис. 3.60).

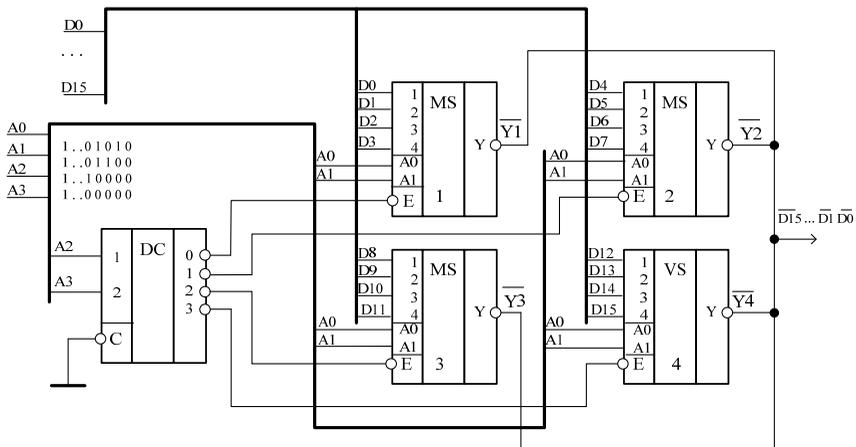


Рис. 3.60. Использование мультиплексоров для формирования последовательного кода

Если код адреса формируется вычитающим счетчиком, то на выходе \bar{Y} будет формироваться последовательный обратный код числа D, начиная со старшего разряда.

Состояния неопределенности, которое сопровождается короткими паразитными импульсами, могут возникнуть на выходе мультиплексора при почти одновременном изменении входных сигналов.

Здесь возможны две ситуации.

Управляющий код (код адреса) может переключаться сразу после изменения передаваемого в данный момент на выход входного сигнала или сразу перед изменением входного сигнала, который будет передавать на выход следующий код.

Разряды управляющего (адресного) кода могут переключаться не одновременно, что приведет к кратковременной передаче на выход входного сигнала, который не соответствует ни одному из значений кода.

В любом из этих случаев в момент переключения каналов сигнал на выходе мультиплексора не определен (рис. 3.61).

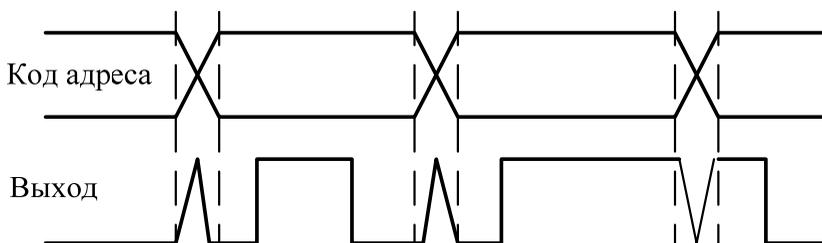


Рис. 3.61. Неопределенные состояния на выходе мультиплексора

Чтобы избежать состояния неопределенности, лучше всего задавать состояние управляющего кода до начала работы схемы, т. е. до прихода входных сигналов.

Если это невозможно, то необходимо использовать синхронизацию, стробирование выходного сигнала, т. е. его разрешение только тогда, когда все переходные процессы, связанные с изменением кода, уже закончены.

В мультиплексорах применять стробирование довольно сложно, т. к. мультиплексор, как правило, должен без изменений передавать входной сигнал.

Задержки выходного сигнала мультиплексора по входам управляющего (адресного) кода примерно в два раза превышают задержки логических элементов, а по информационным входам – примерно в полтора раза.

Точные величины задержек необходимо определять по справочной литературе.

Демультимплексоры. Демультимплексоры в функциональном отношении противоположны мультиплексорам.

С их помощью сигналы одного информационного входа распределяются в требуемой последовательности по нескольким выходам.

Выбор нужной входной шины, как и в мультиплексоре, обеспечивается установкой соответствующего кода на адресных входах.

При m адресных входах демультимплексор может иметь до $2m$ выходов.

УГО демультимплексора приведено на рис. 3.62.

Демультимплексор может иметь дополнительный вход разрешения, как и мультиплексоры.

Поясним принцип работы демультимплексора с помощью схемы приведенной на рис. 3.63, на которой обозначено:

- D – информационный вход;
- A – вход адреса;
- Y0, Y1 – выходы.

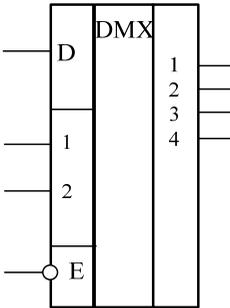


Рис. 3.62. УГО демультимплексора

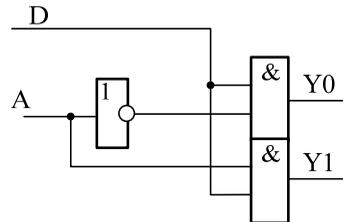


Рис. 3.63. Схема демультимплексора на логических элементах

Схема содержит два логических элемента И и один логический элемент НЕ.

При $A = 0$ сигнал информационного входа X передается на выход Y0, а при $A = 1$ – на выход Y1.

Демультимплексоры иначе называют распределителями.

На рис. 3.64 представлена схема распределителя на базе дешифратора.

В данной схеме входной сигнал D передается на один из 8 выходов Y в зависимости от адресного кода, подаваемого на входы A1A2.

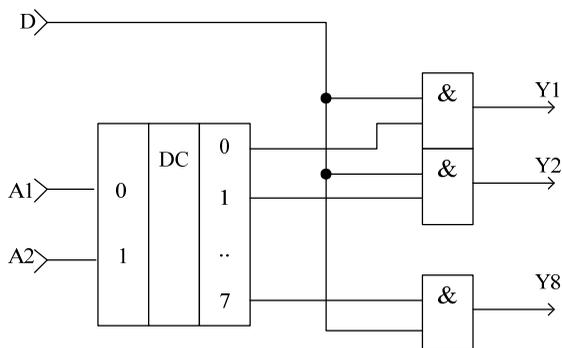


Рис. 3.64. Схема демультиплексора на дешифраторе и логических элементах

3.6. Арифметико-логические устройства

Арифметико-логические устройства (АЛУ, ALU, Arithmetic-Logic Unit) выполняют над словами ряд действий.

Основой АЛУ служит сумматор, схема которого дополнена логикой, расширяющей функциональные возможности АЛУ и обеспечивающей его перестройку с одной операции на другую.

Обычно ИМС АЛУ четырехразрядные и для наращивания разрядности объединяются с формированием последовательного или параллельного переносов.

Условно графическое обозначение АЛУ приведено на рис. 3.65.

АЛУ имеет входы:

- операндов А и В;
- выбора операций (S);
- переноса СI (инверсный);
- вход М (Mode).

Сигнал на входе М задает тип выполняемой операции:

- логическая (M = 1);
- арифметическая (M = 0).

АЛУ имеет следующие выходы:

- результат операции (F);
- функция генерации (G);
- функция прозрачности (H);
- A = B – выход сравнения на равенство с открытым коллектором;
- выходной перенос (C0) – инверсный.

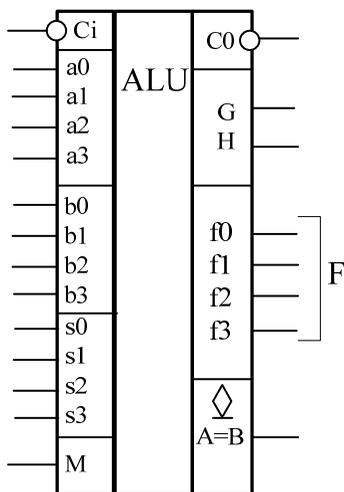


Рис. 3.65. УГО АЛУ

Выходы G и H используются для организации параллельных переносов при наращивании разрядности АЛУ.

АЛУ выполняет 16 операций.

Выполняемые АЛУ операции приведены в таблице на рис. 3.66.

Изображение жирным шрифтом 0 и 1 в таблице обозначает, что 0 соответствует набору 0000, а 1 – набору 1111.

Логические операции поразрядные, т. е. операция над словами $A * B$ означает, что происходит умножение разрядов $a_i * b_i$ при отсутствии их взаимовлияния.

При арифметических операциях учитываются межразрядные переносы.

Шестнадцать логических операций позволяют воспроизводить все функции двух переменных.

Помимо арифметических и логических операций АЛУ выполняет логико-арифметические операции.

Арифметико-логическую операцию, например,

$$A \vee \bar{B} + AB + C_i$$

следует понимать так:

– первой поразрядно выполняется операция инвертирования B;

- второй – поразрядное логическое сложение A и инвертированного значения B ;
- третьей поразрядное умножение A на B ;
- четвертой операцией четырехразрядные полученные числа складываются арифметически;
- пятой выполняется операция арифметического сложения полученной суммы с переносом, если происходило наращивание разрядности АЛУ, т. е. операция выполнялась над числами, разрядность которых больше 4-х.

S	Логическая функция (M = 1)	Арифметико-логические функции (M = 0)
0	\bar{A}	$A + C_i$
1	$\overline{A \vee B}$	$A \vee B + C_i$
2	\overline{AB}	$A \vee \bar{B} + C_i$
3	0	$1 + C_i$
4	\overline{AB}	$A + A\bar{B} + C_i$
5	\bar{B}	$A \vee B + A\bar{B} + C_i$
6	$A \oplus B$	$A + \bar{B} + C_i$
7	$A\bar{B}$	$A\bar{B} + 1 + C_i$
8	$\overline{A \vee B}$	$A + AB + C_i$
9	$\overline{A \oplus B}$	$A + B + C_i$
10	B	$A \vee \bar{B} + AB + C_i$
11	AB	$AB + 1 + C_i$
12	1	$A + A + C_i$
13	$A \vee \bar{B}$	$A \vee B + A + C_i$
14	$A \vee B$	$A \vee \bar{B} + A + C_i$
15	A	$A + 1 + C_i$

Рис. 3.66. Операции, выполняемые АЛУ

При операциях над словами, разрядность которых больше четырех, ИМС АЛУ соединяются между собой.

При соединении цепи переноса могут быть организованы последовательным (рис. 3.67) или параллельным (рис. 3.68) способом.

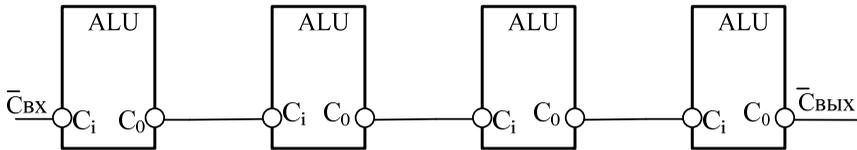


Рис. 3.67. Схема наращивания АЛУ при последовательном переносе

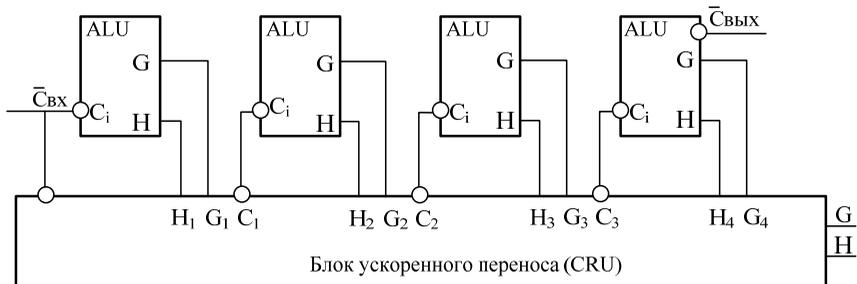


Рис. 3.68. Схема наращивания АЛУ при параллельном переносе

При организации цепей переноса параллельным способом совместно с АЛУ применяются блоки ускоренного переноса (CRU, Carry Unit), которые получают от отдельных ИМС АЛУ функции генерации и прозрачности переноса, а также входной перенос.

Блоки ускоренного переноса вырабатывают сигналы переноса от одной (младшей) ИМС в другую (старшую) ИМС.

Блок ускоренного переноса CRU вырабатывает также функции генерации и прозрачности для всей группы обслуживаемых им АЛУ, что позволяет организовать параллельный перенос на следующем уровне, т. е. между несколькими группами из 4-х разрядных АЛУ.

4. ТРИГГЕРНЫЕ УСТРОЙСТВА

Триггером называется устройство, имеющее два устойчивых состояния («0» или «1») и способное под действием входного сигнала скачком переходить из одного устойчивого состояния в другое.

Иначе, триггер – это простейший прибор с памятью и способностью хранить 1 бит информации («0» или «1»).

Если выходные сигналы логических элементов (ЛЭ) однозначно определяются их текущими входными сигналами, то выходные сигналы интегральных микросхем с внутренней памятью зависят также еще и от того, какие входные сигналы и в какой последовательности поступали на них в прошлом (какое состояние они имели), то есть они помнят предысторию поведения схемы.

Микросхемы с внутренней памятью называются еще последовательными.

Триггеры имеют два выхода (рис. 4.1):

- прямой – Q ;
- инверсный – \bar{Q} .

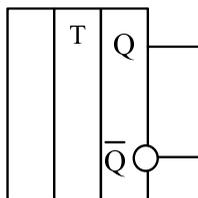


Рис. 4.1. Выходы триггера

Если триггер хранит состояние «1», то его выход Q равен «1», а выход \bar{Q} равен «0».

Если триггер хранит состояние «0», то его выход Q равен «0», а выход \bar{Q} равен «1».

Число выходов триггера зависит от структуры и функций, выполняемых триггером.

В основе любого триггера находится регенеративное кольцо из двух ЛЭ И-НЕ или ИЛИ-НЕ (рис. 4.2), которые связаны друг с другом «накрест», т. е. выход одного ЛЭ соединен со входом другого.

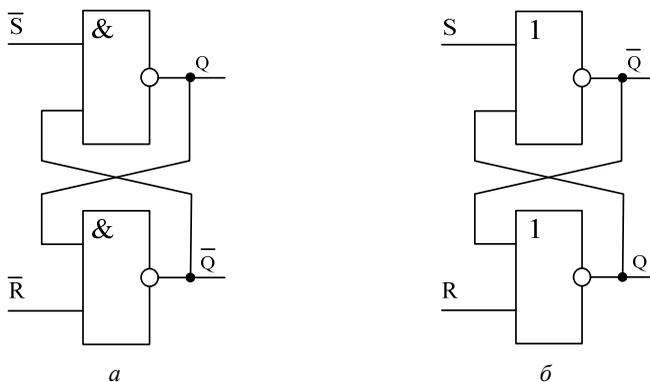


Рис. 4.2. Регенеративные кольца:
a – би-стабильная ячейка И-НЕ; *б* – би-стабильная ячейка ИЛИ-НЕ

Такое соединение дает цепь с двумя устойчивыми состояниями: 0 или 1.

Иначе такое соединение называется би-стабильной ячейкой И-НЕ (рис. 4.2, *a*) или би-стабильной ячейкой ИЛИ-НЕ (рис. 4.2, *б*).

Классификация триггеров проводится по признакам логического функционирования и способу записи бита информации в триггер (рис. 4.3).

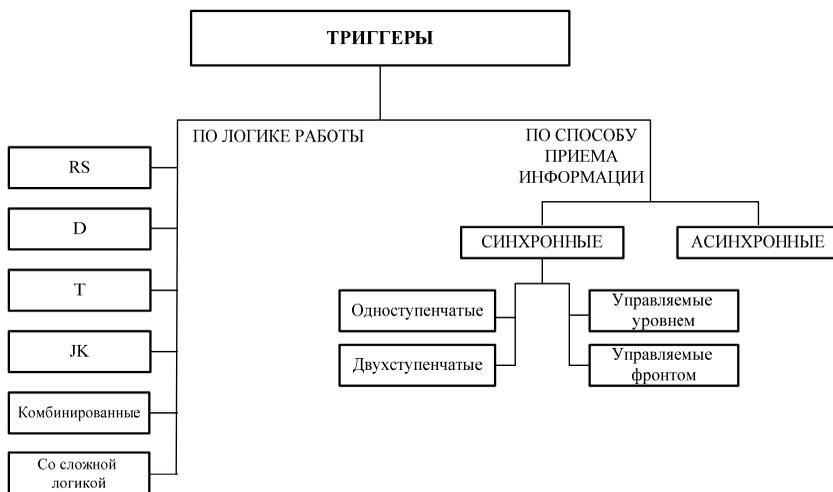


Рис. 4.3. Классификация триггеров

По логическому функционированию различают триггеры типов RS, D, T, JK и др.

Кроме того, используются комбинированные триггеры, в которых совмещаются одновременно несколько типов, и триггеры со сложной входной логикой (группами входов, связанных между собой логическими зависимостями).

По способу приема информации триггера делятся на асинхронные и синхронные.

Параметры триггера. Для всех триггеров характерны следующие параметры:

– $K_{\text{раз}}$ – коэффициент разветвления, который показывает нагрузочную способность триггера (обозначает количество элементов, которые параллельно подсоединены к выходу триггера и на которые подается выходной сигнал триггера).

– $K_{\text{об}}$ – коэффициент объединения по входу, который обозначает максимальное число входных сигналов, которые можно подать на вход триггера.

– $t_{\text{и}}$ – наименьшая длительность входного сигнала (импульса), при котором еще происходит надежное переключение триггера.

– $t_{\text{зд}}$ – время задержек между моментом подачи входного и появлением выходного сигнала.

– $t_{\text{р}}$ – время разрешения, которое характеризует наименьший интервал между моментами подачи двух входных сигналов с длительностью $t_{\text{и}}$, вызывающих переключение триггера.

4.1. Асинхронные триггеры

У асинхронных триггеров запись информации происходит под действием информационных сигналов. Такие триггеры имеют только информационные входы.

К информационным входам относятся входы S , R , J , K .

Приняты следующие обозначения информационных входов триггеров:

– S – раздельный вход установки триггера в единичное состояние по прямому выходу Q ;

– R – раздельный вход сброса триггера в нулевое состояние по прямому выходу Q ;

УГО асинхронного триггера RS приведено на рис. 4.4, a , на рис. 4.4, b приведена таблица переходов данного триггера.

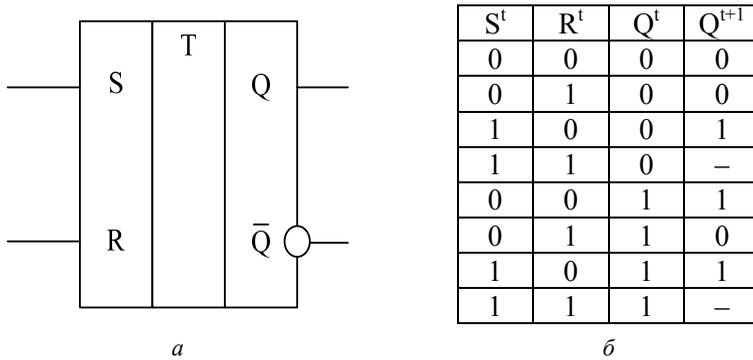


Рис. 4.4. Асинхронный RS -триггер:
 a – УГО; b – таблица переходов

- t – момент времени действия входных сигналов S и R ;
- $t + 1$ – момент времени наступающий, когда сигналы на входе схемы под воздействием входных сигналов принимают значения, соответствующие последующему состоянию Q ;
- Q^t – внутренний сигнал обратной связи (состояние триггера до действия входных сигналов в момент времени $t + 1$).

Пользуясь таблицей переходов RS -триггера, осуществим синтез би-стабильной ячейки RS .

Составим карту Карно для выхода Q^{t+1} (рис. 4.5, a).

Недоопределенную функцию (прочерки в клетках) доопределим 1 и осуществим свертку единиц в соседних клетках.

В результате свертки получится следующее логическое выражение описывающее выход Q^{t+1} .

$$Q^{t+1} = S^t + \overline{R^t} * Q^t.$$

Приведем логическое выражение к базису И-НЕ (используем теорему Де-Моргана).

$$Q^{t+1} = \overline{\overline{S^t} * \overline{R^t} * \overline{Q^t}}.$$

Схема, реализующая данное логическое выражение, приведена на рис. 4.6.

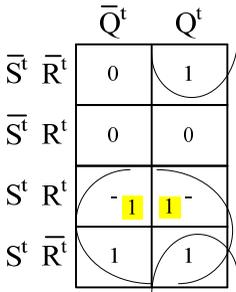


Рис. 4.5. Карта Карно для свертки по 1

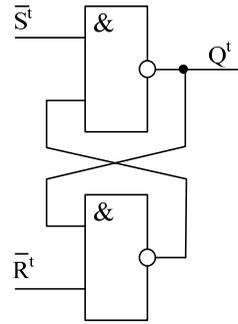


Рис. 4.6. Схема реализующая логическое выражение 2

В момент времени t (начало действия входных сигналов S^t и R^t) выход соответствует значению Q^t , а через время задержки на ЛЭ выход устанавливается в новое состояние и соответствует Q^{t+1} .

Карту Карно, приведенную на рис. 4.5, в неопределенных комбинациях доопределим 0 (рис. 4.7) и осуществим свертку по нулям.

В результате свертки получится следующее логическое выражение описывающее выход $\overline{Q^{t+1}}$.

$$\overline{Q^{t+1}} = R^t + \bar{S}^t * \bar{Q}^t.$$

Приведем логическое выражение к базису И-НЕ.

$$\overline{Q^{t+1}} = \overline{\overline{R^t + \bar{S}^t * \bar{Q}^t}}.$$

Схема, реализующая данное логическое выражение, приведена на рис. 4.8.

Если сравнить две схемы, приведенные на рис. 4.6 и 4.8, то видно, что это две одинаковые схемы, но в одной есть выход Q , а во второй – выход \bar{Q} .

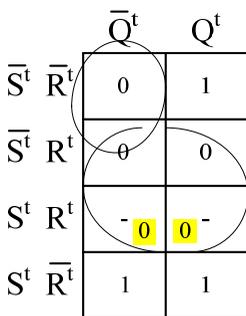


Рис. 4.7. Карта Карно для свертки по 0

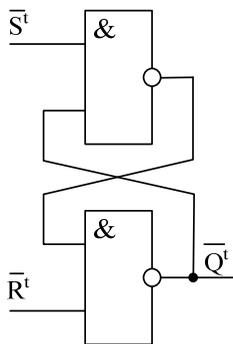


Рис. 4.8. Схема реализующая выражение 4

Если объединить эти две схемы в одну, то получится бистабильная ячейка И-НЕ (регенеративное кольцо или иначе триггерная ячейка), приведенная на рис. 4.2, а.

Регенеративное кольцо на ЛЭ ИЛИ-НЕ можно получить, если логические выражения

$$Q^{t+1} = S^t + \bar{R}^t * Q^t;$$

$$Q^{t+1} = R^t + \bar{S}^t * \bar{Q}^t$$

привести к базису ИЛИ-НЕ.

Принцип работы асинхронного триггера.

В основе любого триггера лежит схема из двух логических элементов, которые охвачены положительными обратными связями (то есть сигналы с выходов подаются на элементы, которые объединяют их с противоположными входами).

В результате подобного включения схема может находиться в одном из двух устойчивых состояний, причем находиться сколько угодно долго, пока на нее подано напряжение питания.

Пример такой схемы (так называемой триггерной ячейки \overline{RS}) на двух двухвходовых элементах И-НЕ представлен на рис. 4.9.

У схемы есть два инверсных входа:

- \bar{R} – сброс (от английского Reset);
- \bar{S} – установка (от английского Set).

Схема имеет два выхода: прямой выход Q и инверсный выход \bar{Q} .

Согласно определению, триггер может находиться в конкретный момент времени в одном из состояний «0» или «1».

Следовательно, для правильной работы схемы сигналы уровня «логический 0» не должны поступать на ее входы (\bar{S} и \bar{R}) одновременно.

Т. е. если на вход \bar{S} подается сигнал логического 0 (триггер устанавливается в состояние «1» по прямому выходу Q), то в этот момент времени на вход \bar{R} должен подаваться сигнал логической 1.

Диаграмма работы триггерной ячейки представлена на рис. 4.10.

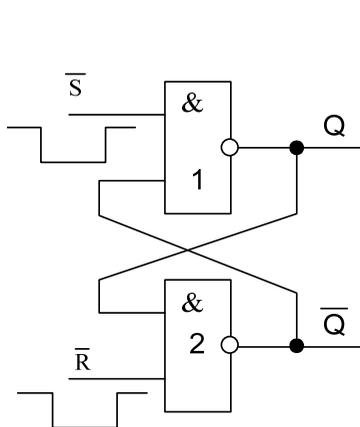


Рис. 4.9. Схема триггерной ячейки $\bar{R}\bar{S}$

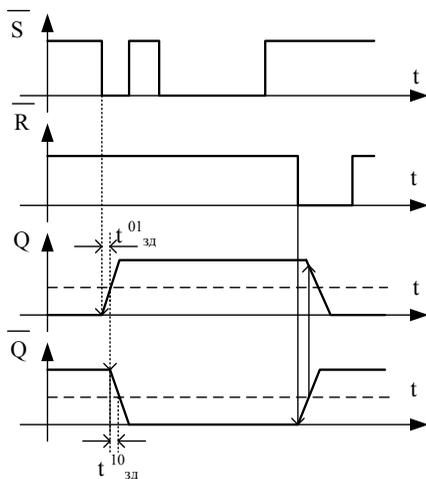


Рис. 4.10. Диаграмма работы триггерной ячейки $\bar{R}\bar{S}$

В начальный момент времени на входы \bar{S} и \bar{R} действуют сигналы «1», триггерная ячейка находится в состоянии «0» (выход $Q = 0$, выход $\bar{Q} = 1$).

В момент времени, когда на вход триггера \bar{S} действует активный сигнал нуля, выход Q триггера перебрасывается в состояние «1» с задержкой на время $t_{зд}^{01}$ (задержка переключения логического элемента 1).

По обратной связи сигнал Q поступает на вход ЛЭ 2 и вызывает переключение выхода триггера \bar{Q} в состояние «0» с задержкой $t_{зд}^{10}$ (задержка переключения ЛЭ 2).

После окончания сигнала «логический 0» на входе \bar{S} (изменение его на уровень «логическая 1») состояние схемы не изменяется (на выходе Q остается единица, на выходе \bar{Q} остается ноль).

Если триггер хранит состояние «1» и на вход \bar{S} поступит «0» (на входе \bar{R} единица), то триггер останется в состоянии «1».

Точно так же при приходе сигнала уровня «логический 0» на вход \bar{R} выход \bar{Q} устанавливается в единицу, а выход Q в ноль.

Оба эти устойчивых состояния би-стабильной ячейки могут сохраняться сколько угодно долго, пока не придет очередной входной сигнал уровня «0» на один из входов триггера, который перебросит его в противоположное состояние.

Следовательно, сигналы на выходах триггера установятся спустя время:

$$\tau_{зд.р.ср.}^{тр.} = t_{зд.р.}^{10} + t_{зд.р.}^{01}.$$

Из временной диаграммы следует, что длительность входных сигналов должна удовлетворять условию:

$$\tau_{с.вх.} > \tau_{зд.р.ср.}^{тр.}$$

Работу данной триггерной ячейки можно описать таблицей истинности 4.1, где:

- t – момент времени действия входных сигналов \bar{S} и \bar{R} ;
- $t+1$ – момент времени наступающий, когда сигналы на входе схемы под воздействием входных сигналов принимают значения, соответствующие последующему состоянию Q ;
- Q' – внутренний сигнал обратной связи (состояние триггера до действия входных сигналов в момент времени $t+1$).

Если оба входных сигнала («0») придут одновременно, то в момент действия этих сигналов на обоих выходах будут единичные сигналы – триггерная ячейка находится одновременно в состоянии

«0» и «1», что недопустимо. Подача такой комбинации на входы триггера запрещена.

Таблица 4.1

Таблицей истинности триггерной ячейки \overline{RS}

\overline{S}	\overline{R}	Q'	Q^{t+1}	Примечание
0	0	0	–	Запрещенная комбинация
0	1	0	1	Установка в состояние «1» (триггер хранил состояние «0» и устанавливается в состояние «1» по активному входу \overline{S})
1	0	0	0	Установка в состояние «0» (триггер хранил состояние «0» и устанавливается в состояние «0» по активному входу \overline{R})
1	1	0	0	Хранение «0» (сигналы на входах неактивны)
0	0	1	–	Запрещенная комбинация (оба сигнала на входах триггера активны, т. е. равны 0)
0	1	1	1	Установка в состояние «1» (триггер хранил состояние «1» и устанавливается в состояние «1» по активному входу \overline{S})
1	0	1	0	Установка в состояние «0» (триггер хранил состояние «0» и устанавливается в состояние «0» по активному входу \overline{R})
1	1	1	1	Хранение «1»

После перехода одного из двух входных сигналов из состояния «0» в состояние «1» или после перехода двух входных сигналов из состояния «0» в состояние «1», выходы триггера Q и \overline{Q} случайным образом установятся в одно из двух устойчивых состояний, что не позволит гарантировать корректную работу цифрового устройства.

Также случайным образом будет выбрано одно из двух устойчивых состояний триггерной ячейки при включении питания, если на входы \overline{S} и \overline{R} триггера поданы сигналы уровня «1».

Триггер, представленный на рис. 4.9, называется \overline{RS} -триггером.

Условно-графическое обозначение данного триггера приведено на рис. 4.11.

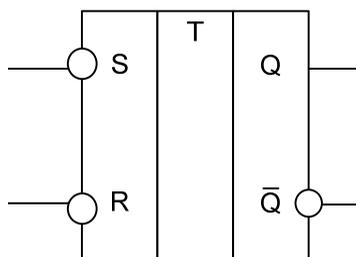


Рис. 4.11. УГО асинхронного триггера \overline{RS}

Длительность сигналов \overline{S} и \overline{R} не должна быть слишком малой, иначе триггер может на них не среагировать.

Сигнал \overline{R} должен начинаться с определенной задержкой после окончания сигнала \overline{S} и наоборот.

В первом приближении можно считать, что минимально допустимые временные интервалы между входными сигналами должны равняться 1–2 задержкам логического элемента соответствующей серии (ЛЭ, на базе которых организовано регенеративное кольцо триггера).

Асинхронный RS-триггер. Асинхронный RS-триггер представлен на рис. 4.12.

Из схемы и диаграммы работы RS-триггера видно, что активным сигналом, вызывающим переключение триггера, например, из состояния «1» в состояние «0», является сигнал «1».

Т. о. запрещенной комбинацией является $R = S = 1$.

Особенностью данного триггера (регенеративного кольца) является то, что при подаче сигнала «1» на вход S (вход установки триггера в состояние «1» по прямому выходу Q), первым меняет свое состояние выход \overline{Q} (диаграмма работы), а затем выход Q .

Сигналы на выходах триггера установятся спустя время:

$$\tau_{\text{зд.р.ср.}}^{\text{тр.}} = t_{\text{зд.р.}}^{10} + t_{\text{зд.р.}}^{01}$$

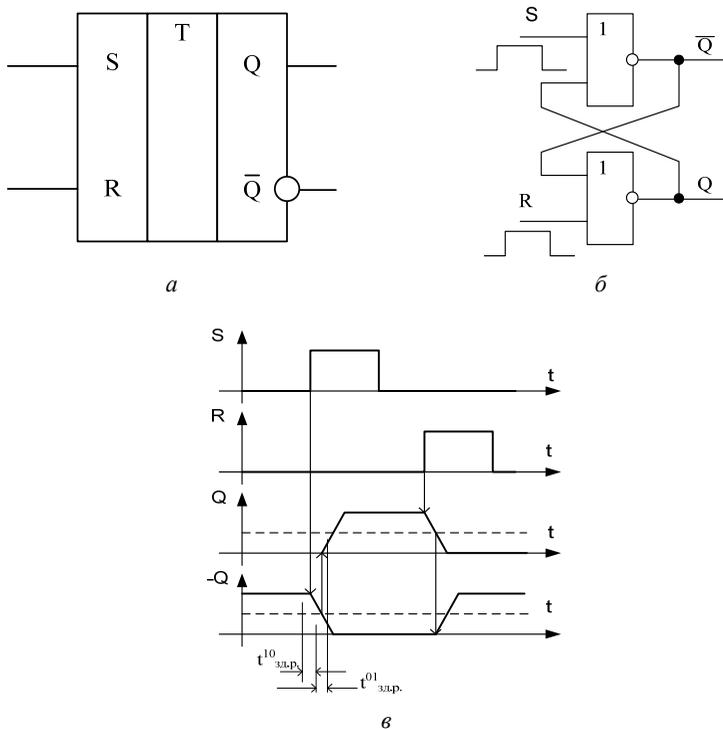


Рис. 4.12. Условное обозначение асинхронного RS триггера: (а), его схема (б), диаграмма работы (в)

Работу асинхронного RS-триггера можно описать таблицей истинности (табл. 4.2).

Таблица 4.2

Таблица истинности RS-триггера

S^t	R^t	Q^t	Q^{t+1}	Примечание
0	0	0	0	Хранение «0» (сигналы на входах неактивны)
0	1	0	0	Установка в состояние «0» (триггер хранил состояние «0», устанавливается в состояние «0» по активному входу $R = 1$)

S^t	R^t	Q^t	Q^{t+1}	Примечание
1	0	0	1	Установка в состояние «1» (триггер хранил состояние «0», устанавливается в состояние «1» по активному входу $S = 1$)
1	1	0	–	Запрещенная комбинация. Оба входных сигнала активны
0	0	1	1	Хранение «1» (сигналы на входах неактивны)
0	1	1	0	Установка в состояние «0» (триггер хранил состояние «1», устанавливается в состояние «0» по активному входу $R = 1$)
1	0	1	1	Установка в состояние «1» (триггер хранил состояние «1», устанавливается в состояние «1» по активному входу $S = 1$)
1	1	1	–	Запрещенная комбинация. Оба входных сигнала активны

Асинхронный JK-триггер. Асинхронный JK-триггер представлен на рис. 4.13.

Особенностью JK-триггера является то, что он не имеет запрещенных комбинаций.

Если на входы J и K действуют активные сигналы («1»), то триггер изменяет свое состояние на противоположное тому, в котором он находился до действия сигналов, иначе говоря, работает в счетном режиме.

Вход J триггера (аналогично входу S) является входом установки триггера в единичное состояние по прямому выходу Q .

Вход K триггера (аналогично входу R) является входом установки триггера в нулевое состояние по прямому выходу Q .

Рассмотрим диаграмму, приведенную на рис. 4.13, в.

В начальный момент времени (интервал времени $0-t_1$) на входах триггера J и K действуют сигналы логического 0 (неактивные). Значит, триггер хранит состояние «0».

В момент времени t_1 на вход J подается сигнал уровня «Логическая 1» и триггер переходит в состояние «1».

Состояние «1» триггер хранит до момента времени t_2 (интервал времени t_1-t_2 на диаграмме).

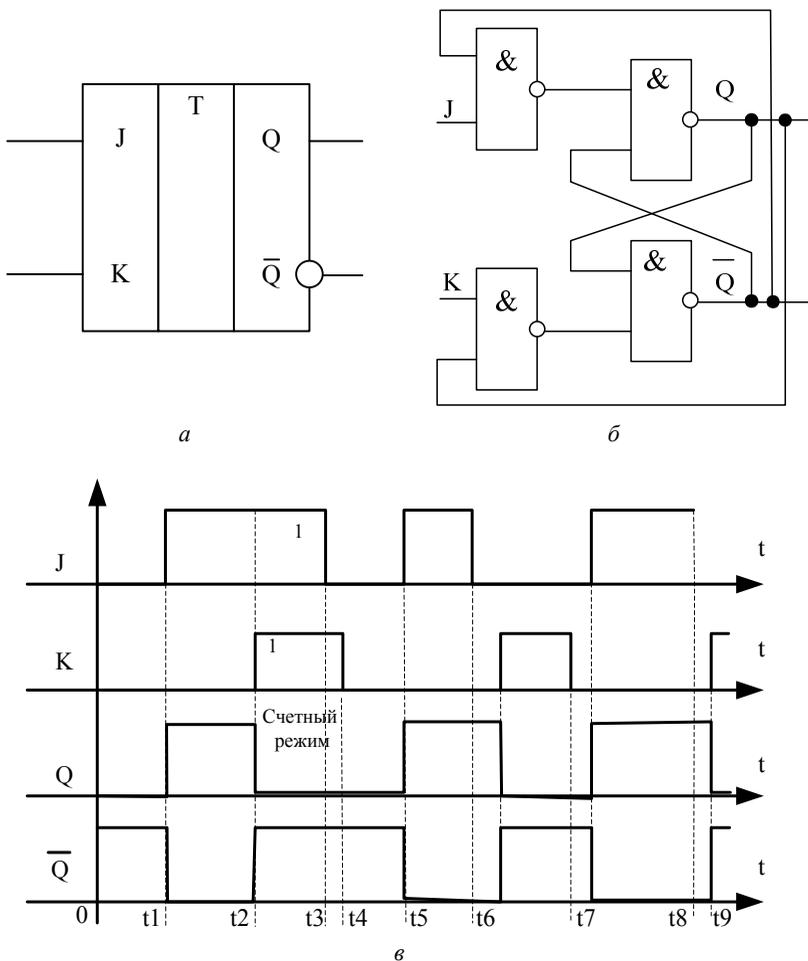


Рис. 4.13. Условное обозначение асинхронного JK триггера (а), его схема (б) и диаграмма работы (в)

В момент времени t_2 на вход K подается сигнал уровня «1», т. е. на двух входах J и K действуют активные сигналы (счетный режим), в результате триггер из состояния «1» переходит в состояние «0» (интервал времени t_2-t_3) и т. д.

Работу асинхронного JK -триггера можно описать таблицей истинности (табл. 4.3).

Работа асинхронного JK-триггера

J	K	Q^t	Q^{t+1}	Примечание
0	0	0	0	Хранение «0» (сигналы на входах неактивны)
0	1	0	0	Установка в состояние «0» (триггер хранит состояние «0», устанавливается в состояние «0» по активному входу $K = 1$)
1	0	0	1	Установка в состояние «1» (триггер хранит состояние «0», устанавливается в состояние «1» по активному входу $J = 1$)
1	1	0	1	Счетный режим, триггер переходит из состояния «0» в состояние «1»
0	0	1	1	Хранение «1» (сигналы на входах неактивны)
0	1	1	0	Установка в состояние «0» (триггер хранит состояние «1», устанавливается в состояние «0» по активному входу $K = 1$)
1	0	1	1	Установка в состояние «1» (триггер хранит состояние «1», устанавливается в состояние «1» по активному входу $J = 1$)
1	1	1	0	Счетный режим, триггер переходит из состояния «1» в состояние «0»

Асинхронный T-триггер. Асинхронный T-триггер имеет только один счетный вход T . Асинхронный T-триггер приведен на рис. 4.14.

Работу асинхронного T-триггера можно описать таблицей истинности, приведенной на рисунке 4.14, з.

Особенностью данного триггера является то, что с приходом каждого активного сигнала (импульса) триггер меняет свое состояние на противоположное тому состоянию, которое он хранит. Эта особенность обеспечивается обратными связями.

На рис. 4.15 представлено условно-графическое обозначение (а), схема (в) и диаграмма работы (б) двухступенчатого, (иначе двухтактного или «мастер-помощник») T-триггера.

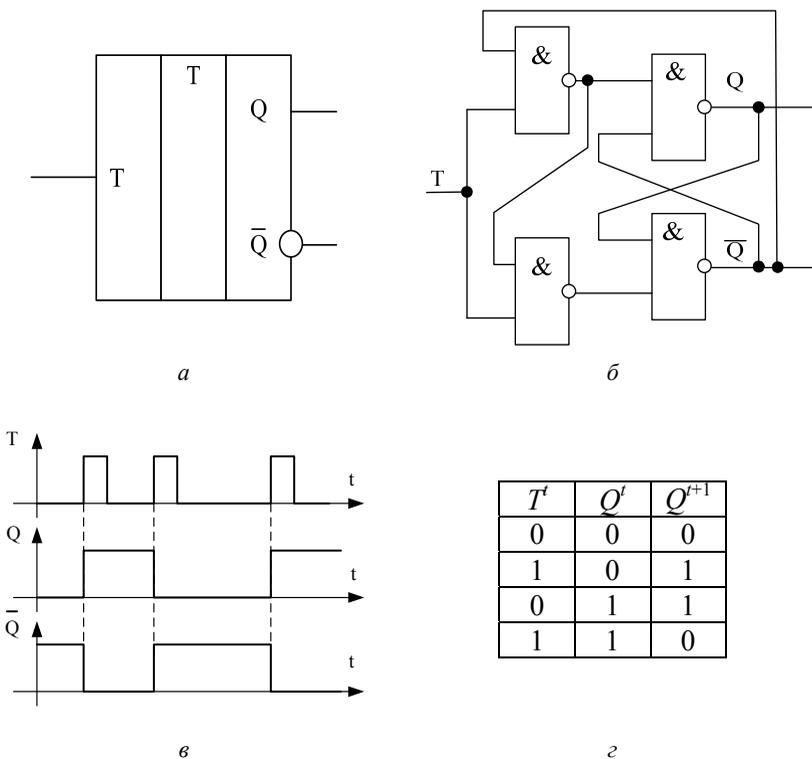


Рис. 4.14. Условное обозначение асинхронного T -триггера (а), его схема (б), диаграмма работы (в) и таблица истинности (г)

Как видно из схемы T -триггера «мастер-помощник» (рис. 4.15, в) он имеет в своем составе два регенеративных кольца (одно кольцо – триггер «мастер», другое кольцо – триггер «помощник»).

Диаграмма отображает выход Q триггера «мастер» (Q^M) и выход Q триггера «помощник» (Q^H).

Сигнал поступающий на вход T триггера, «мастер» вызывает его переключение в противоположное состояние (ось диаграммы Q^M).

Этот же сигнал инвертируется на ЛЭ1 и поступает на управляющие логические элементы триггера «помощник» (ЛЭ2 и ЛЭ3).

Т. е., когда сигнал T соответствует высокому уровню («1»), на выходе ЛЭ1 образуется уровень логического «0», а следовательно на выходах ЛЭ2 и ЛЭ3 (регенеративное кольцо \overline{RS} -триггера) будет

логическая «1», которая обеспечивает хранение первоначального состояния в триггере «помощник».

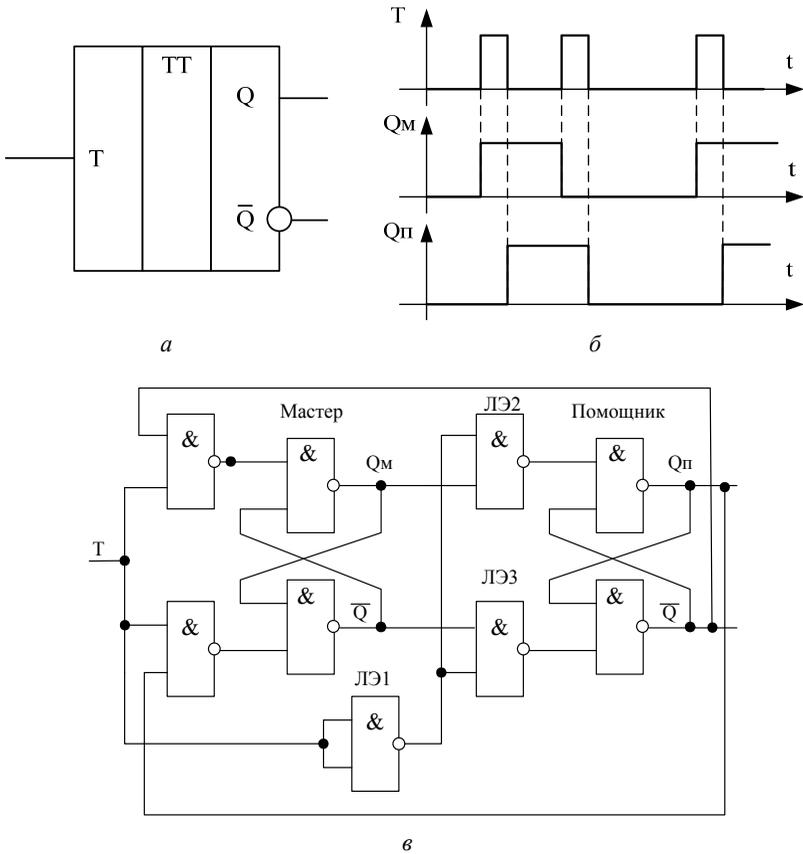


Рис. 4.15. Асинхронный T -триггер: условное графическое обозначение (а); диаграмма работы (б); схема (в)

После окончания высокого сигнала на входе T (триггер «мастер» хранит свое состояние), на выходе ЛЭ1 образуется «1», что обеспечивает подачу сигналов с выходов триггера «мастер» на входы триггера «помощник», представляющего собой \overline{RS} -триггер, который перебросится в состояние, соответствующее состоянию «мастер» (ось диаграммы Q'').

4.2. Синхронные триггеры

Состязания в асинхронных комбинационных и последовательных схемах. При разработке цифрового устройства, как было сказано ранее, на его первоначальной стадии используют логическую модель, которая описывает идеальную логическую схему и не учитывает задержек, возникающие в ней.

Это может привести к тому, что в некоторый момент времени основные аксиомы алгебры логики $A * \bar{A} = 0$ и $A + \bar{A} = 1$ не подтверждаются.

На рис. 4.16, *a* приведена схема, реализующая выражение $A * \bar{A} = 0$ на логических элементах И-НЕ.

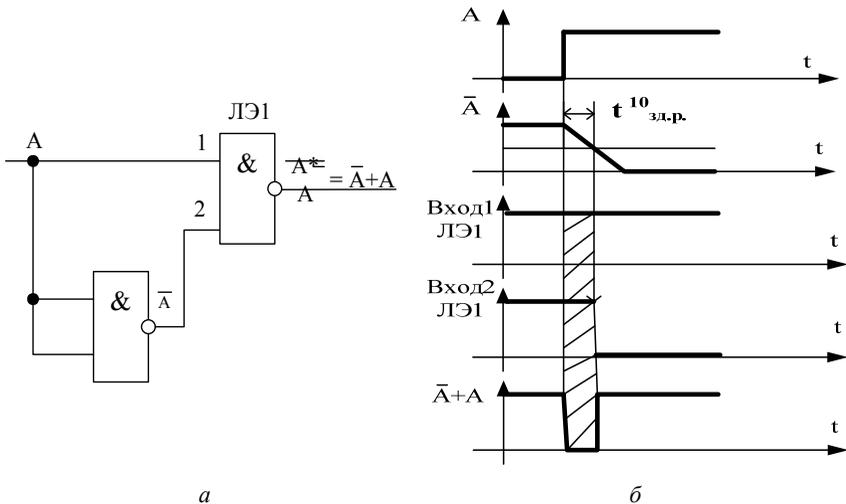


Рис. 4.16. Схема, на выходе которой формируется ложный сигнал (*a*), диаграмма работы (*б*)

Из диаграммы на рис. 4.16, *б* видно, что на выходе временно имеется ложный сигнал уровня «0», длительность которого определяется величиной задержки ЛЭ1, выполняющего роль инвертора.

После завершения переходных процессов в КЦ, представленной на рис. 4.16, *a*, на выходе устанавливается выходная величина, на которую характер переходных процессов влияния не оказывает.

Т. е. если прием выходной величины другим устройством осуществляется после окончания переходных процессов, то тогда переходные процессы не являются опасными.

Однако риски могут быть восприняты быстродействующими элементами памяти, необратимое изменение состояния которых способны изменить работу цифрового устройства, несмотря на то, что риски исчезли на выходе КЦ после окончания переходного процесса.

Возможность появления состязаний (рисков) требует, чтобы были предприняты меры, исключающие вызванные ими сбои.

Основным средством, позволяющим исключить последствия состязаний, является стробирование.

Под стробированием понимают выделение из информационного сигнала той его части, которая свободна от ложных сигналов, вызванных состязаниями.

Всякая комбинационная логическая цепь заканчивается запоминающим элементом (триггером). Поэтому стробирование целесообразно вводить на входе в триггер.

Триггерные схемы, входные сигналы которых стробируются специальными периодическими импульсами, называются синхронными.

Введение синхронизации позволяет также создать условия для одновременного изменения состояний многих триггерных схем (синхронная работа всего устройства).

У синхронных триггеров запись информации происходит под действием разрешающих сигналов синхронизации.

Синхронные триггеры бывают:

- со статическим управлением записью (управляемые уровнем);
- с динамическим управлением записью (управляемые фронтом).

Синхронные триггеры с динамическим управлением записью делятся на:

- одноступенчатые;
- двухступенчатые («мастер-помощник»).

Классификация синхронных триггеров приведена на рис. 4.3.

Синхронные триггеры со статическим управлением (управляемые уровнем) записью принимают информационные сигналы все время, пока действует разрешающий сигнал синхронизации (рис. 4.17).

Следовательно, переключение триггера за время действия импульса синхронизации может быть многократным.

У таких триггеров вход C – статический (рис. 4.17, б).

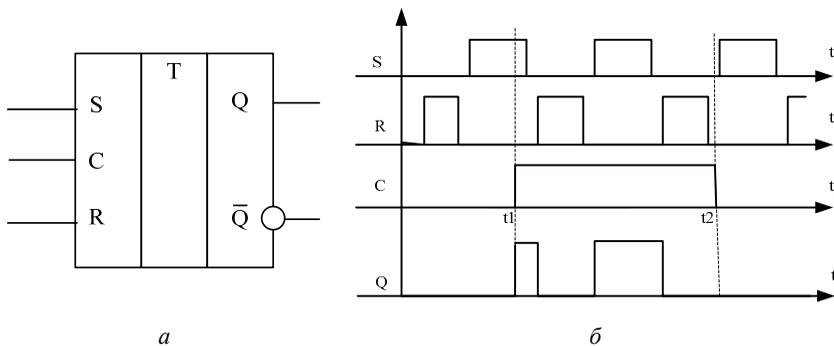


Рис. 4.17. Синхронный триггер со статическим управлением с прямыми входами:
a – УГО; *б* – диаграмма

Статический вход *C* может быть как прямым (рис. 4.17, *a*), так и инверсным (рис. 4.18).

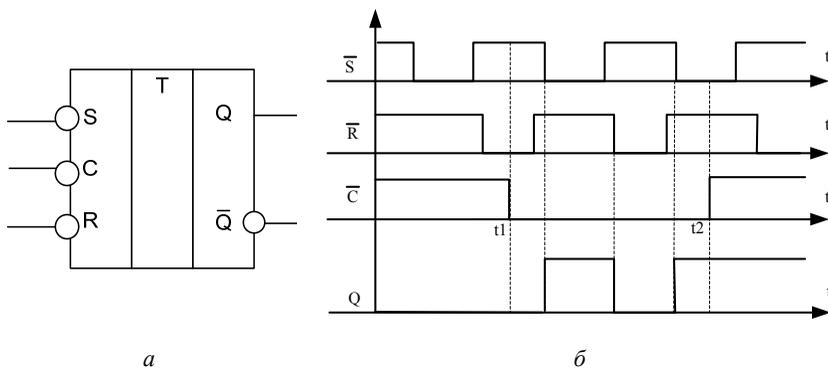


Рис. 4.18. Синхронный триггер со статическим управлением с инверсными входами:
a – УГО; *б* – диаграмма

Синхронные триггеры с динамическим управлением записью принимают только информационные сигналы, которые были на информационных входах к моменту прихода синхроимпульса (рис. 4.19).

У таких триггеров вход *C* – динамический.

Переключение триггера происходит только один раз в момент прихода синхроимпульса (рису. 4.19, *б*).

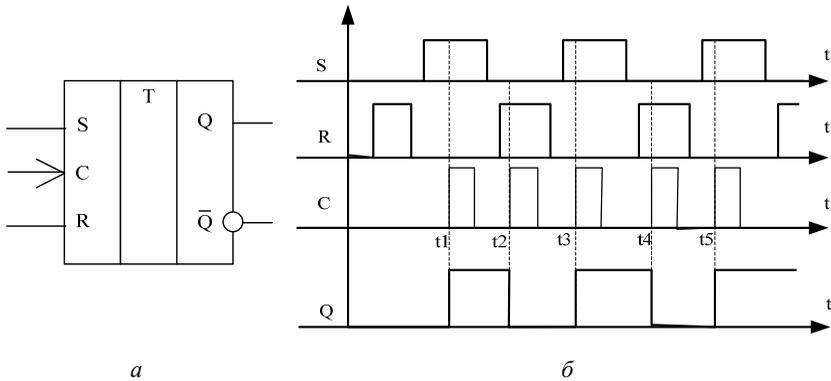


Рис. 4.19. Синхронный триггер с динамическим управлением записью с прямыми входами:
a – УГО; *б* – диаграмма

Динамический вход *C* может быть как прямым (рис. 4.19, *a*), так и инверсным (рис. 4.20).

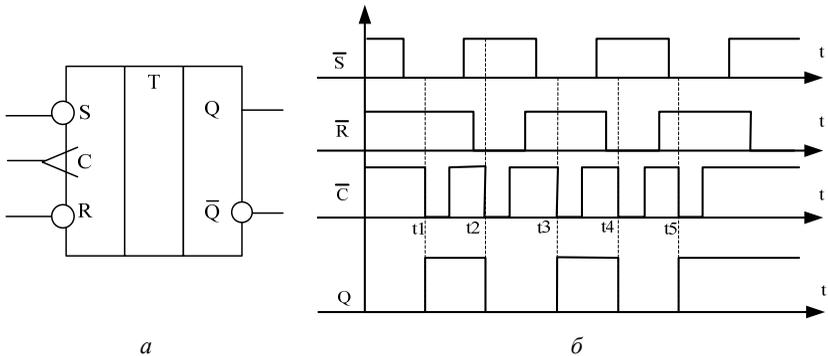


Рис. 4.20. Синхронный триггер с динамическим управлением записью с инверсными входами:
a – УГО; *б* – диаграмма

Синхронный триггер «мастер-помощник» состоит из двух триггеров: мастера и помощника (рис. 4.21).

Данный тип триггеров может быть только с динамическим входом (управляемые фронтом).

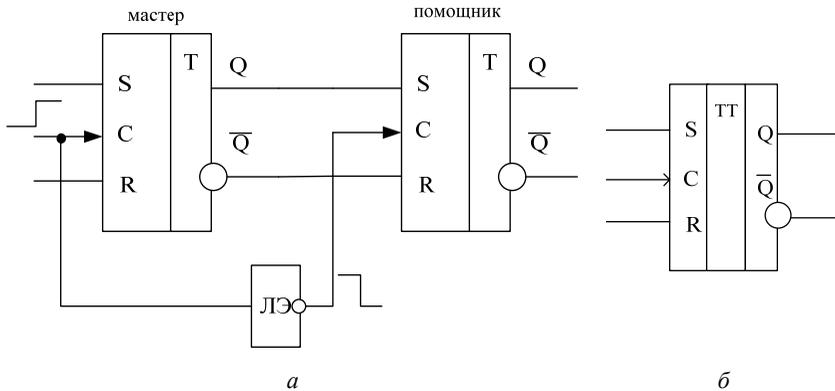


Рис. 4.21. Синхронный двухступенчатый триггер:

a – структура двухступенчатого триггера; *б* – УГО двухступенчатого триггера

Запись информации в первую ступень (триггер «мастер») происходит с появлением синхроимпульса, а во вторую ступень (триггер «помощник») – после окончания синхроимпульса.

Следовательно, двухступенчатые триггеры задерживают выходную информацию на время, равное длительности синхроимпульса. Такие триггеры еще называют триггеры с внутренней задержкой.

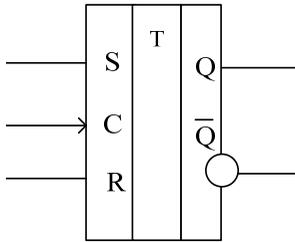
Синхронный RS-триггер. На рис. 4.22 представлено условное обозначение (*a*), схема (*б*) и диаграмма работы (*в*) синхронного RS-триггера.

Как видно из диаграммы до прихода тактовых импульсов триггер находится в состоянии «1» (выход $Q = 1$).

В момент времени t_1 на вход C поступает импульс синхронизации, в этот момент времени на входе R -триггера присутствует сигнал логической «1», а на входе S -сигнал логического «0», что вызывает переключение триггера в состояние «0» по прямому выходу Q .

В момент времени t_2 на вход C поступает следующий импульс синхронизации, в этот момент времени на входе S -триггера присутствует сигнал логической «1», а на входе R -сигнал логического «0», что вызывает переключение триггера в состояние «1» по прямому выходу Q .

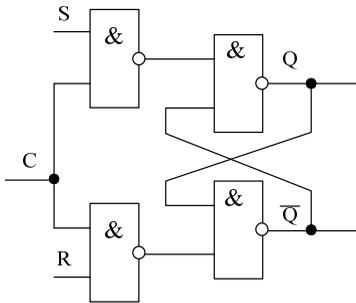
В момент времени, когда сигнал логической «1» присутствует одновременно на входах R и S триггера, переход триггера в запрещенную комбинацию не осуществляется в связи с тем, что отсутствует импульс синхронизации на входе C .



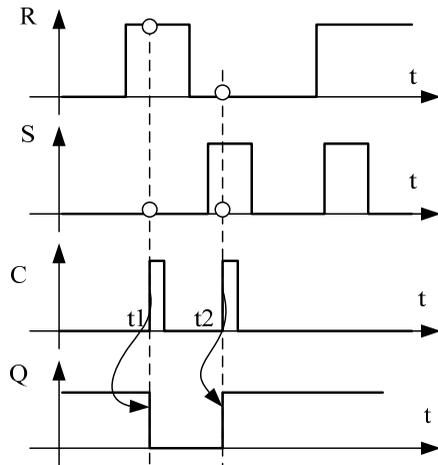
a

S^t	R^t	C^t	Q^t	Q^{t+1}
0	0	0	0	0
0	1	0	0	0
1	0	0	0	0
1	1	0	0	0
0	0	0	1	1
0	1	0	1	1
1	0	0	1	1
1	1	0	1	1
0	0	1	0	0
0	1	1	0	0
1	0	1	0	1
1	1	1	0	–
0	0	1	1	1
0	1	1	1	0
1	0	1	1	1
1	1	1	1	–

б



в



г

Рис. 4.22. Условное обозначение (*a*), таблица переходов (*б*), схема (*в*) и диаграмма работы (*г*) синхронного RS-триггера

Работу синхронного RS -триггера можно описать таблицей истинности 4.4.

D -триггер. На рис. 4.23 представлено условное обозначение (а) и схема (б) D -триггера.

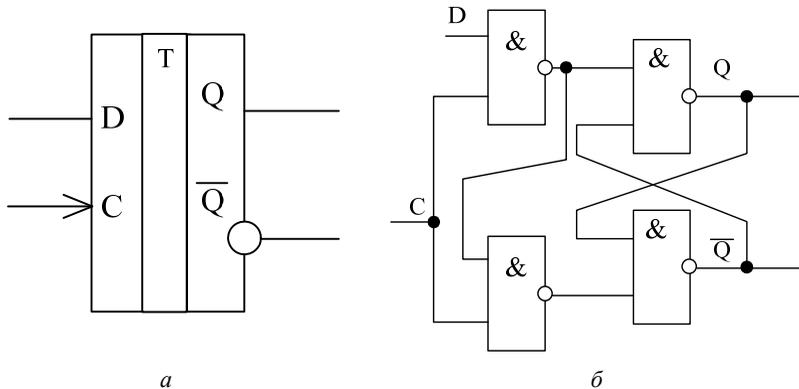


Рис. 4.23. Условное обозначение (а) и схема (б) синхронного D -триггера

D -триггер (иначе его называют «триггер задержки») является самым распространенным триггером. Он имеет один информационный вход D (вход данных) и один тактовый вход C .

Несмотря на то, что триггер D всегда имеет вход C , его чаще всего называют просто D триггером.

Триггер D меняет свое состояние по положительному фронту сигнала C (по его переходу из нуля в единицу) в зависимости от состояния входа данных D .

Если на входе D единичный сигнал, то по фронту сигнала C прямой выход триггера устанавливается в единицу (инверсный – в нуль).

Если же на входе D – нулевой сигнал, то по фронту сигнала C прямой выход триггера устанавливается в нуль (инверсный – в единицу).

На рис. 4.24 приведена диаграмма работы D -триггера (а) и таблица его переходов (б).

УГО и схема \bar{D} -триггера приведены на рис. 4.24.

Как видно из рис. 4.23, б и 4.25, б. триггер с прямыми входами организуется на би-стабильной ячейке И-НЕ, а триггер с инверсными входами – на би-стабильной ячейке ИЛИ-НЕ.

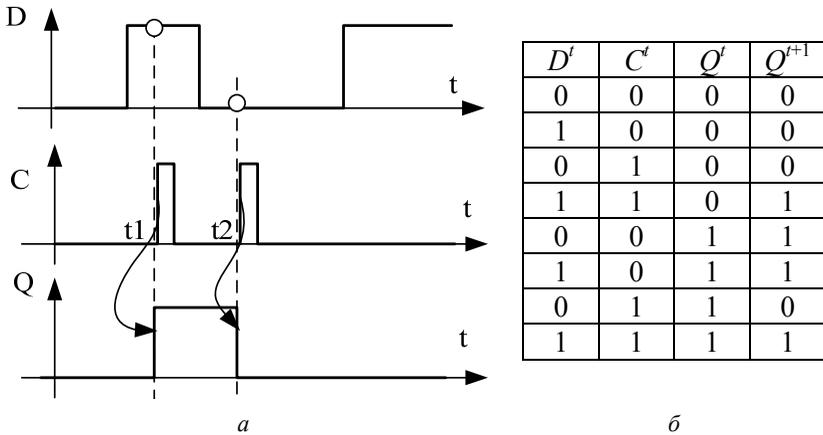


Рис. 4.24. Диаграмма работы (а) и таблица переходов синхронного D -триггера (б)

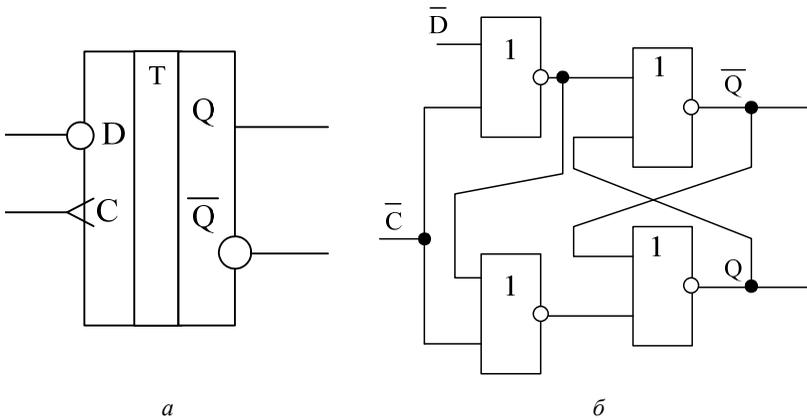


Рис. 4.25. Условное обозначение (а) и схема (б) синхронного \bar{D} -триггера

Комбинированные триггеры. RS - и \overline{RS} -триггеры редко используются как самостоятельные. Однако, данные триггеры могут применяться для построения триггеров с установочными входами.

Условное обозначение триггера с установочными входами представлено на рис. 4.26, а, диаграмма его работы на рис. 4.26, б.

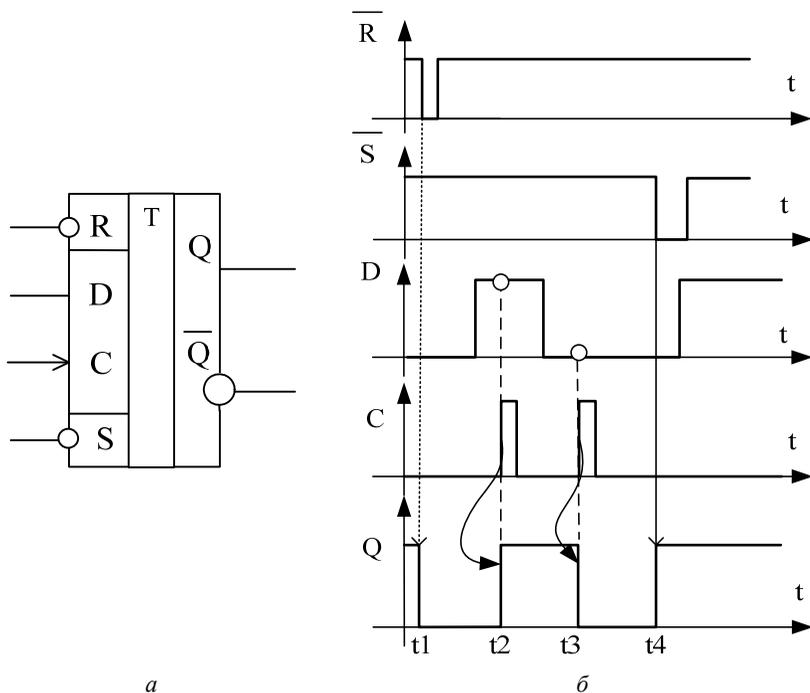


Рис. 4.26. Условное обозначение (а), и диаграмма работы (б) синхронного D триггера с установочными входами \overline{RS}

Как следует из диаграммы (рис. 4.26, б), в момент $t1$ работа триггера определяется установочным сигналом на входе \overline{R} (логический «0») – триггер перебрасывается в состояние «0».

Нулевое состояние триггера сохраняется до момента $t2$, когда сигналы на установочных входах неактивны, на входе D присутствует сигнал «1», а на входе C – положительный фронт, что обеспечивает переключение триггера из состояния «0» в состояние «1».

В момент $t3$ работу триггера определяет вход D (логический «0») и положительный фронт сигнала C (триггер переходит в состояние «0»).

В момент $t4$ работу триггера определяет установочный вход \overline{S} , который обеспечивает его переключение в состояние «1».

Следует отметить, что согласно схемотехнической организации триггера с установочными входами при одновременном действии

сигналов на один из установочных входов, на информационный вход и вход C , состояние триггера определяет установочный вход.

На установочные входы \overline{RS} активные сигналы ($\overline{R} = \overline{S} = 0$) одновременно поданы быть не могут (согласно схеме \overline{RS} -триггера – это запрещенная комбинация).

Все приведенные временные диаграммы относятся к первому уровню представления, к уровню логической модели.

Конечно же, в реальности все триггеры имеют временные задержки установки выходных сигналов, а также предъявляют определенные временные требования к входным сигналам, при нарушении которых любой триггер будет работать неустойчиво или же не будет работать вообще.

Это учитывается на втором уровне представления (в модели с временными задержками).

Длительность тактового сигнала C (как положительного, так и отрицательного импульса) не должна быть слишком малой, иначе триггер может переключаться неустойчиво. Это требование универсально для всех микросхем, срабатывающих по фронту входного сигнала.

Принципиально важна и величина временного сдвига (задержки) между установлением сигнала D и рабочим (положительным) фронтом сигнала C . Этот сдвиг тоже не должен быть слишком малым.

Не должен быть чрезмерно малым и сдвиг между окончанием сигналов \overline{RS} и рабочим фронтом сигнала C .

Повышенные требования предъявляются также к длительности фронта тактового сигнала C , которая не должна быть слишком большой. Это требование также универсально для всех микросхем, срабатывающих по фронту входного сигнала.

Т. е., чем сложнее микросхема, тем важнее для нее становятся ограничения второго уровня представления, тем выше требования к разработчику цифрового устройства по учету временных задержек и длительностей сигналов.

Следует обратить внимание на то, что цифровые схемы не любят слишком коротких входных сигналов и слишком малых задержек между входными сигналами, функционально связанными между собой.

При решении таких проблем следует обращать внимание на величину задержки логического элемента данной серии. Поэтому для

более быстрых серий ограничения будут менее жесткими, а для более медленных серий – более жесткими.

Несмотря на свою достаточно сложную внутреннюю структуру, микросхемы триггеров являются одними из самых быстрых.

Задержка срабатывания триггера обычно не превышает 1,5–2 задержки логического элемента (причем задержки по входам \bar{R} и \bar{S} чуть меньше, чем по тактовому входу C).

В некоторых сериях JK -триггеры несколько быстрее, чем D -триггеры, в других – наоборот.

Важный параметр триггера – максимальная частота тактового сигнала C . Для ее приблизительной оценки можно придерживаться следующего простого правила: период тактового сигнала C не должен быть меньше величины задержки переключения триггера по входу C .

Аномальные состояния триггеров. При использовании триггеров приходится сталкиваться с проблемой аномальных состояний. Триггер быстро принимает одно из своих устойчивых состояний при достаточно определенном воздействии на него.

Чтобы избежать неопределенностей, для синхронных триггеров вводятся запретные зоны, в которых информационные сигналы не должны изменяться, – время предустановки и выдержки.

Понятно, что при приеме по информационным входам асинхронных сигналов, появляющихся в произвольные моменты времени, соблюдать требования по временам предустановки и выдержки невозможно, и триггер может попадать под неопределенные воздействия.

Например, триггер D может получить сигнал переключения по информационному входу одновременно с переходом синхросигнала в состояние запрета приема информации.

В этом случае процесс переключения может начаться, но затем прекратиться в некотором промежуточном состоянии, т. к. синхросигнал отключит триггер от информационного входа D .

Триггер, предоставленный самому себе, рано или поздно, перейдет в одно из устойчивых состояний (вернется в исходное состояние или перейдет в противоположное).

Однако, если его оставить в точке, очень близкой к равновесию, то выход из нее окажется аномально длительным и триггер надолго «зависнет» в промежуточном состоянии.

Аномальные разделяются на метастабильные и колебательные.

В первом случае напряжения на обоих выходах триггера близки к пороговым напряжениям логических элементов, из которых собран триггер. Эти напряжения сохраняются почти неизменными в течение всего времени действия аномалии. Во втором случае выходные напряжения медленно колеблются вокруг пороговых напряжений элементов.

Аномальные состояния – неустраимые явления, объясняющие неизбежность сбоев при работе с асинхронными сигналами. Следует лишь принимать меры для снижения частоты возникновения аномальных состояний и доведения уровня сбоев до минимальных значений.

4.3. Основные схемы включения триггеров

Говоря об областях применения триггеров, целесообразно рассматривать D -триггеры, так как в большинстве случаев RS - и JK -триггеры могут быть заменены D -триггерами. Примеры такой замены показаны на рис. 4.27.

RS -триггер получается из D -триггера, если в D -триггере не использовать входы C и D , например, соединить их с общим проводом (a).

Сложнее обстоит дело с заменой JK -триггера, в котором предусмотрено больше возможностей, чем в D -триггере.

Однако обычно два информационных входа JK -триггера не так уж и нужны.

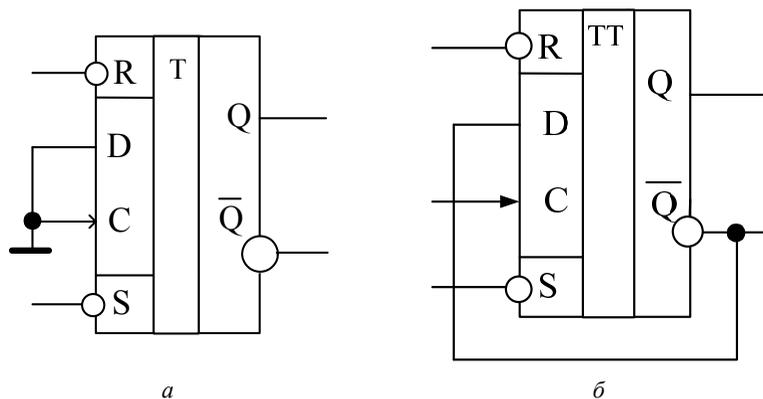


Рис. 4.27. Схема включения D -триггера для замены RS -триггера (a), схема включения JK -триггера в счетном режиме (b)

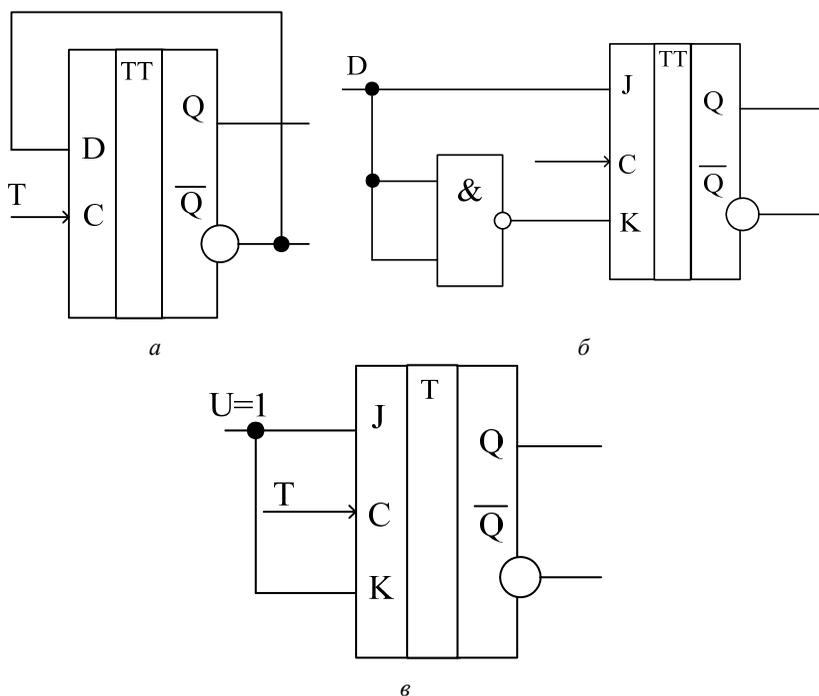


Рис. 4.28. Триггер «мастер-помощник» D в роли триггера T (а),
 триггер «мастер-помощник» JK в роли триггера D (б),
 JK -триггер в роли T триггера (в)

А что касается счетного режима, в котором, пожалуй, наиболее часто работают JK -триггеры, то он легко реализуется на D -триггере в результате объединения информационного входа D с инверсным выходом (рис. 4.27, б).

При этом по каждому положительному фронту сигнала C триггер будет менять свое состояние на противоположное: нуль на прямом выходе будет сменяться единицей и наоборот. То есть частота входного сигнала триггера будет меньше частоты входного тактового сигнала C в два раза.

На рис. 4.28 представлены другие варианты схем, позволяющие преобразовать один тип триггера в другой.

Особенности триггеров обуславливают наиболее широкий диапазон схем их включения для решения самых разных задач.

4.3.1. Подавление дребезга механических контактов ключей при помощи триггера

Ввод логических сигналов от механических ключей относится к типовым действиям оператора, с помощью которого он воздействует на цифровое устройство.

Механические ключи имеют упругость, их коммутация – сложный процесс. После первого соударения контактов происходит ряд упругих отскоков, которые называются дребезгом контактов, поэтому вместо однократного перепада напряжения ключи создают целую серию импульсов (рис. 4.29).

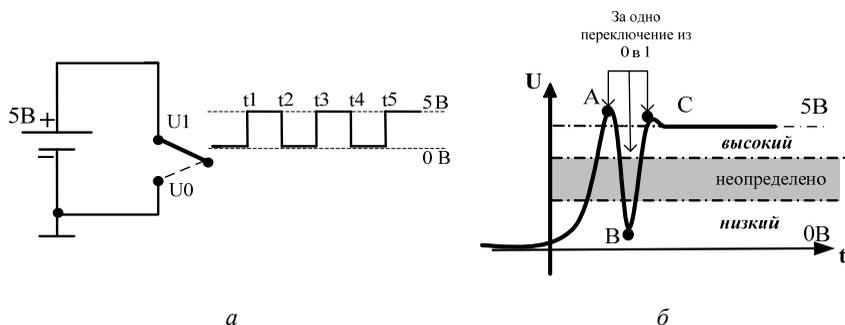


Рис. 4.29. Получение цифрового сигнала при помощи механического переключателя (а), влияние дребезга механических контактов на цифровой сигнал (б)

Для получения «очищенного» от дребезга контактов сигнала принимают специальные схемотехнические меры.

В схемотехнических методах борьбы с дребезгом контактов используются свойства триггеров.

С помощью триггера выходное напряжение ключа (рис. 4.30, а) очищается от паразитных колебаний и превращается в стандартный логический сигнал (Вых.) приведенный на рис. 4.30, б.

Первый отрицательный импульс на входе \bar{R} перебрасывает триггер в состояние нуля, а первый отрицательный импульс на входе \bar{S} – в состояние единицы.

Последующие импульсы на обоих этих входах, вызванные дребезгом контактов, уже никак не влияют на триггер.

Нижнее (рис. 4.30, *a*) положение выключателя соответствует нулю на выходе триггера, а верхнее – единице.

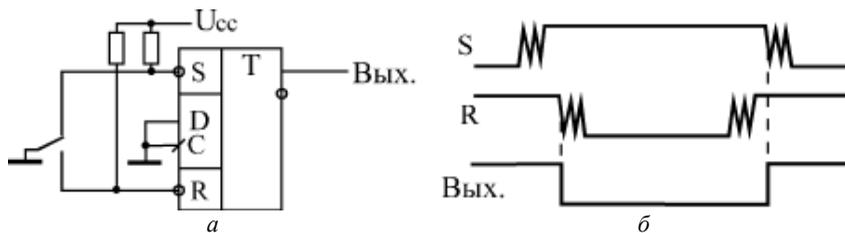


Рис. 4.30. Подавление дребезга контактов выключателя с помощью триггера: *a* – схема соединения ключа и триггера; *б* – диаграмма переключений

4.3.2. Использование триггера в качестве флага процесса

Основное применение триггеры находят в тех случаях, когда надо сформировать сигнал, длительность которого соответствует длительности какой-то выполняемой операции, какого-то продолжительного процесса в схеме.

Выходной сигнал триггера при этом может разрешать этот самый процесс, а может информировать остальные узлы устройства о том, что процесс идет (или, как говорят, служить флагом процесса).

Например, в схеме на рис. 4.31 в начале процесса (операции) по сигналу «Старт» триггер перебрасывается в единицу, а в конце процесса (операции) по сигналу «Стоп» – обратно в ноль.

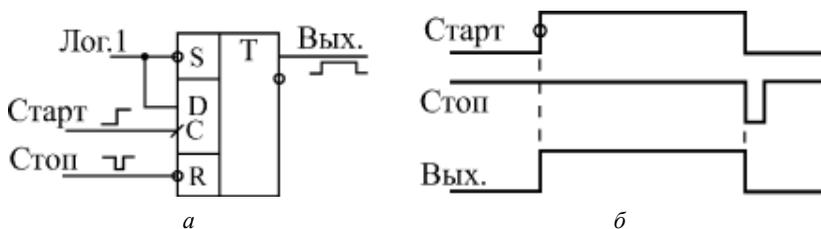


Рис. 4.31. Использование триггера в качестве флага процесса: *a* – схема; *б* – диаграмма работы

Для сигналов «Старт» и «Стоп» можно, конечно, использовать входы триггера \bar{R} и \bar{S} .

Однако более правильным и универсальным решением будет выбор пары входов S и \bar{R} или S и \bar{S} , что предотвратит неоднозначность поведения триггера при одновременном приходе сигналов «Старт» и «Стоп».

Если используются входы S и \bar{R} , то на вход D надо подать единицу, а если применяются входы S и \bar{S} , то на вход D надо подать нуль. Такое решение удобно еще и тем, что в качестве одного из сигналов «Старт» и «Стоп» может выступать не уровень, а фронт. Именно этот фронт (в нужной полярности) и надо подать в этом случае на тактовый вход триггера C .

4.3.3. Синхронизация с помощью триггера

Важной областью применения триггеров является их применение для синхронизации сигналов.

Например, триггер позволяет наиболее просто избавиться от паразитных коротких импульсов на выходах комбинационных схем, возникающих при почти одновременном изменении нескольких входных сигналов (рис. 4.32).

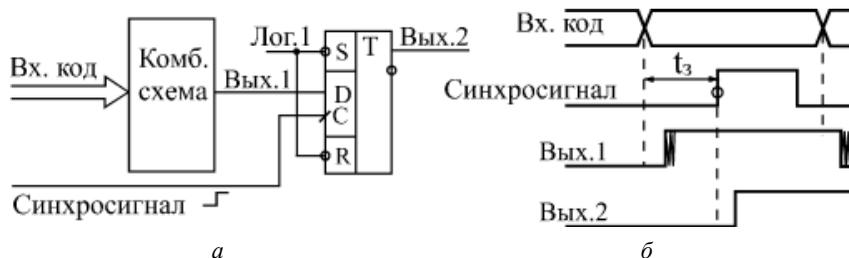


Рис. 4.32. Синхронизация с помощью триггера:
а – схема; б – диаграмма работы

Для синхронизации в данном случае необходимо иметь синхросигнал (синхропереход), сопровождающий входные информационные сигналы (входной код) и задержанный относительно момента изменения этих сигналов на время t_3 , большее задержки комбинационной схемы.

При подаче этого синхроимпульса на вход C триггера, а выходного сигнала комбинационной схемы (Вых.1) на вход D триггера на

выходе триггера получается сигнал (Вых.2), полностью свободный от паразитных импульсов.

Более того, в случае, когда входной код комбинационной схемы изменяется регулярно, периодически фронт синхросигнала может даже совпадать с моментом изменения входного кода (рис. 4.33).

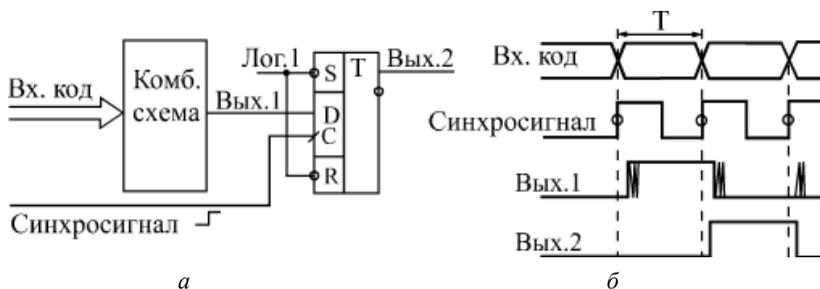


Рис. 4.33. Синхронизация с помощью триггера при периодическом изменении входного кода:
a – схема; *б* – диаграмма работы

При этом, за счет конечной величины задержки комбинационной схемы сигнал на вход *C* триггера будет поступать раньше, чем начнет изменяться сигнал на его входе *D*. Поэтому паразитные импульсы в триггер не запишутся.

Правда, в данном случае сигнал на выходе триггера (Вых.2) будет задержан на период следования входных кодов T (или, что то же самое, на период синхросигнала) относительно выходного сигнала комбинационной схемы (Вых.1).

При проектировании цифровых схем, работающих по тактам единого тактового генератора, часто возникает необходимость синхронизировать с работой схемы какой-то внешний сигнал.

То есть требуется обеспечить, чтобы этот сигнал (асинхронный по отношению ко всей остальной схеме) изменялся по тактам тактового генератора, как и все остальные сигналы схемы (стал бы синхронным всей остальной схеме). Для решения такой задачи можно также использовать триггер.

Рассмотрим пример.

Пусть необходимо с помощью внешнего сигнала разрешать и запрещать прохождение сигнала непрерывно работающего тактового генератора.

В случае обычного RC -генератора эта задача может быть решена путем запуска и остановки генератора.

Однако далеко не всегда допускается останавливать работу тактового генератора, от которого работает вся схема.

В случае же кварцевого генератора его остановка и запуск никогда не применяются, так как такой генератор начинает работать после разрешения с задержкой, равной нескольким периодам тактовой частоты, причем количество этих периодов не постоянно.

Будем считать, что тактовый генератор работает постоянно, а по внешнему управляющему сигналу будет разрешаться или запрещаться прохождение его выходных импульсов (рис. 4.34).

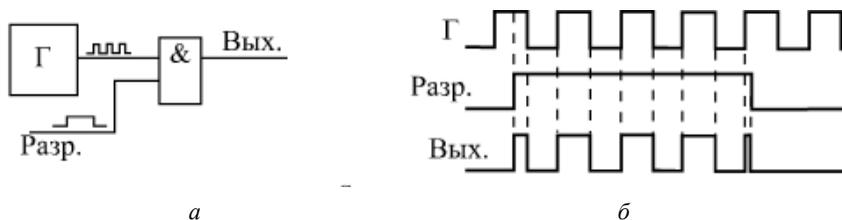


Рис. 4.34. Паразитные короткие импульсы на выходе КЦ:
a – схема; *б* – диаграмма работы

В простейшем случае (рис. 4.33) для пропуска и запрещения импульсов тактового генератора Γ используется логический элемент 2И.

При этом вполне возможна ситуация прохождения на выход схемы импульсов неполной длительности или даже предельно коротких, нестабильно появляющихся импульсов, которые могут внести неопределенность в работу остальной схемы.

Применение синхронизирующего триггера (рис. 4.35) обеспечивает прохождение на выход пропускающего элемента 2И только импульсов полной длительности.

Разрешающий сигнал (Разр.1), проходя через триггер, который тактируется разрешаемым сигналом (Разр.), становится синхронным с тактовым сигналом и гарантирует прохождение на выход обязательно целого количества тактовых импульсов, целого количества периодов тактового генератора.

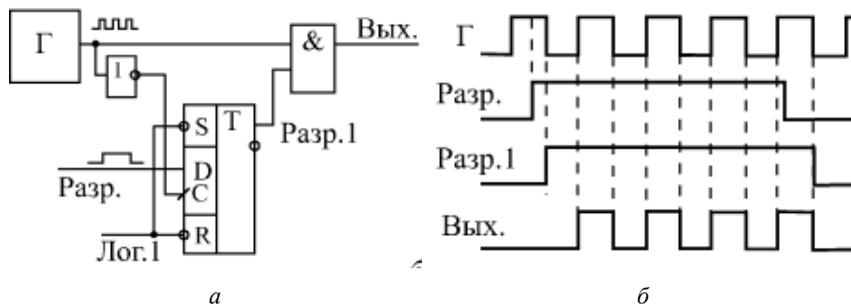


Рис. 4.35. Синхронизация сигнала разрешения:
a – схема; *б* – диаграмма работы

4.3.4. Формирование короткого импульса с помощью триггера

D-триггер позволяет формировать выходной короткий импульс по фронту входного сигнала (рис. 4.35, *в*).

Для этого даже не нужно времязадающих *RC*-цепочек.

Длительность выходного импульса определяется задержкой срабатывания триггера.

Формирователь короткого импульса по положительному фронту входного сигнала (рис. 4.36) образуется путем подачи выходного сигнала триггера на вход сброса.

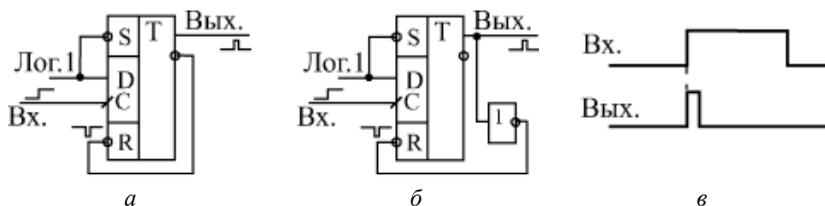


Рис. 4.36. Формирование короткого импульса:
a, б – схемы; *в* – диаграмма работы

По положительному фронту на входе *C* триггер *D* устанавливается в состояние «1» по выходу *Q* (рис. 4.35, *a*), в этот момент на выходе \bar{Q} логический «0».

Т. к. выход \overline{Q} соединен с установочным входом \overline{R} , то триггер тут же сбрасывается обратно в состояние нуля. Длительность выходного тактового импульса (Вых.) будет соответствовать времени задержки переключения триггера из состояния «1» в состояние «0» по установочному входу \overline{R} .

Преимуществом данных схем является то, что триггер имеет как прямой, так и инверсный выходы, поэтому можно получить как положительный короткий импульс, так и отрицательный.

В некоторых случаях в цепь этой обратной связи надо включать дополнительный инвертор для устойчивой работы схемы. На рис. 4.36, б сигнал обратной связи снимается с выхода триггера Q с использованием инвертора. В результате длительность выходного тактового импульса (Вых.) увеличивается на время задержки логического элемента НЕ.

4.3.5. Разделение коротких и длинных входных импульсов

Применение триггеров совместно с другими микросхемами часто позволяет избежать появления паразитных коротких импульсов, обеспечить надежную работу схемы.

Например, на рис. 4.37 представлена схема, которая различает короткие и длинные импульсы, приходящие на ее вход.

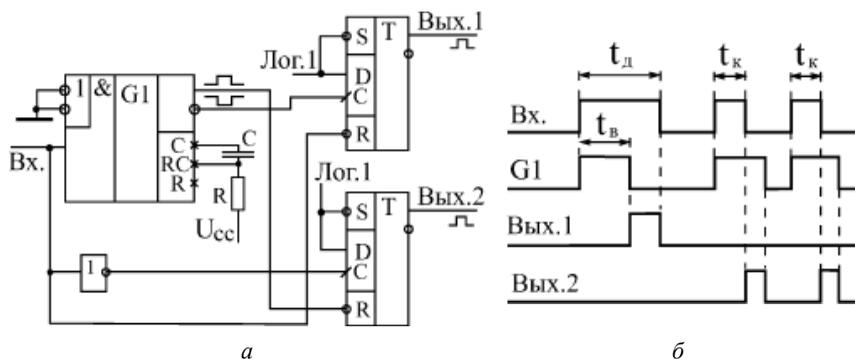


Рис. 4.37. Схема разделения коротких и длинных импульсов:
а – схема; б – диаграмма работы

Такая схема позволяет применять одну линию связи для передачи двух сигналов разного назначения (например, сначала по линии передается адресная информация, а затем данные), что бывает очень удобно при связи устройств, находящихся на большом расстоянии (сокращается количество линий связи).

На вход схемы поступают короткие импульсы (длительностью t_k) и длинные импульсы (длительностью t_d).

На передающем конце надо обеспечить, чтобы эти импульсы формировались по очереди и с не слишком малой задержкой друг относительно друга.

На выходе схемы (Вых.1 и Вых.2) формируются два сигнала, один из которых соответствует приходу короткого входного импульса, а другой – приходу длинного входного импульса.

Для различения входных импульсов используется одновибратор АГ1 (G1) с временем выдержки t_b , большим t_k , но меньшим t_d .

Применение одновибратора в данном случае оправдано, так как требуемая точность времени выдержки невысока (будем считать, что длительности импульсов различаются существенно).

Выходные сигналы схемы формируются с помощью двух триггеров, а не простых двухвходовых логических элементов, что полностью исключает появление паразитных импульсов на фронтах.

Принцип работы схемы ясен из приведенной временной диаграммы.

Одновибратор запускается по переднему фронту входного сигнала.

Выходной сигнал Вых.1, соответствующий приходу длинного импульса, начинается по заднему фронту импульса с одновибратора, а заканчивается по окончании длинного входного импульса.

Выходной сигнал Вых.2, соответствующий приходу входного короткого импульса, начинается по заднему фронту входного импульса, а заканчивается с окончанием импульса с одновибратора.

4.3.6. Формирователь сигнала огибающей входного сигнала на триггерах

Триггеры можно также использовать для обработки периодических последовательностей входных сигналов.

При этом триггер, тактируемый кварцевым генератором, может очень точно различать частоты следования входных импульсов, т. е. выполнять функцию простейшего цифрового фильтра.

Такие схемы выгодно отличаются от схем с одновибраторами и времязадающими RC -цепочками.

Простейший пример подобной обработки состоит в формировании огибающей входного сигнала.

То есть при приходе входного сигнала заданной частоты выходной сигнал должен быть равен единице, а при отсутствии входного сигнала – нулю.

Применение триггеров значительно увеличивает точность срабатывания и позволяет работать с частотами, близкими к предельным для данного типа триггеров.

Схема формирования огибающей состоит из двух триггеров, тактируемых внешним синхросигналом Такт (рис. 4.38).

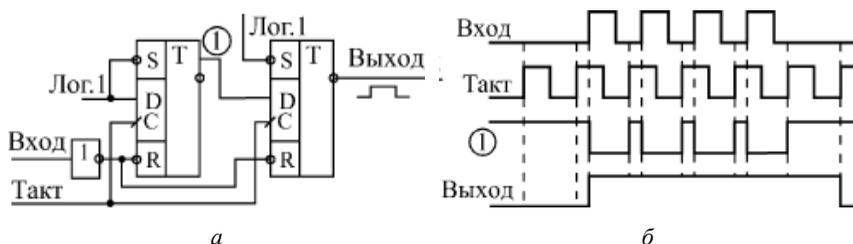


Рис. 4.38. Формирователь сигнала огибающей входного сигнала на триггерах:
а – схема; б – диаграмма работы

В данном случае предполагается, что частоты входного сигнала и тактового сигнала равны между собой.

Триггеры включены как двухтактная линия задержки с общим тактовым сигналом C и со сбросом входными сигналами.

Первый же входной сигнал последовательности начинает выходной сигнал, а заканчивается выходной сигнал через 1–2 такта после окончания входной последовательности периода тактового сигнала (в зависимости от временного сдвига входного сигнала относительно тактового сигнала).

Схема работает с входным сигналом любой частоты, большей половины частоты тактового сигнала (например, при тактовой частоте 10 МГц входной сигнал должен иметь частоту, большую 5 МГц). То есть за половину периода входной частоты не должно приходиться больше одного положительного фронта тактового сигнала.

4.3.7. Построение линий задержки с помощью триггера

Триггеры позволяют также строить линии задержки цифровых сигналов, для чего несколько триггеров соединяется в последовательную цепочку, причем все они тактируются единым тактовым сигналом *C*.

Такое включение позволяет, например, одновременно обрабатывать комбинационными схемами несколько последовательных во времени состояний какого-то одного сигнала.

В качестве примера на рисунке 4.39 приведена схема, которая выделяет во входном сигнале трехтактовую последовательность 010. Цепочка из трех триггеров T1, T2 и T3, тактируемых единым синхросигналом, запоминает три последовательных состояния входного сигнала.

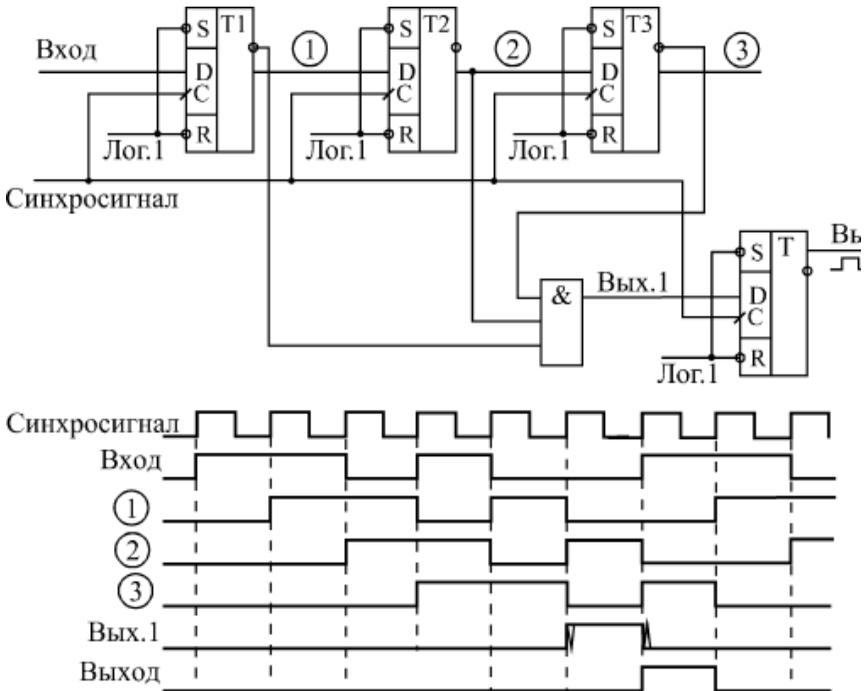


Рис. 4.39. Выделение трехтактовой последовательности тактов во входном сигнале

Например, если на выходе триггера Т2 будет зафиксировано состояние входного сигнала в N -м такте, то на выходе триггера Т1 будет состояние входного сигнала в такте $(N + 1)$, а на выходе триггера Т3 – в такте $(N - 1)$.

Из-за конечной величины задержки переключения триггеров в каждый следующий триггер входной сигнал будет переписываться еще до того, как он поменяет свое значение вследствие переключения предыдущего триггера.

Подавая выходные сигналы триггеров (прямые или инверсные в зависимости от нужных уровней) на элемент I с нужным числом входов, можно зафиксировать любую трехтактовую последовательность во входном сигнале.

Для предотвращения появления паразитных импульсов в выходном сигнале (они возможны, так как входные сигналы элемента I изменяются почти одновременно) применяется выходной триггер T , тактируемый тем же самым общим синхросигналом. На выходе триггера T получаем единичный сигнал, соответствующий последовательности 010 во входном сигнале. Однако, этот выходной сигнал будет задержан относительно конца выделяемой последовательности 010 на два такта.

5. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА (АВТОМАТЫ С ПАМЯТЬЮ)

Узлы и устройства, которые содержат элементы памяти (ЭП), относятся к классу автоматов с памятью (АП).

Наличие ЭП придает АП свойство иметь некоторое внутреннее состояние Q , определяемое совокупностью состояний всех элементов памяти АП.

В зависимости от внутреннего состояния, АП различно реагируют на один и тот же набор входных значений сигналов X .

Воспринимая входные сигналы X при определенном состоянии Q , АП переходит в новое состояние и вырабатывает вектор выходных значений Y .

Переходы АП из одного состояния в другое начинаются с некоторого исходного состояния Q_0 , задание которого также является частью задания автомата. Следующее состояние зависит от Q_0 и поступивших входных сигналов X .

В конечном счете текущее состояние и выходы автомата зависят от начального состояния и всех входных значений X , поступивших на автомат в предшествующих сменах входных сигналов.

Таким образом, вся последовательность входных сигналов определяет последовательность состояний и выходных сигналов, что объясняет название «последовательностные схемы», которое также применяется для обозначения АП.

Структурно АП отличаются от КЦ наличием в их схемах обратных связей, вследствие чего в них проявляются свойства запоминания состояний (схемы триггерных элементов).

АП состоят из двух частей: памяти и комбинационной цепи. На входы КЦ подаются входные сигналы состояний АП. На ее выходе вырабатываются выходные сигналы и сигналы перевода АП в новое состояние.

Принципиальным является деление АП на асинхронные (рис. 5.1) и синхронные (рис. 5.2).

В асинхронных роль элементов памяти играют линии задержки, через которые сигналы состояния передаются на входы КЦ, чтобы совместно с новым набором входных переменных определить следующую пару значений Y и Q на выходе. Элементы АП переключ-

чаются здесь под непосредственным воздействием изменений информационных сигналов. Скорость распространения процесса переключения в цепях асинхронного автомата определяется собственными задержками элемента.

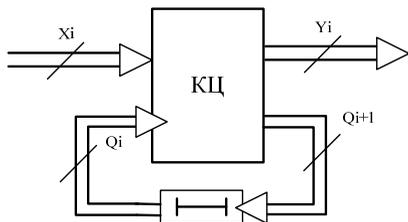


Рис. 5.1. Асинхронный АП

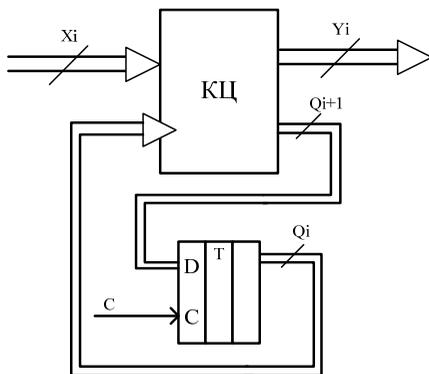


Рис. 5.2. Синхронный АП

В синхронных АП имеются специальные синхросигналы (тактирующие импульсы) C , которые разрешают элементам памяти прием данных только в определенные моменты времени. Элементами памяти служат синхронные триггеры. Процесс обработки упорядочивается во времени, и в течение одного такта возможно распространение процесса переключения только в строго определенных пределах такта обработки информации.

Практическое применение асинхронных АП существенно затруднено сильным влиянием на их работу задержек сигналов в цепях АП, создающих статические и динамические риски, гонки элементов памяти (неодновременность срабатывания ЭП даже при одновременной подаче на них входных сигналов) и др.

Характерным свойством асинхронного автомата является то, что при переходе из одного устойчивого состояния в другое он обычно проходит через промежуточные нестабильные состояния.

В синхронных автоматах каждое состояние устойчиво и переходные временные состояния не возникают. Прием информации в синхронные автоматы памяти разрешается только после завершения в схеме переходных процессов, что обеспечивается параметрами

синхроимпульсов, которые задают интервалы времени для завершения тех или других процессов.

Синхронизация в цифровых устройствах. Синхронизация осуществляется тактовым генератором, сигналы которого распределяются по всем частям устройства и разрешают прием данных элементам памяти – синхронным триггерам. Она упорядочивает во времени последовательность операций при обработке информации в ЦУ. Темп обработки задается частотой тактовых сигналов.

Обобщенная структура устройств синхронизации (рис. 5.3) содержит следующие блоки:

- задающий генератор (ЗГ);
- формирователь опорных сигналов (ФОС);
- размножитель сигналов (РС).

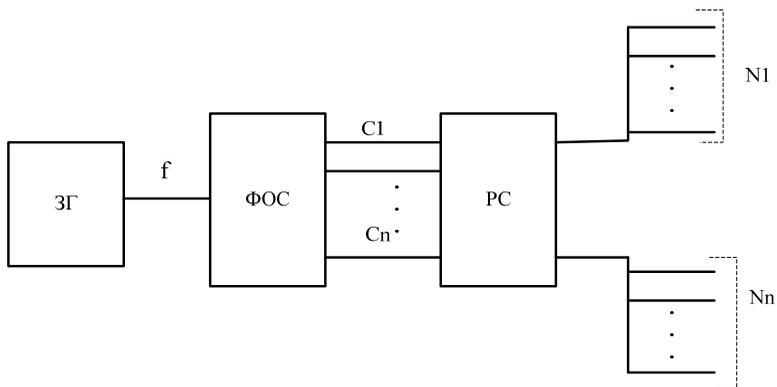


Рис. 5.3. Обобщенная структура устройств синхронизации

Тактовыми импульсами чаще всего требуется обеспечить большое число элементов памяти.

Обычно тактовые импульсы формируются одним генератором, а используются тысячами и более элементов памяти.

Применение мощного генератора с разводкой от него синхросигналов по всем элементам памяти для сложных устройств оказывается неудачной из-за помех, вызываемых сильноточными цепями синхронизации.

Размножение тактовых импульсов осуществляется с помощью разветвляющейся пирамидальной схемы (рис. 5.4).

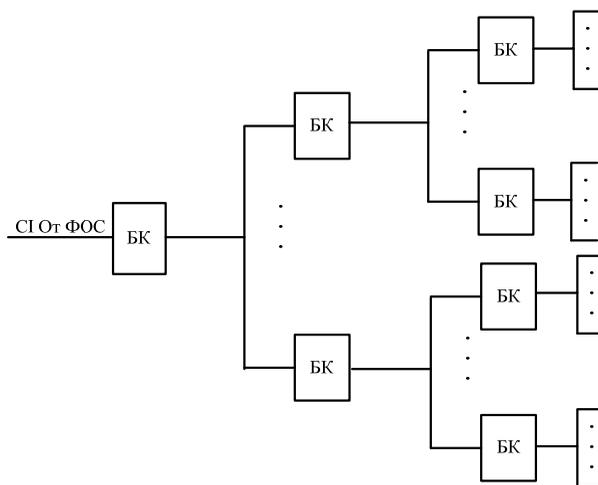


Рис. 5.4. Схема размножения тактовых импульсов

5.1. Регистры

Регистр (англ. register) – устройство, предназначенное для хранения и преобразования многоразрядных двоичных чисел. В качестве запоминающего элемента в регистрах используют триггер.

Важнейшими характеристиками регистров являются:

- разрядность;
- быстродействие.

Разрядность определяется количеством триггеров (количеством запоминающих элементов) регистра.

Быстродействие характеризуется максимальной тактовой частотой, с которой может производиться запись, чтение и сдвиг информации, хранимой в регистре.

По принципу хранения информации регистры делятся на:

- статические;
- динамические.

Статические регистры строят на потенциальных элементах памяти (триггерах), которые могут хранить информацию сколь угодно долго (при наличии напряжения питания).

Динамические регистры строят на элементах памяти такого типа, как конденсатор, которые могут хранить информацию лишь в течение

ние некоторого промежутка времени. Поэтому в динамических регистрах необходима регенерация записанной информации.

На схемах интегральные микросхемы регистров обозначаются буквами RG.

В отечественных сериях интегральных микросхем регистрам соответствуют буквы ИР.

Регистры обладают большими функциональными возможностями. Они используются:

- в качестве управляющих и запоминающих устройств;
- генераторов;
- преобразователей кодов;
- счетчиков;
- делителей частоты;
- узлов временной задержки.

Регистры могут быть построены на:

- синхронных триггерах;
- асинхронных триггерах;
- синхронных триггерах, имеющих установочные входы.

Одиночный триггер может запоминать (регистрировать) один разряд (бит) двоичной информации. Такой триггер можно считать одноразрядным регистром.

Цифровые приборы, как правило, оперируют с многоразрядными числами. Поэтому в качестве регистров в зависимости от назначения используются наборы (цепочки) триггеров, количество которых соответствует разрядности хранимого числа.

Вспомогательные элементы в регистрах используются для осуществления следующих операций:

- ввода и вывода из регистра хранимой информации;
- преобразования кода числа, хранящегося в регистре;
- сдвига числа влево или вправо на определенное число разрядов;
- преобразования последовательного кода числа в параллельный код и наоборот.

Помимо триггеров регистры содержат комбинационные цепи на логических элементах. С помощью таких цепей осуществляется, например, управление вводом/выводом информации в регистр, преобразование информации, хранящейся в регистре, ее сдвиг вправо или влево и т. д.

Ввод информации в регистр называют операцией записи.

Вывод информации к внешним устройствам характеризует операцию считывания информации из регистра.

Регистры классифицируют по различным признакам, основными из которых являются:

- способ ввода информации в регистр;
- способ вывода информации из регистра;
- способ представления вводимой информации;
- способ представления выводимой информации.

Регистры делятся на три группы:

- параллельные регистры (регистры памяти);
- последовательные регистры (регистры сдвига);
- параллельно-последовательные регистры.

По виду вводимой и выводимой информации различают:

- однофазные регистры;
- парафазные регистры.

В однофазных регистрах информация вводится (выводится) только в прямом или только в обратном коде.

В парафазных регистрах информация вводится одновременно в прямом и обратном кодах. Вывод информации из таких регистров осуществляется в прямом и обратном кодах, иначе в парафазном коде. Это возможно в связи с тем, что триггер имеет два выхода: прямой Q и инверсный \bar{Q} .

В зависимости от числа источников информации, с которых она поступает на входы регистра, они подразделяются на:

- одноканальные регистры;
- многоканальные регистры.

По способу приема и выдачи информации регистры делятся на следующие группы:

– с параллельным приемом и параллельной выдачей информации (рис. 5.5).

Регистр содержит m -триггеров, т. е. хранит m -разрядное слово.

$RG_0 \dots RG_m$ – разряды m -разрядного регистра.

$Q_0 \dots Q_m$ – параллельные выходы из регистра (т. е. с каждого триггера регистра, с его выхода Q выводится записанная в него информация).

$D_0 \dots D_m$ – разряды вводимой информации. Разряды вводимой информации подаются на входы триггеров регистра в соответствии

с весом разрядов. Т. е., например, разряд информации D_0 (младший разряд) подается на вход триггера R_0 (младший разряд регистра).

$T_{зап}$ – сигнал записи, под действием которого информация $D_0 \dots D_m$, подаваемая на входы, записывается в разряды регистра.

C – вход синхронизации триггера. Т. е. сигнал записи подается на вход синхронизации;

– с последовательным приемом и последовательной выдачей информации (рис. 5.6).

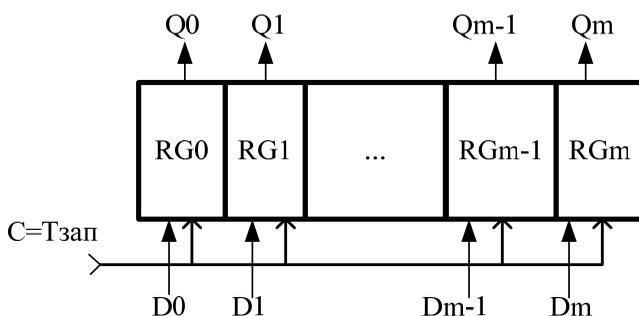


Рис. 5.5. Функциональная схема регистра с параллельным приемом и параллельной выдачей информации

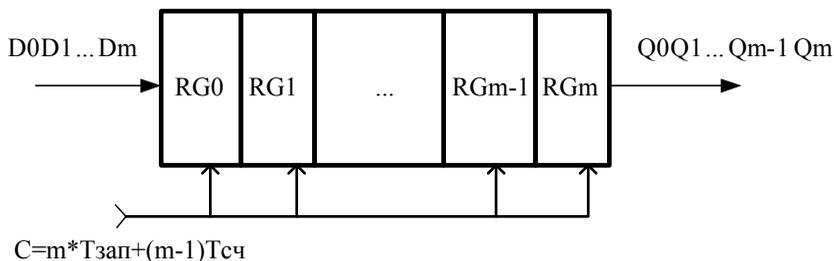


Рис. 5.6. Функциональная схема регистра с последовательным приемом и последовательной выдачей информации

На вход каждого разряда (R_i) регистра (в соответствии с весом разряда) одновременно подаются вводимые данные $D_0 D_1 \dots D_m$.

При подаче синхроимпульса (C), который является сигналом записи данных в регистр ($C = m * T_{зап} + (m - 1) * T_{сч}$) данные появятся на выходах $Q_0 Q_1 \dots Q_m$.

Время появления данных на выходах $Q_0Q_1\dots Q_m$ определяется временем задержки одного разряда регистра (триггера).

В регистр, изображенный на рис. 5.6, запись данных $D_0D_1\dots D_m$ осуществляется последовательно разряд за разрядом, начиная со старшего разряда D_m при сдвиге вправо.

Для записи m -разрядного числа в регистр должно быть подано m сигналов записи ($T_{\text{зап}}$).

Для считывания записанного числа из регистра необходимо подать $m - 1$ сигналов считывания ($T_{\text{сч}}$), т. к. разряд Q_m уже присутствует на выходе регистра (разряд Q_m).

Каждый сигнал считывания обеспечивает сдвиг записанного в регистр числа на 1 разряд. Вывод числа из регистра осуществляется со старшего разряда Q_m .

– с последовательным приемом и параллельной выдачей информации (рис. 5.7).

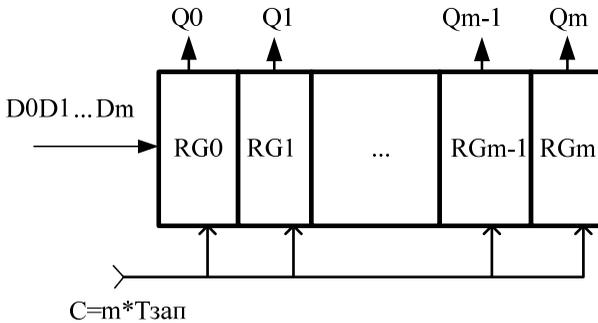


Рис. 5.7. Функциональная схема регистра с последовательным приемом и параллельной выдачей информации

Регистр, изображенный на рис. 5.7, представляет совокупность двух схем:

- схемы, представленной на рис. 5.6 в части записи информации в регистр;
- схемы, представленной на рис. 5.5 в части считывания информации из регистра.

Запись данных $D_0D_1\dots D_m$ осуществляется последовательно разряд за разрядом, начиная со старшего разряда (D_m) при сдвиге вправо.

Для записи m -разрядного числа в регистр на его вход синхронизации (C) должно быть подано m сигналов записи ($T_{\text{зап}}$).

После записи последнего младшего (D_0) разряда информации через время задержки триггера R_0 данные будут установлены на выходах $Q_0 Q_1 \dots Q_m$.

Только после этого может быть осуществлено считывание информации из регистра.

Сигналы записи и считывания информации одновременно подаваться не могут.

– с параллельным приемом и последовательной выдачей информации (рис. 5.8);

Регистр, изображенный на рис. 5.8, является совокупность двух схем: схемы представленной на рис. 5.5 в части записи информации в регистр, и схемы, представленной на рис. 5.6 в части считывания информации из регистра.

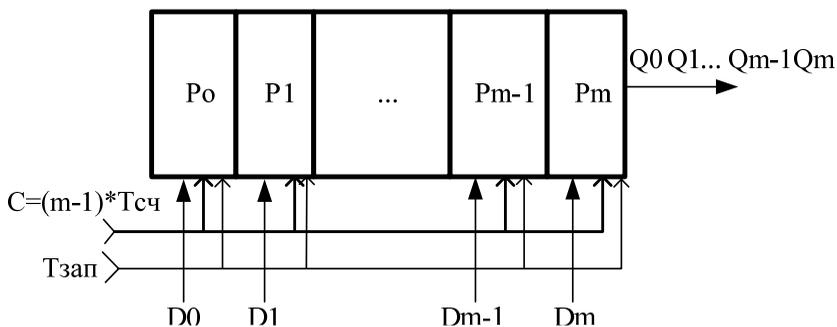


Рис. 5.8. Функциональная схема регистра с параллельным приемом и последовательной выдачей информации

Запись данных $D_0 D_1 \dots D_m$ осуществляется одновременно во все разряды регистра с подачей сигнала $T_{\text{зап}}$.

Формирование сигнала $T_{\text{зап}}$ осуществляется в зависимости от вида триггера разной комбинационной схемой, что будет показано ниже.

После записи числа в регистр (после времени задержки одного разряда) могут быть поданы $m - 1$ сигналов чтения ($T_{\text{сч}}$), обеспечивающие вывод информации из регистра (начиная со старшего разряда Q_m) при сдвиге вправо.

При реализации такой схемы надо учитывать условие корректной работы схемы: управляющие сигналы записи и чтения одновременно подавать нельзя. Т. е. произведение этих сигналов должно быть равно 0:

$$T_{\text{зап.}} \cdot T_{\text{сч.}} = 0.$$

В случае, если оба сигнала неактивны, регистр находится в режиме хранения информации, записанной ранее.

– комбинированные, с различными способами приема и выдачи информации (рис. 5.9).

Регистр, изображенный на рис. 5.9, представляет совокупность вышеприведенных схем.

В зависимости от присутствующих сигналов управления ($T_{\text{зап}}$ и $T_{\text{сч}}$) комбинационной логикой будет обеспечиваться требуемый тип ввода и вывода информации.

При реализации такой схемы надо учитывать условие корректной работы схемы:

$$T_{\text{зап.}} \cdot T_{\text{сч.}} = 0.$$

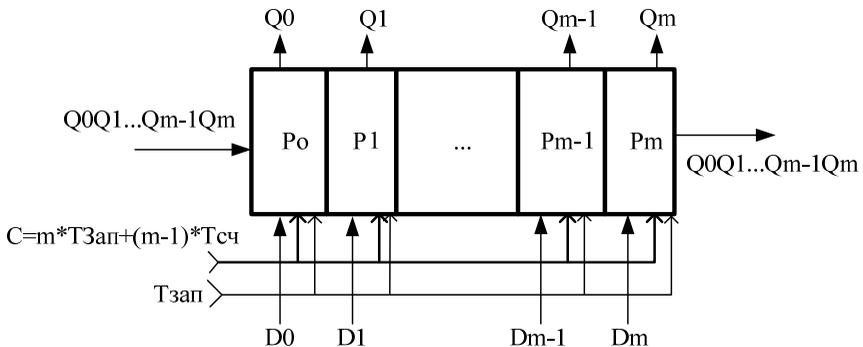


Рис. 5.9. Функциональная схема комбинированного регистра, с различными способами приема и выдачи информации

– реверсивные, осуществляющие прием информации при сдвиге влево или вправо (рис. 5.10).

Регистр, изображенный на рис. 5.10, представляет собой реверсивный регистр, который позволяет вводить информацию:

1 – при сдвиге вправо, т. е. со старшего разряда D_m (первым на вход младшего разряда регистра подается старший разряд) при подаче m управляющих сигналов $T_{сд.пр}$;

2 – при сдвиге влево, т. е. с младшего разряда D_0 (первым на вход младшего разряда регистра подается старший разряд) (с младшего разряда D_1) при подаче m управляющих сигналов $T_{сд.л}$.

Аналогично могут быть построены схемы, обеспечивающие циклический сдвиг вправо или влево, а также схемы, обеспечивающие ввод со старшего разряда числа и вывод с младшего разряда или наоборот.

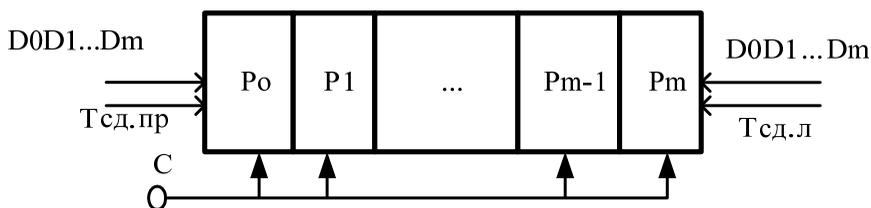


Рис. 5.10. Функциональная схема реверсивного регистра, с различными способами приема и выдачи информации

В зависимости от числа источников информации, с которых она поступает на входы регистра, различают:

- одноканальные регистры;
- многоканальные регистры.

В простейшем регистре сдвига триггеры соединены последовательно, т. е. выходы предыдущего триггера передают информацию на входы последующего.

Тактовые входы C триггеров соединены параллельно. Такой регистр имеет один вход и один выход – последовательный. Вход управления – тактовый вход C .

Если к входу каждого триггера добавить разрешающую логику, то можно помимо последовательной загрузки осуществить и параллельную загрузку данных в регистр.

Можно также с помощью комбинационных цепей предусмотреть логическую схему параллельного отображения выходных данных.

Как правило, выходные элементы такой схемы имеют Z -состояния, позволяющие поочередно выдавать информацию по многопроводной шине данных.

Регистры сдвига могут быть двунаправленные или, иначе, реверсивные, т. е. записанную информацию можно сдвигать по линейке триггеров вправо или влево. Для включения режима сдвига предусматривают специальный вход.

Существуют многорежимные регистры, у которых входные и выходные линии данных объединены в одну линию (порт данных). Эта линия по соответствующей команде (т. е. имеет дополнительный вход) может быть и входной, и выходной. Для организации таких схем используют ЛЭ с выходом 3С или специальные буферные схемы.

5.1.1. Регистры хранения (памяти)

Регистры с параллельным приемом и выдачей информации служат для хранения информации и называются регистрами памяти или хранения.

Их назначение – хранить двоичную информацию небольшого объема в течение некоторого промежутка времени.

Эти регистры представляют собой набор триггеров, каждый из которых хранит один разряд двоичного числа.

В параллельных регистрах каждый из триггеров имеет свой независимый информационный вход (D) и свой независимый информационный выход. Тактовые входы (C) всех триггеров соединены между собой.

В результате параллельный регистр представляет собой много-разрядный, многовходовый триггер.

Ввод (запись) и вывод (считывание) информации в регистр памяти производится одновременно во всех разрядах параллельным кодом.

Параллельные регистры, в свою очередь, делятся на две группы:

- регистры, срабатывающие по фронту управляющего сигнала C (или тактируемые регистры);
- регистры, срабатывающие по уровню управляющего сигнала C (или стробируемые регистры).

Чаще всего в цифровых схемах используются регистры, управляемые фронтом (то есть тактируемые), однако и стробируемые регистры имеют свой круг задач, в которых их ничто не может заменить.

В случае, если триггер имеет установочные входы, запись данных в регистр осуществляется по установочным входам, то ввод обеспечивается подачей информационных сигналов и управляющего сигнала на установочные входы (\bar{R} , R , \bar{S} , S) в прямом или обратном кодах.

Если триггер синхронный и не имеет установочных входов, то он представляет собой, по существу, наборы триггеров с независимыми информационными входами и обычно общим тактовым входом.

В качестве регистров подобного рода могут быть использованы без дополнительных элементов многие типы синхронных триггеров. В таких регистрах информация подается на информационные входы (вход в триггере D) и запись осуществляется подачей тактового командного импульса.

С приходом очередного тактового импульса происходит обновление записанной информации.

Если триггер асинхронный, то информация и управляющий сигнал через комбинаторную логику подаются на информационные входы (вход в триггере D).

5.1.2. Регистры срабатывающие по уровню

Стробируемые регистры. Параллельные регистры, срабатывающие по уровню стробирующего сигнала или, как их еще называют, регистры-защелки, (английское «Latch»), можно рассматривать как некий гибрид между буфером и регистром.

Когда сигнал на стробирующем входе – единичный, такой регистр пропускает через себя входные информационные сигналы, а когда стробирующий сигнал становится равен нулю, регистр переходит в режим хранения последнего из пропущенных значений входных сигналов. Т. е. во время действия стробирующего сигнала (сигнала разрешения) в регистр записывается и выводится из него поток информации.

Применение таких регистров сильно ограничено, хотя иногда они довольно удобны. В некоторых схемах они могут успешно заменять регистры, срабатывающие по фронту, а в других схемах их применение вместо регистров, срабатывающих по фронту, недопустимо.

Рассмотрим способы ввода информации в регистр, организованный на триггерах с установочными входами.

Существует несколько способов записи информации по установочным входам:

- в прямом коде по установочному входу S с предварительной установкой регистра в «0»;
- в обратном коде по установочному входу R с предварительной установкой в «1» всех триггеров;
- с подачей парафазного кода информации (прямой код на вход S , обратный код на вход R).

Во всех перечисленных способах запись информации осуществляется уровнем сигнала.

Запись информации по установочному входу S с предварительной установкой регистра в «0».

На рис. 5.11 представлена схема (а) и диаграмма (б) работы данного регистра.

Входы R всех триггеров регистра объединены (рис. 5.11, а), на них подается сигнал установки в «0». Т. к. входы R прямые, то сигнал установки (Уст.0) имеет уровень логической «1».

Комбинационная схема, обеспечивающая запись информации в регистр по установочному входу S , включает в себя m ЛЭ И, где m – разрядность регистра.

Сигнал записи информации в регистр ($T_{\text{зап}}$) подается на один из входов ЛЭ И (рис. 5.11, а).

На второй вход ЛЭ И (согласно весу разряда регистра) подаются разряды записываемой в регистр информации $D1 \dots Dm$ ($D1$ подается на триггер с выходом $Q1$, $D2$ подается на триггер с выходом $Q2$ и т. д.).

Выходы ЛЭ соединены с установочными входами S триггеров.

Рассмотрим диаграмму работы регистра (рис. 5.15, б).

Как видно из диаграммы, до момента действия сигнала Уст «0» (момент $t1$) регистр хранит некоторую ранее записанную информацию ($Q1 = 1, Q2 = 1, \dots, Qm = 1$).

Для корректной работы схемы первым (момент времени $t1$) подается сигнал Уст. «0» (высокий уровень), который устанавливает все разряды регистра ($Q1, Q2, \dots, Qm$) в нулевое состояние.

На входы регистра подается в прямом коде некоторая информация ($D1 = 0, D2 = 1, \dots, Dm = 1$), которая поступает на один из входов логических элементов, образующих управляющую комбинационную схему. В момент прихода управляющего сигнала $T_{\text{зап}}$ (мо-

мент t_2), информация, присутствующая на входах D_1, D_2, \dots, D_m , записывается в регистр.

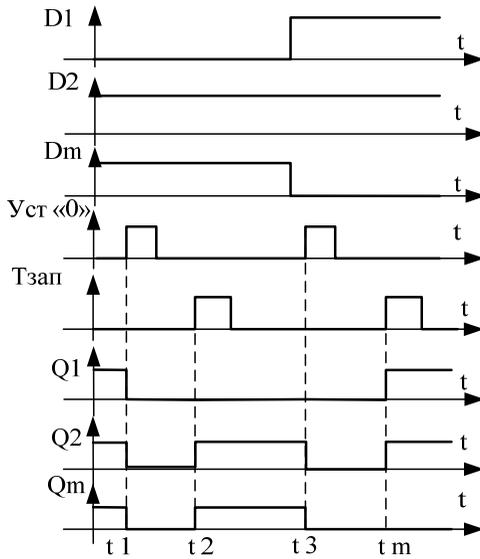
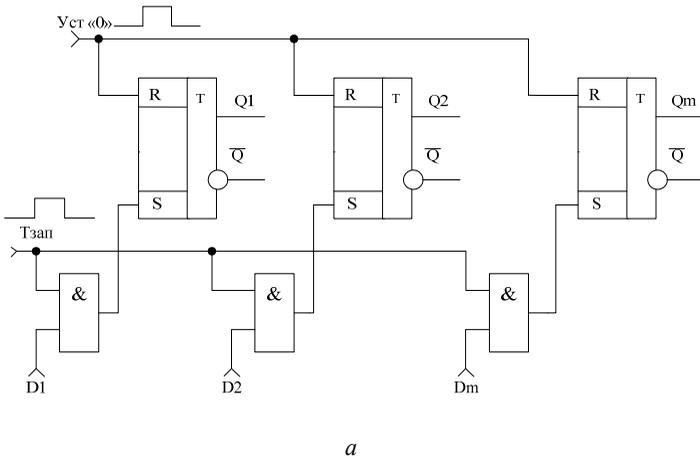


Рис. 5.11. Запись информации в прямом коде по установочному входу S с предварительной установкой регистра в «0»

Т. е. триггер, на вход которого подается сигнал логической «1» с ЛЭ И (вход $D = 1$, $T_{\text{зап}} = 1$), переходит в состояние «1».

Триггер на установочный вход S которого подается сигнал логического «0» с ЛЭ И (вход $D = 0$, $T_{\text{зап}} = 1$), остается в состоянии логического «0», обусловленном сигналом Уст «0».

Регистр хранит записанную информацию до момента времени t_3 . К этому моменту времени на входах $D_1, D_2 \dots D_m$ установлены новые данные.

В момент t_3 подается сигнал Уст «0», в момент t_4 сигнал $T_{\text{зап}} = 1$ – в регистр будут записаны новые данные.

Недостатком приведенной схемы является необходимость подачи предварительного сигнала Уст «0».

Если триггер имеет установочные инверсные входы (\bar{R} , \bar{S}), то для записи информации подаваемой на входы D в прямом коде необходимо вместо ЛЭ И использовать ЛЭ И-НЕ, а в цепь Уст «0» включить инвертор.

Запись информации по установочному входу R с предварительной установкой в «1» всех триггеров регистра.

На рис. 5.12. представлена схема (а) и диаграмма (б) работы данного регистра.

Как и в предыдущей схеме (рис. 5.11) комбинационная схема обеспечивающая запись информации в регистр (в данном случае по установочному входу R) включает в себя m -логических элементов И, где m – разрядность регистра.

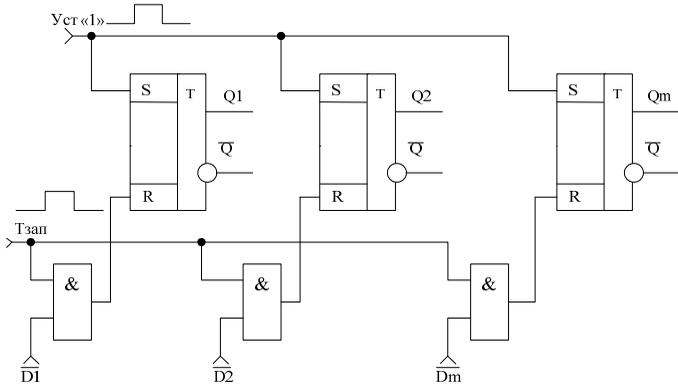
До записи информации в регистр все триггеры регистра устанавливаются в состояние «1» по установочным входам S сигналом записи Уст «1» (высокий).

Особенностью работы данного регистра является то, что разряды информации, которые подаются на установочные входы R триггеров регистра, должны подаваться в обратном коде.

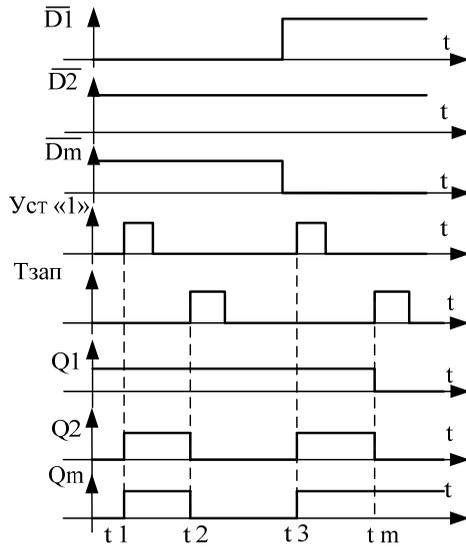
Для установки триггера, например, в состояние «1», на вход S должна быть подана «1», а на вход $R = 0$, т. е. обратный код от «1».

Для записи информации в регистр поступает сигнал $T_{\text{зап}}$ и в состояние логического «0» устанавливаются только те триггеры регистра, на которые подается обратный код разряда информации, равный «1» (на входы логического элемент I подается сигнал $T_{\text{зап}}$ и разряд \bar{D}_i).

Остальные триггеры останутся в состоянии «1».



a



б

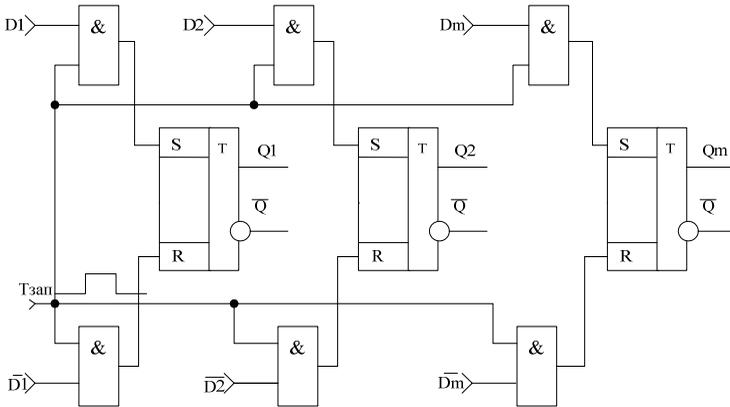
Рис. 5.12. Запись информации по установочному входу R с предварительной установкой в «1» всех триггеров регистра

Недостатком приведенной схемы является:

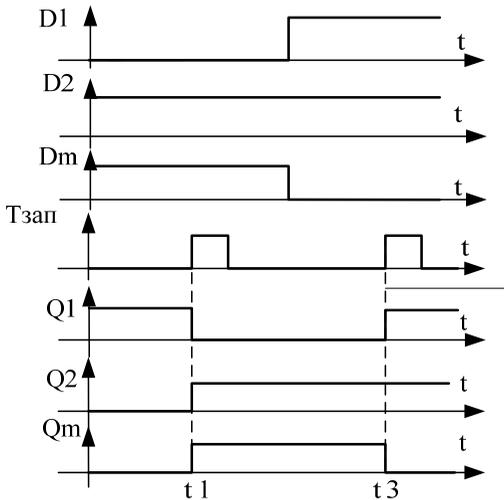
- необходимость подачи предварительного сигнала Уст «1» на входы S всех триггеров регистра;

– наличие обратного кода информации (чаще всего цифровые приборы используют прямой код).

Запись информации парафазным кодом. На рис. 5.13 представлена схема (а) и диаграмма (б) работы данного регистра.



а



б

Рис. 5.13. Запись информации в регистр парафазным кодом

При записи парафазным кодом прямой код разрядов информации подается на вход S , обратный код разрядов информации подается на вход R .

Достоинством данной схемы является отсутствие сигнала предварительной установки регистра в состояние нуля (рис. 5.11) или всех триггеров регистра в состояние единицы (рис. 5.12).

Недостатком данной схемы является требование наличия парафазного (прямого и обратного) кода информации.

Если устройство работает только с прямым кодом, то для формирования обратного кода необходимо в комбинационной схеме предусмотреть m -инверторов. В данном случае сигнал записи информации в регистр ($T_{\text{зап}}$) должен подаваться с учетом дополнительной задержки на инверторе.

Если использовать схемотехническое решение, приведенное на рис. 5.14, то обратный код разрядов информации формируется с помощью ЛЭ И-НЕ.

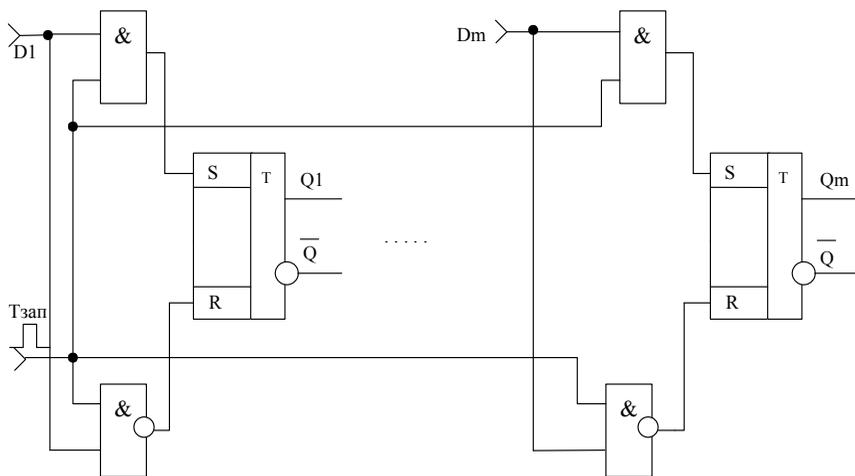


Рис. 5.14. Схема парафазного ввода

На входы ЛЭ И и И-НЕ подается прямой код разрядов числа и управляющий сигнал $T_{\text{зап}}$ (высокий).

В стандартных сериях регистры, срабатывающие по уровню, представлены гораздо меньше, чем регистры, срабатывающие по фронту.

На рис. 5.15 показана в качестве примера ИМС 8-разрядного регистра.

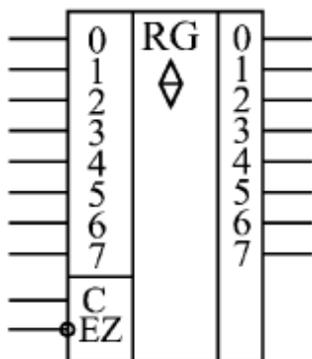


Рис. 5.15. ИМС регистра, срабатывающие по уровню

Стробирующий вход C (нередко на схемах обозначают как E от английского «Enable» – «разрешение») – прямой.

Регистр имеет выходы с тремя состояниями (3С). Управление состоянием 3С обеспечивает вход разрешения \overline{EZ} .

Всеми восемью разрядами управляет один стробирующий сигнал C .

При логической единице на входе C регистр работает как буфер-повторитель, т. е. на выходы передается информация, присутствующая на входах.

При нуле на входе C регистр хранит ту информацию, которая была на входе в момент сигнала C соответствующего логическому 0.

Выходы у регистра прямые.

Как и все регистры с тремя состояниями выхода, регистр имеет повышенную нагрузочную способность.

Основное применение регистра, срабатывающего по уровню стробирующего сигнала, состоит в запоминании на какое-то заданное время входного кода, причем в остальное время выходной код регистра должен повторять входной (рис. 5.16 – когда сигнал Строб = 1 Выходной код соответствует входному коду, а когда сигнал Строб = 0, то выходной код равен Код1, т. е. коду который был входным на момент Строб = 0).

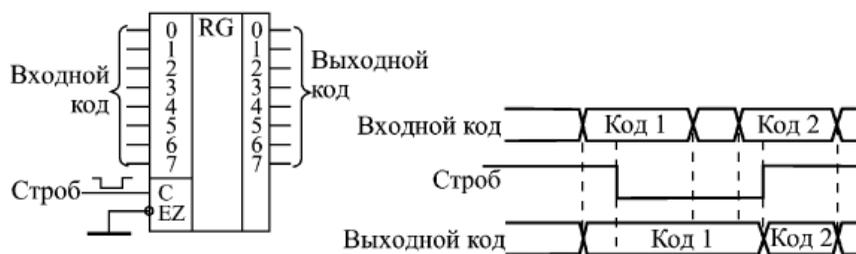


Рис. 5.16. Продление длительности входного кода с помощью регистра-защелки

Стробирующий сигнал C должен быть отрицательным на все время запоминания, и запоминаться будет входной код регистра в момент отрицательного (переднего) фронта сигнала C .

Подобная функция бывает, например, необходима при построении устройств сопряжения для компьютеров. Т. е. регистр продлевает во времени необходимое значение входного кода, в остальное время работает как повторитель.

В ряде случаев регистры данного типа могут успешно заменять регистры, срабатывающие по фронту.

Например, такая замена возможна в случае необходимости запоминания входного кода по сигналу C до момента прихода следующего сигнала C (рис. 5.17).

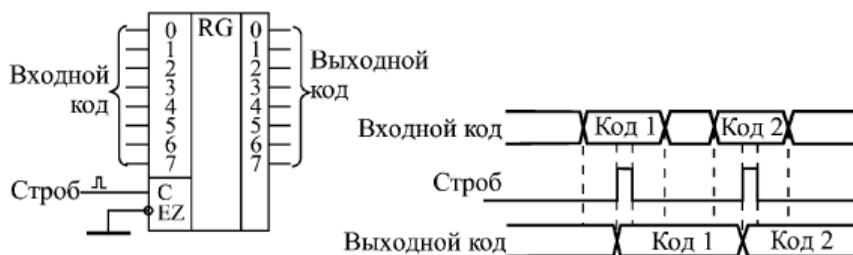


Рис. 5.17. Использование регистра-защелки для замены регистра, срабатывающего по фронту

Сигнал C в данном случае должен быть коротким положительным импульсом, причем он обязательно должен быть «вложен» в запоминаемый входной код (рис. 5.17), то есть начинаться после

начала (момента установления) кода (например, Код1 и Код2 на рис. 5.17), а заканчиваться до конца (момента снятия) кода (это так называемый вложенный цикл).

По переднему фронту сигнала C регистр перейдет в режим пропускания входного кода, а по заднему – в режим его хранения.

Поэтому записываемый код на выходе регистра появится по положительному фронту сигнала C , то есть точно так же, как и в случае регистра, срабатывающего по фронту.

Однако подобная замена регистра, срабатывающего по фронту, на регистр, срабатывающий по уровню, возможна далеко не всегда.

Некоторые схемы в принципе не могут работать с регистром-защелкой даже при очень коротком сигнале на входе C .

Примером может служить уже упоминавшаяся схема накапливающего сумматора, которая работает исключительно с регистром, срабатывающим по фронту.

При единичном сигнале на входе C регистр-защелка тут же перейдет в состояние пропускания входного кода, и в результате замкнется лавинообразная обратная связь: код с выхода регистра будет складываться со входным кодом бесконечное число раз (рис. 5.18).

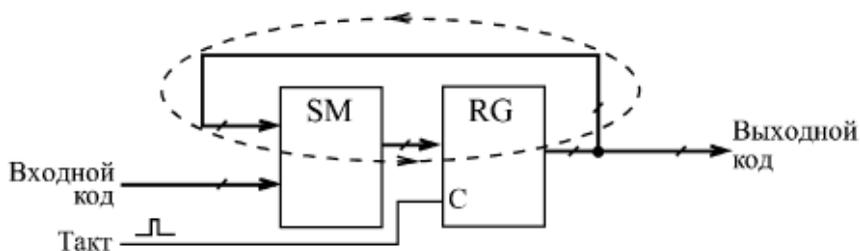


Рис. 5.18. Лавинообразная обратная связь в накапливающем сумматоре с регистром-защелкой

При коротком импульсе на входе C этот неуправляемый процесс быстро прекратится, но какая информация в результате останется в регистре после окончания сигнала C , предсказать невозможно.

Таких схем, которые принципиально не допускают применения регистра-защелки, довольно много.

Именно поэтому использование их сильно ограничено, а выбор микросхем в стандартных сериях невелик.

5.1.3. Регистры срабатывающие по фронту

Тактируемые регистры. Принцип действия регистров, срабатывающих по фронту тактового сигнала, ничем не отличается от принципа действия D -триггера.

По положительному фронту тактового сигнала C каждый из выходов регистра устанавливается в тот уровень, который был в этот момент на соответствующем данному выходу входе D , и сохраняется таковым до прихода следующего положительного фронта сигнала C .

Т. е., если триггер запоминает один двоичный разряд (один бит), то регистр запоминает сразу несколько (4, 6, 8, 16) разрядов.

Информация, записанная в регистр, сохраняется до момента выключения питания схемы.

На рис. 5.19 представлена схема регистра памяти на D -триггерах, в котором данные в прямом коде подаются на входы $D1, D2, \dots, Dm$.

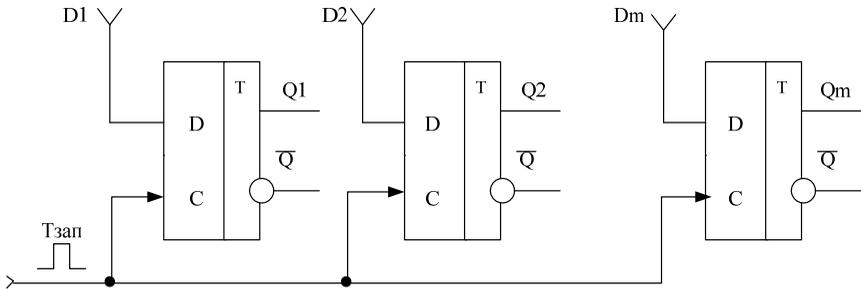


Рис. 5.19. Запись информации параллельным кодом

Запись информации осуществляется фронтом сигнала $T_{зап}$ (тактовый командный импульс), который одновременно поступает на входы C всех триггеров (рис. 5.20).

Пусть регистр хранит информацию ($Q1 = 0, Q2 = 1, \dots, Qm = 1$), вводимые данные соответствуют значению ($D1 = 1, D2 = 0, \dots, Dm = 1$).

При поступлении сигнала $T_{зап}$ в регистр будет записана информация, соответствующая значениям на входах $D1 \dots Dm$ (рис. 5.20).

На рис. 5.21 представлена схема регистра памяти на JK -триггерах.

В данной схеме данные подаются парафазным кодом (прямой код $D1, D2, \dots, Dm$ – на вход J , обратный кода – на вход K).

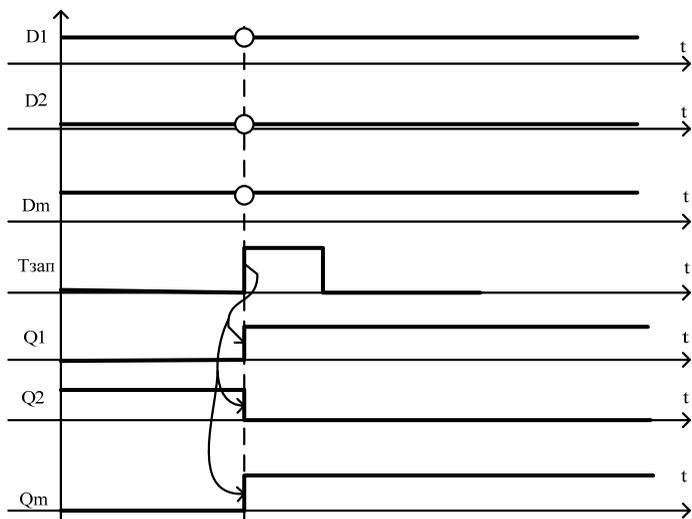


Рис. 5.20. Диаграмма записи информации в тактируемый регистр

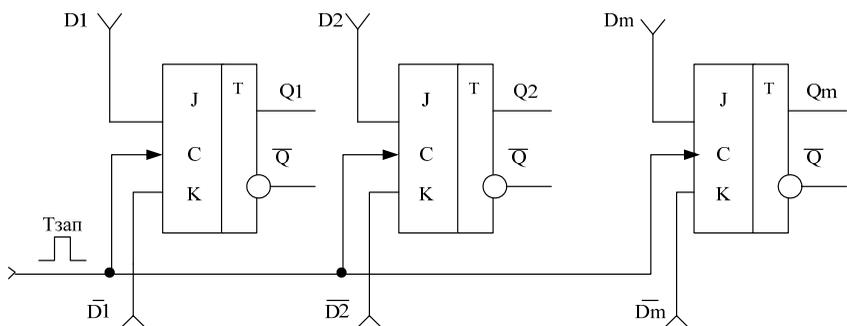


Рис. 5.21. Запись информации парафазным кодом

Изменение хранящейся информации в регистре памяти (запись новой информации) осуществляется после установки на входах $D1, \dots, Dm$ новой цифровой комбинации (информации) при поступлении фронта синхросигнала (синхроимпульса) $T_{\text{зап}}$ на входы C всех триггеров регистра.

Количество разрядов записываемой цифровой информации определяется разрядностью регистра, а разрядность регистра, в свою очередь, определяется количеством триггеров, образующих этот регистр.

В качестве разрядных триггеров регистра памяти используются синхронизируемые уровнем или фронтом триггеры.

Наращивание разрядности регистров памяти достигается добавлением нужного числа триггеров, тактовые входы которых присоединяют к шине синхронизации.

В стандартные серии входит несколько типов параллельных регистров, срабатывающих по фронту (рис. 5.22).

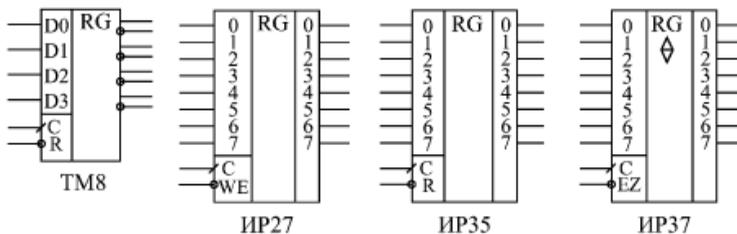


Рис. 5.22. Параллельные регистры стандартных серий, срабатывающие по фронту

Различаются они количеством разрядов, наличием или отсутствием инверсных выходов, наличием или отсутствием входа сброса (\bar{R}) или разрешения записи (\overline{WE}), а также типом выходных каскадов ($2C$ или $3C$) и, соответственно, наличием или отсутствием входа разрешения – EZ .

Иногда на схемах тактовый вход C обозначается WR – сигнал записи в регистр.

ИМС регистров могут иметь выход $2C$ (логический выход) или $3C$ (выход с тремя состояниями).

Все регистры, имеющие выход с тремя состояниями ($3C$), обеспечивают повышенную нагрузочную способность. Задержка переключения регистров примерно соответствует задержке переключения триггеров.

Все временные ограничения, накладываемые на входные сигналы в случае триггеров, справедливы и для входных сигналов регистров.

Например, не должна быть слишком малой длительность сигнала C , а также не должна быть слишком малой задержка между установлением сигнала D и приходом положительного фронта сигнала C . Иначе работа регистра может быть нестабильной или даже неправильной.

Одно из основных применений регистров состоит в хранении требуемого кода в течение нужного времени.

На рис. 5.23 показана типичная схема включения регистра для хранения кода и временная диаграмма его работы.

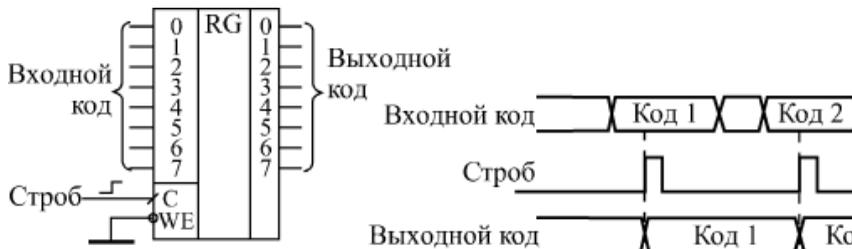


Рис. 5.23. Хранение кода в параллельном регистре

Код на входе регистра может изменяться произвольным образом, но в тот момент, когда этот код принимает необходимое значение, на вход C триггера подается синхросигнал (строб), который записывает код в регистр.

Этот код будет храниться в регистре до прихода следующего строба.

Важно и то, что все разряды выходного кода регистра будут переключаться одновременно даже в том случае, когда разряды входного кода переключаются не одновременно. Главное, чтобы к приходу положительного фронта строба (сигнала C) все разряды входного кода приняли нужное, устойчивое значение.

Еще одно важнейшее применение регистров связано с запоминанием нескольких последовательных значений изменяющегося входного кода.

Это позволяет, например, сравнивать предыдущее значение кода с последующим значением этого же кода или производить арифметические операции над несколькими последовательными значениями одного и того же кода.

То есть регистр в данном случае выступает как элемент линии задержки, хранящей в себе историю поведения входного кода.

Для примера на рис. 5.24 показана схема вычисления разности двух последовательных значений входного кода. Такая задача возникает, в частности, при цифровой обработке аналоговых сигналов. По-

следовательные значения входного четырехразрядного кода сопровождаются тактовым сигналом, по положительному фронту которого производится запись в два последовательно включенных регистра.

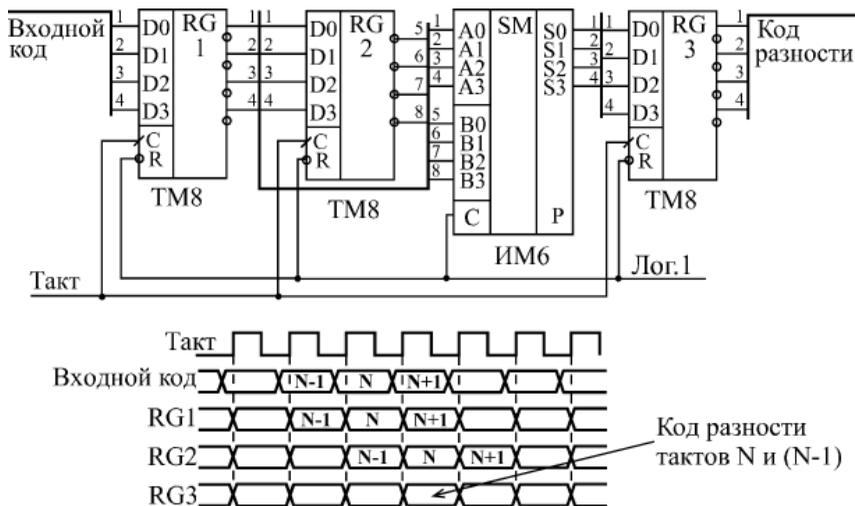


Рис. 5.24. Схема вычисления разности значений кодов в двух последовательных тактах

Когда на выходе регистра RG1 присутствует N -е значение входного кода, на выходе регистра RG2 будет $(N - 1)$ -е значение этого же кода.

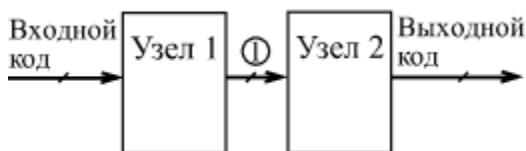
Подавая эти два кода с выходов регистров на четырехразрядный сумматор, включенный в режиме вычитания, на выходе сумматора получается код разности между N -м значением и $(N - 1)$ -м значением.

Для обеспечения строго одновременного изменения выходных сигналов сумматора можно включить дополнительный выходной регистр RG3, тактируемый тем же самым общим тактовым сигналом.

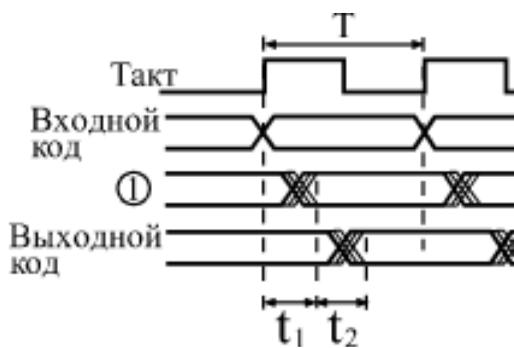
Код разности при этом будет задержан на один такт.

Регистры также широко используются для организации конвейерной обработки, позволяющей существенно повысить тактовую частоту работы схемы. Ускорение при этом достигается за счет распараллеливания работы нескольких последовательно включенных узлов схемы.

Пусть, например, последовательность входных кодов, следующих с периодом T , поступает на вход цепочки из двух узлов, производящих обработку или преобразование этих кодов (рис. 5.25, а).



а



б

Рис. 5.25. Работа последовательной цепочки двух узлов

Узлы эти могут представлять собой комбинационные микросхемы (например, сумматоры) или более сложные устройства, включающие в себя микросхемы счетчиков или микросхемы памяти.

Главное состоит в том, что выходные сигналы этих узлов выставляются не мгновенно, а в течение какого-то конечного времени, величина которого определяется внутренним строением узла.

Пусть:

- задержка установления выходного кода первого узла равняется t_1 ;
- задержка установления выходного кода второго узла составляет t_2 .

Очевидно, что период следования входных кодов T не должен быть меньше, чем сумма этих двух задержек (рис. 5.22, б):

$$T > t_1 + t_2.$$

Иначе код на выходе цепочки может никогда не принять устойчивого значения, так как переходный процесс предыдущего такта будет сменяться переходным процессом следующего такта.

То есть быстродействие узлов накладывает жесткое ограничение на тактовую частоту.

Регистры могут также применяться в составе вычислителей, выполняя функцию накопителя результата вычисления.

Рассмотрим пример схемы такого вычислителя – накапливающий сумматор.

В самом названии схемы отражена ее функция: она суммирует и накапливает результат.

Накапливающий сумматор (рис. 5.26) состоит из сумматора (SM) и выходного регистра (RG).

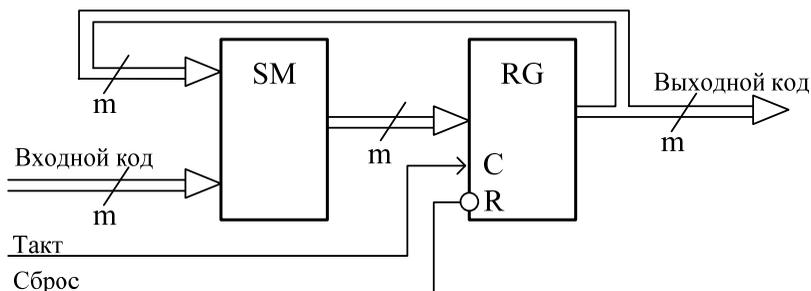


Рис. 5.26. Структурная схема накапливающего сумматора

Сумматор и выходной регистр охвачены обратной связью, т. е. выходной код, записанный в регистр, поступает на входы сумматора.

Разрядность входного и выходного кодов – m .

То есть на один вход сумматора подается код с выходов регистра, а на другой вход – входной код.

В результате с каждым следующим фронтом тактового сигнала в регистр записывается код суммы входного кода с предыдущим содержимым регистра, с предыдущей суммой.

Например, если входной код равен 3, а в регистре записан код 6, то в следующем такте в регистр будет записан код 9 (то есть $6 + 3$), в следующем такте – код 12 (то есть $9 + 3$) и т. д.

Получается, что на выходе накапливающего сумматора формируется равномерно увеличивающийся двоичный код, и шаг этого увеличения можно менять.

В данном случае необходимо применять регистр со сбросом, чтобы до начала накопления сбросить предыдущую накопленную величину.

Отметим три особенности накапливающего сумматора.

Во-первых, когда выходной код достигает максимальной величины (становится больше 2^n , где n – количество разрядов регистра), происходит переполнение схемы и возобновление ее работы с минимальных значений кода. Однако совсем не обязательно в следующем цикле работы будут повторены те же значения кода, что и в предыдущем.

Например, пусть n равняется 4, то есть максимальное число на выходе регистра равно 1111 в двоичном коде или 15 в десятичном коде. Пусть входной код равен 3. Тогда после начального сброса регистра выходной код будет нарастать так: 0, 3, 6, 9, 12, 15, 2, 5, 8, 11, 14, 1, 4, ...

Это происходит потому, что суммирование чисел 15 и 3 даст 18 или, в двоичном коде, 10010, а так как мы работаем только с младшими четвертью разрядами, у нас получится 0010 или 2.

Во-вторых, особенность накапливающего сумматора состоит в том, что при больших значениях входного кода (больших половины максимально возможной величины) он может рассматриваться как накапливающий вычитатель.

Пусть, например, входной код четырехразрядного сумматора равен 15 (1111 в двоичном коде), а в регистре записано число 13 (1011 в двоичном коде). В следующем такте в регистр запишется сумма $1101 + 1111 = 11100$, а без старшего разряда – 1100, то есть 12. То есть выходной код уменьшился на единицу.

В-третьих, совсем не обязательно шаг нарастания выходного кода накапливающего сумматора должен быть целым числом (то есть 0, 1, 2, 3, ...). Если в качестве выходного кода берутся не все, а только старшие разряды регистра, то шаг нарастания вполне может быть дробным, например, 0,5, 1,25 или 3,75. Не вошедшие в выходной код разряды будут иметь вес 2^{-1} (то есть 0,5), 2^{-2} (то есть 0,25) и т. д. Правда результат суммирования в выходном коде будет представлен с точностью до целых чисел. При этом возможна ситуация, когда в течение нескольких тактов код на выходе не меняется, например, при входном коде 0,5 выходной код будет меняться один раз на два такта, а при входном коде 0,25 – один раз на четыре такта.

На рисунке 5.27 показана схема восьмиразрядного накапливающего сумматора на двух микросхемах сумматоров ИМ6 и одном регистре ИР35. В качестве выходного кода используется только 6 старших разрядов с выхода регистра, поэтому задание шага приращения возможно с точностью до 0,25. Максимально возможная частота тактового сигнала может быть определена по формуле:

$$T > t^{SM} + t^{RG},$$

где T – период тактового сигнала;
 t^{SM} – задержка восьмиразрядного сумматора;
 t^{RG} – задержка регистра.

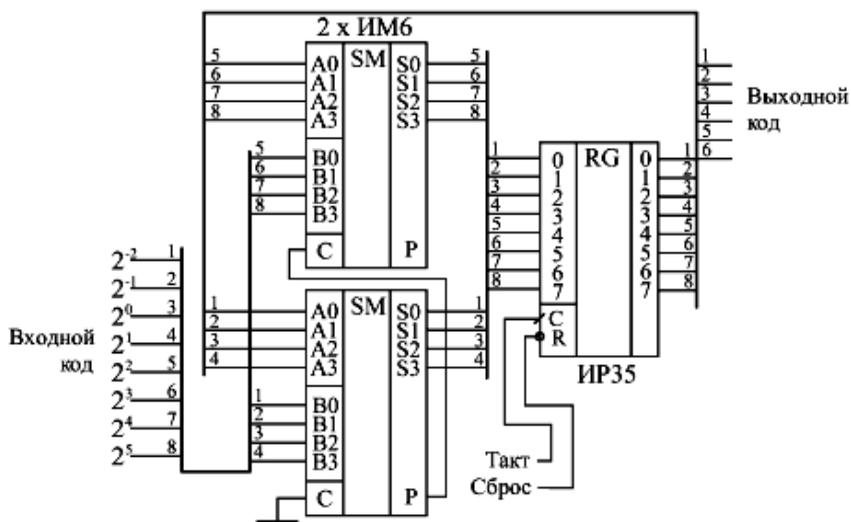


Рис. 5.27. Схема накапливающего сумматора

5.1.4. Регистры сдвига

Регистры сдвига или сдвиговые регистры (англ. shift register) представляют собой последовательно соединенную цепочку триггеров.

Т. е. в сдвиговых регистрах все триггеры соединены в последовательную цепочку (выход каждого предыдущего триггера соединен со входом D следующего триггера).

Тактовые входы всех триггеров (C) объединены между собой. В результате такой триггер может рассматриваться как линия задержки, входной сигнал которой последовательно перезаписывается из триггера в триггер по фронту тактового сигнала C .

Информационные входы и выходы триггеров могут быть выведены наружу, а могут и не выводиться – в зависимости от функции, выполняемой регистром.

Основной режим их работы – это сдвиг разрядов кода, записанного в эти триггеры.

То есть по тактовому сигналу содержимое каждого предыдущего триггера переписывается в следующий по порядку в цепочке триггеров.

Код, хранящийся в регистре, с каждым тактом сдвигается на один разряд в сторону старших разрядов или в сторону младших разрядов, что и дало название регистрам данного типа.

На схемах символом регистра служат буквы RG . Для регистров сдвига указывается также направление сдвига:

→ вправо (основной режим, который есть у всех сдвиговых регистров);

← влево (этот режим есть только у некоторых, реверсивных сдвиговых регистров);

↔ реверсивный (двунаправленный), т. е. записанную информацию можно сдвигать по линейке триггеров вправо или влево. Для включения режима сдвига предусматривают специальный управляющий вход.

Направление сдвига отражает внутреннюю структуру регистров сдвига (рис. 5.28) и перезапись сигналов последовательно по цепочке триггеров.

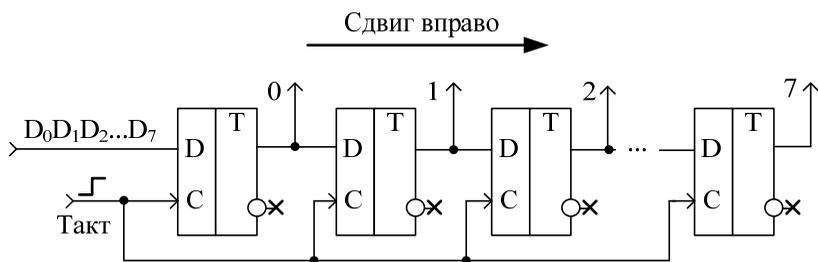


Рис. 5.28. Направление сдвига в сдвиговых регистрах

При этом триггеры, вполне естественно, нумеруются слева направо, например, от 0 до 7 (или от 1 до 8) для 8-разрядных регистров.

В результате сдвиг информации регистром вправо представляет собой сдвиг в сторону разрядов, имеющих большие номера, а сдвиг информации регистром влево – это сдвиг в сторону разрядов, имеющих меньшие номера.

Однако, как известно, в любом двоичном числе слева расположены старшие разряды, а справа – младшие разряды. Поэтому сдвиг двоичного числа вправо будет сдвигом в сторону младших разрядов, а сдвиг влево – сдвигом в сторону старших разрядов. О такой особенности необходимо помнить разработчику цифрового прибора.

Сдвиг информации в регистре влево – это сдвиг в сторону разрядов, имеющих меньшие номера (младших разрядов), т. е. на вход D триггера старшего разряда число подается, начиная с младшего разряда (рис. 5.29).

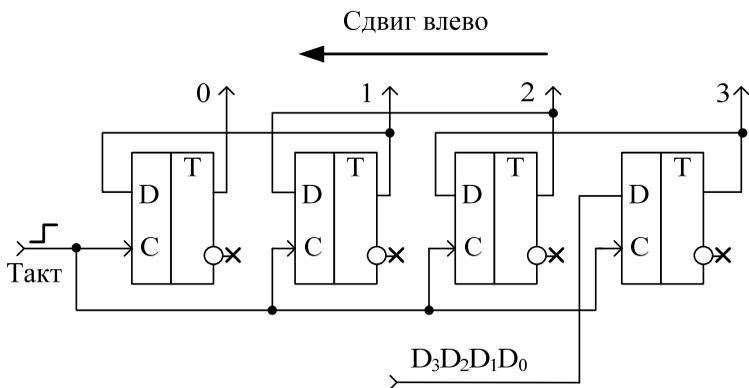


Рис. 5.29. 4-х разрядный регистр сдвига влево

Регистры сдвига могут выполнять функции хранения и преобразования информации.

Все регистры сдвига строятся на базе двухступенчатых триггеров или синхронизируемых фронтом синхроимпульса.

Регистры сдвига могут быть построены и на триггерах одноступенчатой структуры. В этом случае в каждом разряде регистра нужно использовать два триггера, которые управляются двумя сдвинутыми во времени тактовыми импульсами.

Разрядность регистров сдвига, как и у регистров хранения, определяется количеством триггеров, входящих в их состав.

Если бы в регистре были применены одноступенчатые триггеры по одному на разряд, то правило работы регистра было бы нарушено: при первом же импульсе сдвига информация, записавшись в первый разряд, перешла бы во второй, затем в третий и т. д.

Реверсивные регистры сдвига объединяют в себе свойства регистров прямого и обратного сдвига.

Разряд реверсивного регистра представлен на рис. 5.30.

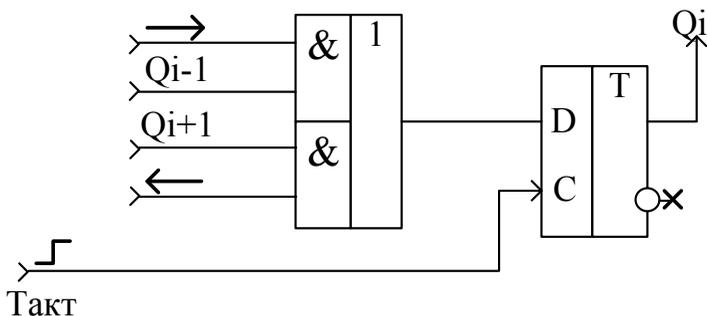


Рис. 5.30. Разряд реверсивного регистра

Регистры сдвига могут быть использованы для построения умножителей и делителей чисел двоичной системы счисления, т. к. сдвиг двоичного числа влево на один разряд соответствует умножению его на два, а сдвиг вправо – делению на два.

Регистры сдвига широко используются для выполнения различных временных преобразований цифровой информации:

- последовательное накопление последовательной цифровой информации с последующей одновременной выдачей (преобразование последовательной цифровой информации в параллельный код);
- одновременный прием (параллельный прием) информации с последующей последовательной выдачей (преобразование параллельного кода в последовательный).

Регистры сдвига могут служить также в качестве элементов задержки сигнала, представленного в цифровой форме: регистры с последовательным приемом (вводом) и выводом осуществляют задержку передачи информации на $m + 1$ тактов ($m + 1$ – число разря-

дов регистра) машинного времени. Регистры сдвига чаще всего реализуются на D-триггерах (рис. 5.29).

Работу регистра сдвига рассмотрим на примере схемы, приведенной на рис. 5.31.

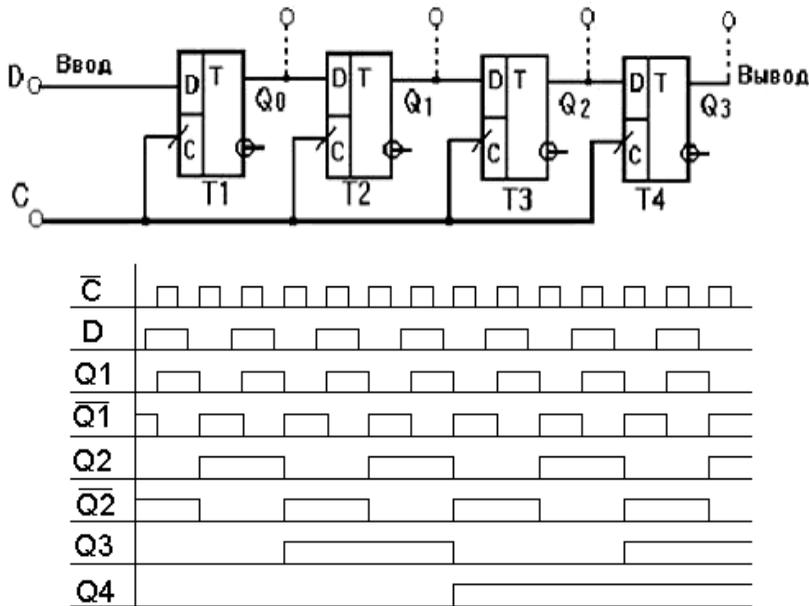


Рис. 5.31. Схема регистр сдвига вправо и диаграмма его работы

Можно предположить, что в начальный момент времени все триггеры регистра находятся в состоянии логического нуля, т. е. $Q0 = 0, Q1 = 0, Q2 = 0, Q3 = 0$.

Если на входе D-триггера T1 имеет место логический 0, то поступление синхроимпульсов на входы «C» триггеров не меняет их состояния.

Как следует из рис. 5.31, синхроимпульсы поступают на соответствующие входы всех триггеров регистра одновременно и записывают в них то, что имеет место на их информационных входах.

На информационных входах триггеров T2, T3, T4 – уровни логического «0», т. к. информационные входы последующих триггеров соединены с выходами предыдущих триггеров, находящихся в со-

стоянии логического «0», а на вход « D » первого триггера, по условию примера, подается «0» из внешнего источника информации.

При подаче на вход « D » первого триггера «1», с приходом первого синхрои импульса, в этот триггер запишется «1», а в остальные триггеры – «0», т. к. к моменту поступления фронта синхрои импульса на выходе триггера $T1$ «еще» присутствовал логический «0».

Таким образом, в триггер $T1$ записывается та информация (тот бит), которая была на его входе « D » в момент поступления фронта синхрои импульса и т. д.

При поступлении второго синхрои импульса логическая «1», с выхода первого триггера, запишется во второй триггер, и в результате происходит сдвиг первоначально записанной «1» с триггера $T1$ в триггер $T2$, из триггера $T2$ в триггер $T3$ и т. д.

Таким образом, производится последовательный сдвиг поступающей на вход регистра информации (в последовательном коде) на один разряд вправо в каждом такте синхрои импульсов.

После поступления m синхрои импульсов регистр оказывается полностью заполненным разрядами числа, вводимого через последовательный ввод « D ».

В течение следующих четырех синхрои импульсов производится последовательный поразрядный вывод из регистра записанного числа, после чего регистр оказывается полностью очищенным (регистр окажется полностью очищенным только при условии подачи на его вход уровня «0» в режиме вывода записанного числа).

Реверсивные регистры сдвига объединяют в себе свойства регистров прямого и обратного сдвига (рис. 5.32).

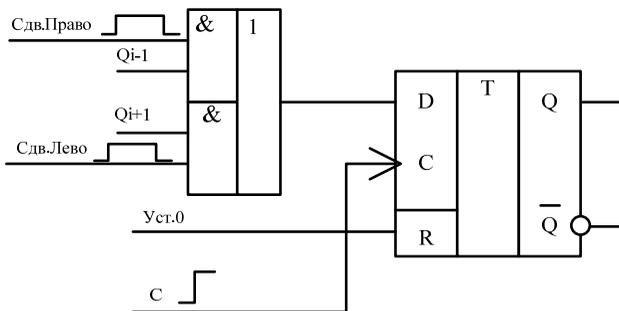


Рис. 5.32. Разряд реверсивного регистра

Как видно из рисунка на каждый разряд при сдвиге вправо на вход D триггера подается сигнал с выхода Q_{i-1} , а при сдвиге влево – с выхода Q_{i+1} , что обеспечивается активным сигналом Сдв.Право (высокий) или Сдв.Лево (высокий).

Одновременно сигналы Сдв.Право и Сдв.Лево активными быть не могут, т. е. их произведение должно быть равно 0. Если оба сигнала неактивны – регистр хранит ранее записанную информацию.

До ввода числа в регистр каждый разряд триггера устанавливается в состояние «0» (сбрасывается) сигналом Уст.0 (высокий), который подается на входы R всех триггеров регистра.

С поступлением фронта на вход C в регистр записывается очередная разряд информации.

В стандартные серии цифровых микросхем входит несколько типов сдвиговых регистров, отличающихся возможными режимами работы, режимами записи, чтения и сдвига, а также типом выходных каскадов (2C или 3C).

На рис. 5.33 представлены некоторые интегральные микросхемы регистров сдвига.

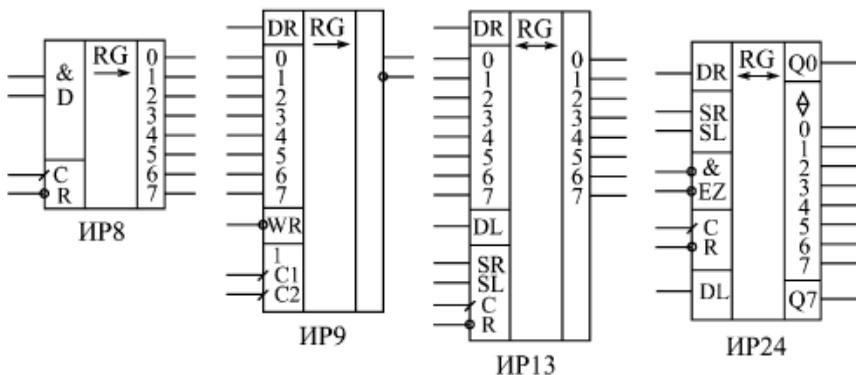


Рис. 5.33. ИМС регистров сдвига

Регистр IP8 – наиболее простой из регистров сдвига. Он представляет собой 8-разрядную линию задержки, то есть имеет только один информационный вход, на который подается последовательная сдвигаемая информация (точнее, два входа, объединенных по функции 2И), и восемь параллельных выходов.

Сдвиг в сторону выходов со старшими номерами осуществляется по переднему фронту тактового сигнала C .

Имеется также вход сброса \bar{R} , по нулевому сигналу на котором все выходы регистра сбрасываются в нуль.

На рис. 5.34 представлен пример увеличения разрядности регистра на примере ИМС ИР9.

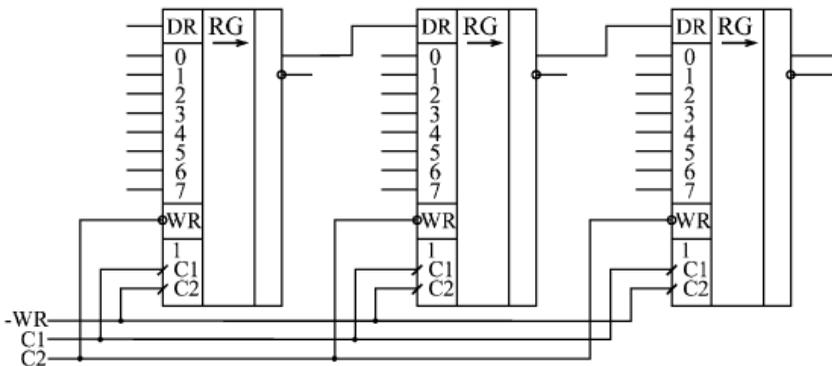


Рис. 5.34. Объединение регистров ИР9 для увеличения разрядности

Регистр ИР24 имеет двунаправленную параллельную шину данных. То есть одни и те же выводы микросхемы используются как для параллельной записи информации в регистр, так и для параллельного чтения информации из регистра.

При этом двунаправленные выводы данных имеют повышенную нагрузочную способность. Это позволяет легко сопрягать ИР24 с многоразрядными микросхемами памяти и с двунаправленными буферами.

Регистр ИР24 обеспечивает сдвиг информации в обоих направлениях. Имеются входы расширения DR и DL , а также выходы расширения $Q0$ и $Q7$, что позволяет легко наращивать разрядность.

Отличие выходов $Q0$ и $Q7$ от нулевого и седьмого разрядов данных состоит в том, что $Q0$ и $Q7$ – однонаправленные, то есть в любом режиме работы выдают информацию с выходов внутренних триггеров младшего и старшего разрядов.

Тактируется регистр положительным фронтом сигнала C .

Предусмотрен сброс регистра нулевым сигналом на входе \bar{R} .

Режим работы микросхемы определяется сигналами на управляющих входах SR и SL .

При единичном сигнале на SR и нулевом сигнале на SL по положительному фронту сигнала C происходит сдвиг информации вправо (в сторону разрядов с большими номерами).

Запись в разряд 0 производится при этом с входа расширения DR .

При единичном сигнале на SL и нулевом сигнале на SR по положительному фронту сигнала C происходит сдвиг информации влево (в сторону разрядов с меньшими номерами).

Запись в разряд 7 производится при этом с входа расширения DL .

При обоих нулях на входах SR и SL регистр переходит в режим хранения. Во всех этих случаях разряды данных работают как вход или как выход в зависимости от сигналов \overline{EZ} .

При обеих единицах на входах SR и SL по положительному фронту C в регистр записывается параллельный код, причем разряды данных переходят в состояние приема независимо от сигналов \overline{EZ} .

Объединяя два регистра ИР24, легко получить 16-разрядный сдвиговый регистр с сохранением всех возможностей одной микросхемы (рис. 5.35).

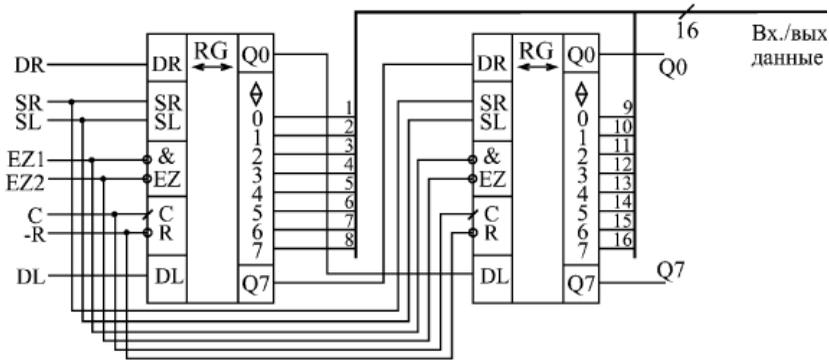


Рис. 5.35. Объединение регистров ИР24 для увеличения разрядности

Главное применение всех регистров сдвига состоит в преобразовании параллельного кода в последовательный, и наоборот.

Такое преобразование используется, например, при передаче информации на большие расстояния (в информационных сетях),

при записи информации на магнитные носители, при работе с телевизионными мониторами и с видеокамерами, а также во многих других случаях.

Для примера на рис. 5.36 показана простейшая схема передачи цифровой информации в последовательном коде по двум линиям: информационной и синхронизирующей.

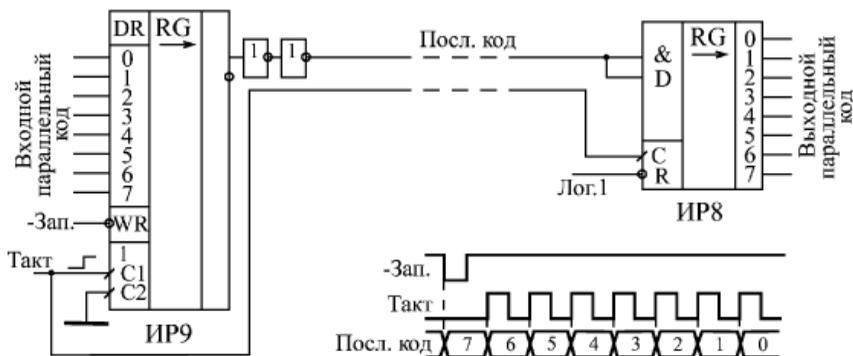


Рис. 5.36. Последовательная передача информации с помощью регистров сдвига

Такая передача позволяет сократить количество соединительных проводов, а также упростить защиту передаваемых данных от действия внешних электромагнитных помех, правда, ценой снижения скорости передачи.

На передающем конце (слева на рисунке) с помощью сдвигового регистра IP9 входной параллельный 8-разрядный код преобразуется в последовательность разрядов данных, следующих с частотой тактового сигнала.

На приемном конце (справа на рисунке) с помощью сдвигового регистра IP8 эта последовательность разрядов данных снова преобразуется в параллельный код.

Оба регистра тактируются одним и тем же тактовым сигналом, который передается по линии связи параллельно с последовательностью данных.

Для увеличения надежности передачи информационный (время установки кода на выходах регистра IP9 больше, чем время установки кода на выходах регистра IP8) сигнал дополнительно задер-

живается относительно фронта тактового сигнала с помощью цепочки из двух инверторов.

Первый бит последовательного входа (со входа 7 регистра ИР9) начинает передаваться с началом сигнала записи – Зап. (низкий).

Следующие разряды передаются с каждым следующим положительным фронтом тактового сигнала С. Последним передается сигнал со входа 0.

В регистр ИР8 разряды последовательного кода записываются в том же самом порядке, в каком они были в регистре ИР9.

По окончании передачи первый переданный сигнал данных окажется в разряде 7 шины данных регистра ИР8, а последний переданный сигнал данных – в разряде 0.

Следующее применение сдвиговых регистров состоит в организации всевозможных линий задержек, особенно имеющих значительное количество каскадов. С помощью сдвиговых регистров можно обеспечить задержку любого входного сигнала на целое число тактов. Правда, надо учитывать, что длительность входного сигнала (и любого его элемента) будет также передаваться по линии задержки с точностью до одного такта.

Такие линии задержки могут применяться для сравнения нескольких последующих тактов входного сигнала, для выполнения арифметических операций с несколькими тактами входного сигнала и для других подобных целей.

Работа линии задержки на регистре сдвига иллюстрируется рис. 5.37.

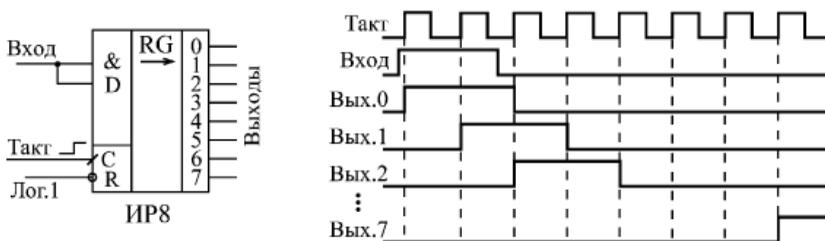


Рис. 5.37. Линия задержки входного сигнала на регистре сдвига

Сдвиговые регистры могут также использоваться для формирования импульсов заданной длительности, причем длительность им-

пульса может задаваться управляющим кодом, то есть быть программно управляемой.

На рис. 5.38 приведена схема такого формирователя.

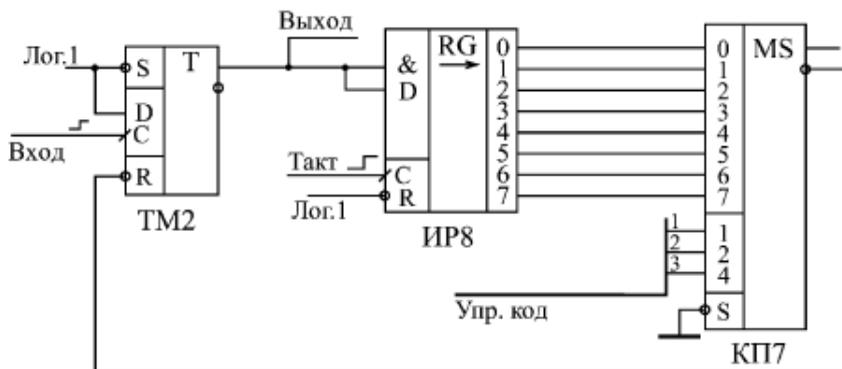


Рис. 5.38. Формирователь импульсов с длительностью, задаваемой управляющим кодом

В исходном состоянии (до прихода положительного фронта входного сигнала) триггер сброшен в нуль, на всех выходах регистра сдвига – нули, на инверсном выходе мультиплексора – единица.

На мультиплексор подан управляющий код, определяющий длительность выходного сигнала.

При поступлении положительного фронта входного сигнала триггер перебрасывается в единицу (начинается выходной сигнал), и этот единичный сигнал начинает последовательно сдвигаться регистром сдвига по каждому фронту тактового сигнала.

Пусть управляющий код равен 5.

Тогда в тот момент, когда на выходе 5 сдвигового регистра появится единица, она будет передана на выход мультиплексора KP7 с инверсией.

При этом нулевой сигнал на входе \bar{R} триггера сбросит триггер в нуль, то есть выходной сигнал закончится.

Таким образом, длительность выходного сигнала будет определяться управляющим кодом.

Погрешность установки этой длительности равна одному периоду тактового сигнала и зависит от временного сдвига между фрон-

том входного сигнала и фронтом ближайшего к нему тактового импульса.

Чем больше длительность выходного сигнала, тем меньше относительная погрешность установки его точности.

Например, при управляющем коде 0 длительность выходного сигнала может быть от 0 до T , где T – период тактового сигнала.

А при управляющем коде 7 длительность выходного сигнала будет от $7T$ до $8T$.

При этом не учитываются задержки триггера, сдвигового регистра и мультиплексора.

5.1.5. Способы вывода информации из регистра

Т. к. регистры строятся на триггерах, а триггер имеет прямой Q и инверсный \bar{Q} выходы, то существует несколько способов вывода информации из регистра.

1. Прямым параллельным m -разрядным кодом на m -разрядную шину (рис. 5.39).

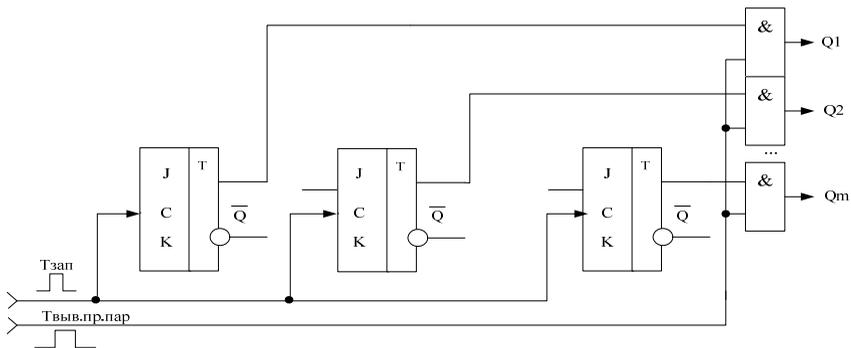


Рис. 5.39. Вывод информации прямым m -разрядным кодом на m -разрядную шину

Для вывода информации подается сигнал $T_{\text{выв.пр.пар}}$ высокого уровня.

Причем сигнал $T_{\text{выв.пр.пар}}$ должен быть подан после сигнала $T_{\text{зап}}$. (должно соблюдаться условие $T_{\text{зап}} \cdot T_{\text{выв.пр.пар}} = 0$) и необходимо учитывать время задержки самого триггера, на котором реализован регистр.

2. Обратным параллельным m -разрядным кодом на m разрядную шину (в обратном коде на одну шину), что представлено на рис. 5.40.

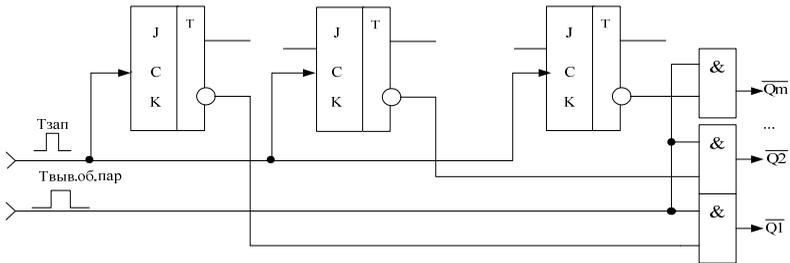


Рис. 5.40. Вывод информации обратным m -разрядным кодом на m -разрядную шину

Для вывода информации подается сигнал $T_{\text{выв.об.пар.}}$ высокого уровня.

При подаче управляющих сигналов должно соблюдаться условие:

$$T_{\text{зап.}} \cdot T_{\text{выв.об.пар.}} = 0.$$

3. Прямым или обратным параллельным m -разрядным кодом на m -разрядную шину (рис. 5.41).

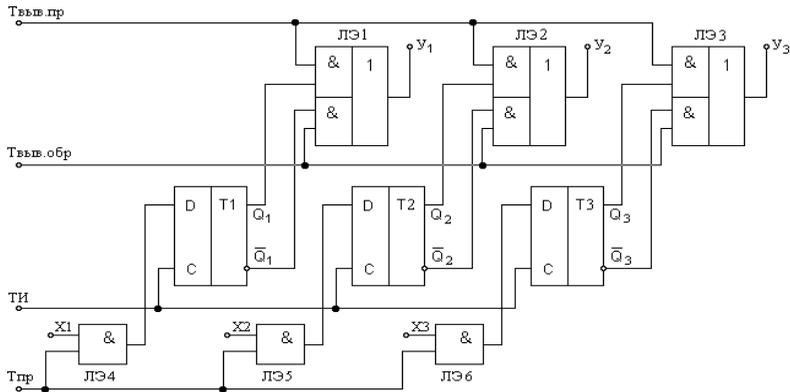


Рис. 5.41. Вывод информации прямым или обратным m -разрядным кодом на m -разрядную шину

Сигналы $T_{\text{выв.пр}}$ и $T_{\text{выв.обр}}$ подаваться вместе не могут, т. е. должно соблюдаться условие:

$$T_{\text{выв.пр.}} \cdot T_{\text{выв.обр.}} = 0.$$

Кроме этого сигналы вывода должны подаваться после сигнала записи (на примере показана запись параллельным прямым кодом) с учетом задержки триггера (в данном примере триггер D) аналогично схемам, представленным на рисунке 5.40 и рисунке 5.41.

В зависимости от поданного в данный момент времени сигнала вывода выход Y_i соответствует прямому (Q_i) или обратному ($\overline{Q_i}$) кодам.

4. Парафазным m -разрядным кодом (прямой m -разрядный код на одну шину, обратный m -разрядный код – на другую шину).

Из рис. 5.42 видно, что при подаче управляющего сигнала $T_{\text{выв.параф}}$ на одну шину m разрядную шину выводится прямой код числа, а на вторую m разрядную шину выводится обратный код числа.

Для корректной работы схемы должно соблюдаться условие

$$T_{\text{зап.}} \cdot T_{\text{выв.параф.}} = 0.$$

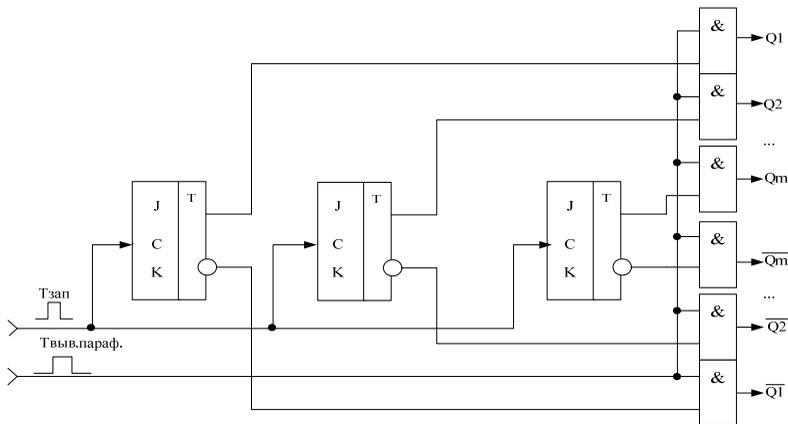


Рис. 5.42. Вывод информации парафазным m -разрядным кодом

Все перечисленные способы действительны и для последовательного вывода информации из регистра.

5.2. Счетчики

Счетчик представляет собой устройство, которое осуществляет счет сигналов, поступающих на его вход, а также хранение накапливаемой величины (рис. 5.43).

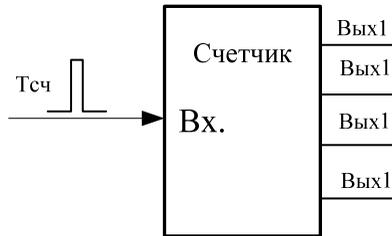


Рис. 5.43. Внешний вид счетчика

В основе любого счетчика лежат триггеры. Каждый из триггеров называется разрядом счетчика. В счетчиках триггеры соединены более сложными связями.

Как следует из самого названия, счетчики предназначены для счета входных импульсов, имеющих длительность $t_{сч}$.

Т. е. с приходом каждого нового входного импульса с длительностью $t_{сч}$ двоичный код на выходе счетчика увеличивается или уменьшается на единицу.

Внутренняя память счетчиков – оперативная, то есть ее содержимое сохраняется только до тех пор, пока включено питание схемы.

В цифровых приборах счетчик используется для:

- формирования последовательности чисел;
- деления частоты;
- подсчета количества сигналов.

Число разрядов счетчика определяется максимальной разрядностью числа, которое должно в нем храниться.

Двоичный N -разрядный счетчик имеет 2^N различных состояний.

Каждому состоянию соответствует двоичное число, начиная с 0 до $N - 1$.

Счетчики делятся на:

- счетчики с естественным порядком счета;
- счетчики с произвольным порядком счета.

Счетчик с естественным порядком счета изменяет код формируемого им выходного сигнала на единицу при поступлении на его вход (Вх) счетного импульса с длительностью $t_{сч}$, что приведено на рис. 5.44.

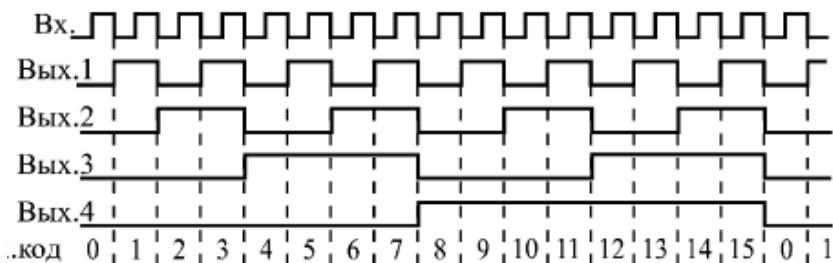


Рис. 5.44. Работа 4-разрядного двоичного счетчика

Счетчик с произвольным порядком счета, иначе его называют пересчетной схемой, формирует выходные сигналы только после подачи на его вход определенного числа счетных импульсов, имеющих длительность $t_{сч}$.

Срабатывать счетчик может по отрицательному фронту входного (тактового) сигнала или по положительному фронту.

Режим счета обеспечивается использованием внутренних триггеров, работающих в счетном режиме.

Выходы счетчика представляют собой выходы триггеров. Каждый выход счетчика представляет собой разряд двоичного кода, причем разряд, переключающийся чаще других (по каждому входному импульсу), будет младшим, а разряд, переключающийся реже других, – старшим рис. 5.45.

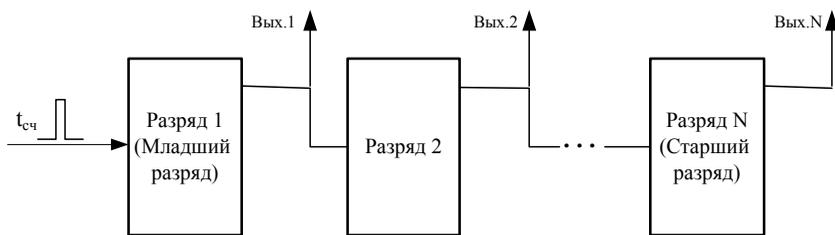


Рис. 5.45. Работа 4-разрядного двоичного счетчика

Параметры счетчика.

Основным параметром счетчика является модуль счета (иначе коэффициент счета) – $K_{сч}$.

Под коэффициентом счета подразумевают количество (N) поступивших на вход счетчика счетных импульсов с длительностью $t_{сч}$, которые возвращают счетчик или пересчетную схему в исходное состояние.

$$K_{сч} = 2^N.$$

Исходным состоянием для суммирующего счетчика является нулевое состояние (рис. 5.46, *а*), а для вычитающего счетчика – каждый триггер в состоянии 1 (рис. 5.46, *б*).

0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1
0	0	0

а

1	1	1
1	1	0
1	0	1
1	0	0
0	1	1
0	1	0
0	0	1
0	0	0
1	1	1

б

Рис. 5.46. Процесс двоичного счета при сложении (*а*) и при вычитании (*б*)

3-разрядный счетчик в режиме прямого счета будет считать от 0 (код 000) до 7 (код 111). После максимального значения кода (111) счетчик по следующему входному импульсу переключается опять в 0, то есть работает по кругу (рис. 5.46, *а*).

Если же счет – на вычитание, то счетчик считает от 7 (код 111) до нуля (код 000), а дальше переходит к максимальному коду 111 (рис. 5.46, *б*).

К основным параметрам счетчика кроме $K_{сч}$ относятся:

- разрешающая способность (t_p);
- время установления кода ($t_{уст}$).

Разрешающая способность (t_p) – минимально допустимый интервал времени между входными импульсами счета с длительностью $t_{сч}$, при котором еще не происходит сбоя, т. е. пропуска счета сигналов.

Время установки кода ($t_{уст}$) – это интервал времени между моментом поступления на вход импульса счета длительностью $t_{сч}$ и моментом завершения перехода счетчика в нулевое состояние (при процессе суммирования).

Быстродействие счетчика характеризуется временем установления в нем нового состояния, а также максимальной частотой ($F_{сч}$) поступления импульсов счета с длительностью $t_{сч}$.

По направлению счета счетчики классифицируются следующим образом:

- суммирующие;
- вычитающие;
- реверсивные.

Суммирующие счетчики работают на увеличение выходного кода по каждому входному импульсу; это основной режим, имеющийся во всех счетчиках, он называется режимом прямого счета.

По модулю счета ($K_{сч}$) счетчики делятся на:

- двоичные;
- двоично-десятичные;
- с произвольным модулем счета;

Большинство счетчиков работают в обычном двоичном коде (двоичные счетчики), то есть считают от 0 до $(2N - 1)$, где N – число разрядов выходного кода счетчика (рис. 5.46).

В двоично-десятичных счетчиках предельный код на выходе не превышает максимального двоично-десятичного числа, возможного при данном количестве разрядов.

Например, 4-разрядный двоично-десятичный счетчик в режиме прямого счета будет считать от 0 (код 0000) до 9 (код 1001), а затем снова от 0 до 9 (рис. 5.47, а).

При инверсном счете (счете на вычитание) двоично-десятичные счетчики считают до нуля (рис. 5.47, б), а со следующим входным импульсом переходят к максимально возможному двоично-десятичному числу (то есть 9 – для 4-разрядного счетчика).

Двоично-десятичные счетчики удобны, например, при организации десятичной индикации их выходного кода.

0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
0	0	0	0

a

1	0	0	1
1	0	0	0
0	1	1	1
0	1	1	0
0	1	0	1
0	1	0	0
0	0	1	1
0	0	1	0
0	0	0	1
0	0	0	0
1	0	0	1

б

Рис. 5.47. Процесс двоично-десятичного счета при сложении (*a*) и вычитании (*б*)

По способу организации внутренних связей счетчики классифицируются как:

- с последовательным переносом (асинхронные счетчики);
- с параллельным переносом (синхронные счетчики);
- с комбинированным переносом;
- кольцевые.

Классификационные признаки независимы и могут встречаться в различных сочетаниях, например, счетчик может быть двоичный суммирующий с параллельным переносом.

Принципиальные различия между этими группами проявляются только на втором уровне представления, на уровне модели с временными задержками.

Больше всего различия эти проявляются при каскадировании (увеличении разрядности) счетчиков.

Наибольшим быстродействием обладают синхронные счетчики (счетчики с параллельным переносом), наименьшим – асинхронные счетчики (счетчики с последовательным переносом), которые являются наиболее просто управляемыми.

Каждая группа счетчиков имеет свои области применения.

5.2.1. Счетчики с последовательным переносом (асинхронные счетчики)

Асинхронные счетчики строятся из простой цепочки триггеров «мастер-помощник», каждый из которых работает в счетном режиме.

Выходной сигнал каждого триггера служит входным сигналом для следующего триггера.

Поэтому все разряды (выходы) асинхронного счетчика переключаются последовательно (отсюда название – последовательные счетчики), один за другим, начиная с младшего и кончая старшим.

Каждый следующий разряд переключается с задержкой относительно предыдущего.

Чем больше разрядов имеет счетчик, тем большее время ему требуется на полное переключение всех разрядов.

Задержка переключения каждого разряда примерно равна среднему времени задержки переключения триггера из одного состояния в другое по двум выходам ($\tau_{зд.р.ср.}^{тр.}$).

Полная задержка установления кода на выходе счетчика равна задержке одного разряда, умноженной на число разрядов счетчика.

При периоде входного сигнала, меньшем полной задержки установления кода всего счетчика, правильный код на выходе счетчика не успеет установиться.

Это накладывает жесткие ограничения на частоту следования счетных импульсов ($F_{сч}$), причем увеличение, к примеру, вдвое количества разрядов счетчика автоматически уменьшает вдвое предельно допустимую частоту входного сигнала.

Суммирующие двоичные счетчики с последовательным переносом. Процесс двоичного счета может быть описан посредством таблицы последовательности чисел, в которой каждое число соответствует определенному состоянию счетчика.

Состояние 3-х разрядного суммирующего счетчика описывается табл. 5.1.

Исходным состоянием такого счетчика является нулевое состояние.

На вход счетчика поступает последовательность счетных импульсов с длительностью $t_{сч}$.

Из таблицы следует, что с приходом очередного счетного импульса $t_{сч}$ к содержимому счетчика прибавляется единица.

При этом увеличивается на единицу номер состояния (окрашено в табл. 5.1), являющийся десятичным эквивалентом соответствующего данному состоянию двоичного числа.

Таблица 5.1

Процесс двоичного счета суммирующего счетчика

Номер состояния	Q_2	Q_1	Q_0	$t_{сч}$
0	0	0	0	0
	0	0	0	1
1	0	0	1	0
	0	0	1	1
2	0	1	0	0
	0	1	0	1
3	0	1	1	0
	0	1	1	1
4	1	0	0	0
	1	0	0	1
5	1	0	1	0
	1	0	1	1
6	1	1	0	0
	1	1	0	1
7	1	1	1	0
	1	1	1	1

Изменение состояния каждого последующего разряда происходит при изменении состояния предыдущего разряда от «1» к «0». Это означает, что всякий раз, когда данный триггер в счетчике переходит из состояния «1» в состояние «0», на его выходе должен формироваться сигнал переноса, вызывающий срабатывание следующего триггера.

Если же данный триггер переходит из «0» в «1», то сигнала переноса на его выходе не должно быть.

Из табл. 5.1 также следует, что триггер первого, самого младшего разряда, должен менять свое состояние каждый раз с приходом очередного счетного импульса, а триггер каждого последующего разряда – вдвое реже триггера предыдущего разряда.

Т. е. каждый выход счетчика делит поступившую на его вход частоту на 2.

Описанный порядок смены состояний счетчика и характер процесса их установления могут быть реализованы, если счетчик будет построен на последовательно соединенных T -триггерах.

Напомним, что T -триггер – это триггер, который меняет свое состояние на противоположное с поступлением на его T -вход импульса.

Каждый последующий разряд при этом будет переключаться сигналом переноса, формируемым на выходе предыдущего разряда.

Счетные импульсы должны быть поданы на вход триггера самого младшего разряда.

Счетчики, построенные таким образом, получили название счетчиков с последовательным переносом.

Схема суммирующего двоичного счетчика с последовательным переносом на T -триггерах приведена на рис. 5.48.

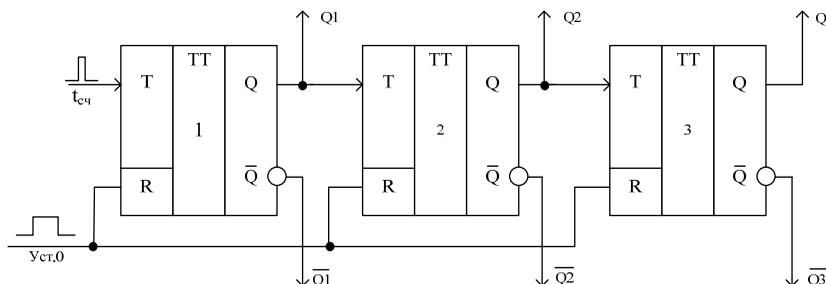


Рис. 5.48. Суммирующий двоичный счетчик с последовательным переносом

Для установки исходного нулевого состояния служит сигнал «Уст.0» (уровень логической 1), который поступает на объединенные установочные входы R всех триггеров.

Диаграмма работы суммирующего двоичного счетчика представлена на рис. 5.49.

Пусть до начала работы счетчик хранит состояние 5_{10} ($Q_1 = 1$, $Q_2 = 0$, $Q_3 = 1$).

С поступлением сигнала «Уст.0» все триггера счетчика сбрасываются в состояние 0.

Т. к. счетчик организуется на T -триггерах «мастер-помощник», то переключение первого триггера 1 (младший разряд счетчика –

выход $Q1$) происходит по окончании тактового импульса $t_{сч}$ через время задержки $\tau_{зд.р.ср}^{TP}$.

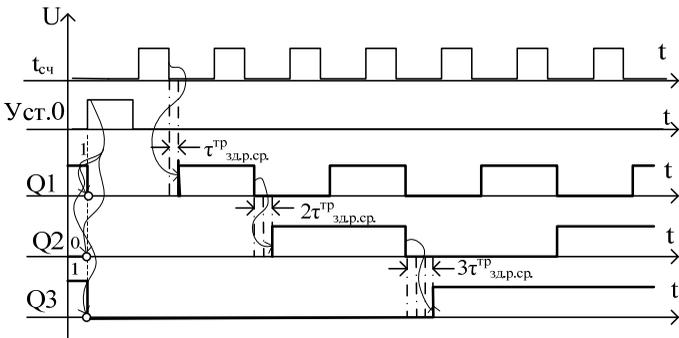


Рис. 5.49. Диаграмма работы суммирующего двоичного счетчика с последовательным переносом

Т. к. выход $Q1$ коммутируется на вход T -триггера 2, то триггер 2 будет переключаться уже с временем задержки $2 \cdot \tau_{зд.р.ср}^{TP}$ относительно тактового импульса $t_{сч.}$, а триггер 3 – с временем задержки $3 \cdot \tau_{зд.р.ср}^{TP}$ относительно тактового импульса $t_{сч.}$

Т. е. чем больше разрядов имеет счетчик, тем с большим временем задержки относительно тактового импульса $t_{сч.}$ переключается более старший разряд.

Максимальная частота работы такого счетчика ($F_{сч.}$) определяется максимально допустимой частотой переключения его младшего разряда.

Частота следования сигналов счета составляет:

$$F_{сч.} \leq 1 / (t_{сч.} + \tau_{зд.р.ср}^{TP}),$$

где $t_{сч.}$ – длительность счетного импульса;

$\tau_{зд.р.ср}^{TP}$ – среднее время задержки переключения триггера из одного состояния в другое по двум выходам (Q и \bar{Q}).

Числа, формируемые счетчиком, посредством одновременного опроса состояний всех разрядов счетчика могут быть выведены из него в параллельном коде (рис. 5.48):

– прямом – число снимается только с выходов Q ;

- обратном – число снимается только с выходов \overline{Q} ;
- парафазном – число снимается одновременно с двух выходов Q и \overline{Q}).

Такой опрос может происходить только в паузе между сигналами счета, т. е. после того, как завершится переходной процесс, связанный с переключением каждого триггера счетчика.

В этом случае минимальный период следования счетных импульсов ($T_{сч}$) должен быть увеличен на время, необходимое для полного переключения всех m -разрядов счетчика и опроса его состояния:

$$T_{сч} \geq t_{сч} + m \cdot \tau_{зд.р.ср.}^{тр.} + t_{опр.}$$

где $t_{сч}$ – длительность счетного импульса;

$\tau_{зд.р.ср.}^{тр.}$ – среднее время переключения триггера по двум выходам;

$t_{опр}$ – длительность сигнала опроса.

На рис. 5.50 представлено условное графическое обозначение 4-х разрядного суммирующего двоичного счетчика с последовательным переносом с предварительной установкой в нулевое состояние.

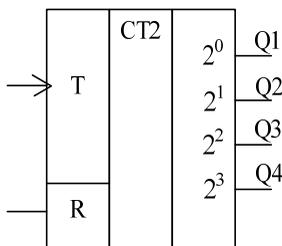


Рис. 5.50. УГО

Двоичные счетчики обозначаются как СТ2.

В правом поле указан «вес» каждого разряда: $Q1-2^0$, $Q2-2^1$, $Q3-2^2$, $Q4-2^3$.

Вход R – прямой (активный сигнал имеет уровень логической «1»).

Вычитающие двоичные счетчики с последовательным переносом. Вычитающий двоичный счетчик с последовательным переносом имеет обратный порядок смены состояний: с приходом оче-

редного счетного импульса содержащееся в счетчике число уменьшается на единицу (табл. 5.2).

Таблица 5.2

Процесс двоичного счета вычитающего счетчика

Номер состояния	Q2	Q1	Q0	$t_{сч}$
0	1	1	1	0
	1	1	0	1
1	1	1	0	0
	1	0	1	1
2	1	0	1	0
	1	0	0	1
3	1	0	0	0
	0	1	1	1
4	0	1	1	0
	0	1	0	1
5	0	1	0	0
	0	0	1	1
6	0	0	1	0
	0	0	0	1
7	0	0	0	0
	1	1	1	1

Другая особенность вычитающего счетчика – триггер каждого последующего разряда переключается в противоположное состояние при изменении уровня на выходе триггера предыдущего разряда от 0 к 1, т. е. при сигнале займа, обратном сигналу переноса в суммирующем счетчике.

Правила построения вычитающего двоичного счетчика такие же, как суммирующего, но с тем отличием, что с входом каждого последующего триггера в отличие суммирующего счетчика (рис. 5.48) соединяется инверсный выход предыдущего триггера (триггера младшего разряда).

Схема вычитающего счетчика с последовательным переносом приведена на рис. 5.51.

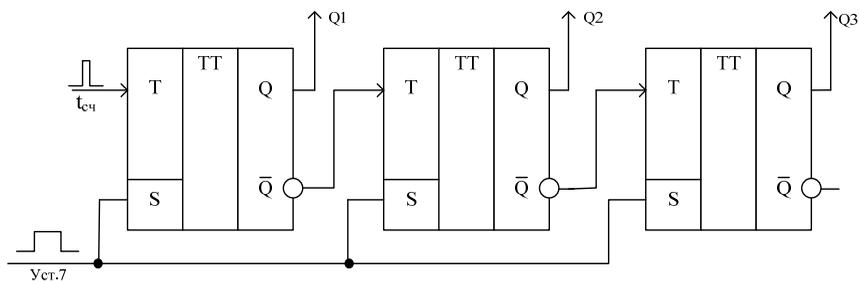


Рис. 5.51. Вычитающий двоичный счетчик с последовательным переносом

Согласно табл. 5.2 начальное состояние вычитающего двоичного счетчика – все триггера установлены в 1. Т. к. на рис. 5.51 приведена схема 3-х разрядного счетчика, то $111_2 = 7_{10}$, то сигнал предварительной установки установит счетчик в состояние 7, поэтому он обозначен как «Уст.7».

Вывод чисел с вычитающего счетчика может быть осуществлен такими же способами, как и из суммирующего.

Диаграмма работы вычитающего счетчика с последовательным переносом без учета времени задержки переключения каждого разряда приведена на рис. 5.52.

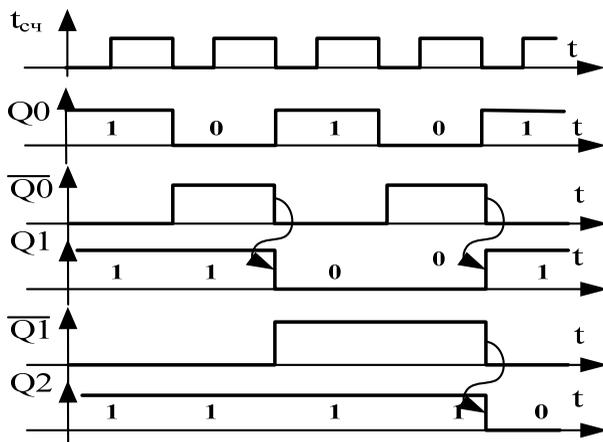


Рис. 5.52. Диаграмма работы вычитающего двоичного счетчика с последовательным переносом

В интегральном исполнении двоичные вычитающие счетчики не изготавливаются, т. к. их применение меньше, чем суммирующих.

Реверсивные двоичные счетчики с последовательным переносом. Кроме суммирующих и вычитающих двоичных счетчиков имеются реверсивные счетчики.

Реверсивные счетчики изменяют направление счета под воздействием управляющего сигнала.

На рис. 5.48 и 5.51 видно, что счетчики прямого и обратного счета различаются лишь точкой съема сигнала, подаваемого с предыдущего разряда на последующий разряд.

Если управляющие сигналы (режим суммирования – Σ , режим вычитания – Выч.) перестраивают межразрядные связи, перенося точку съема сигнала с одного выхода триггера на другой, то реализуется схема реверсивного счетчика (рис. 5.53).

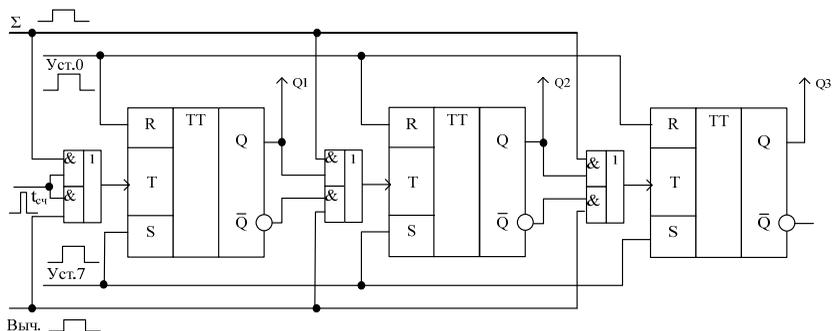


Рис. 5.53. Реверсивный двоичный счетчик с последовательным переносом

Для корректной работы реверсивного счетчика должны быть соблюдены следующие условия:

– сигналы, которые перестраивают межразрядные связи, не могут быть активными одновременно, т. е. $\Sigma * \text{Выч.} = 0$;

– сигналы предварительной установки счетчика также не могут быть активными одновременно, т. е. $\text{Уст.0} * \text{Уст.7} = 0$;

– любой из сигналов предварительной установки счетчика (Уст.0 или Уст.7) и любой из сигналов который перестраивает межразрядные связи (Σ или Выч.) не могут быть активными одновременно. В таком случае состояние счетчика определяется активным сигналом установки и в режиме суммирования или вычитания счетчик не работает.

У асинхронных счетчиков (или счетчиками с последовательным переносом) каждый триггер переключается выходным сигналом предыдущего триггера.

Временные состязания сигналов в таких счетчиках отсутствуют, поскольку триггеры переключаются поочередно, один за другим. Последовательные счетчики отличаются простотой схемы, но обладают низким быстродействием – время установки кода в счетчике пропорционально количеству разрядов счетчика.

Диаграмма работы реверсивного счетчика приведена на рис. 5.54.

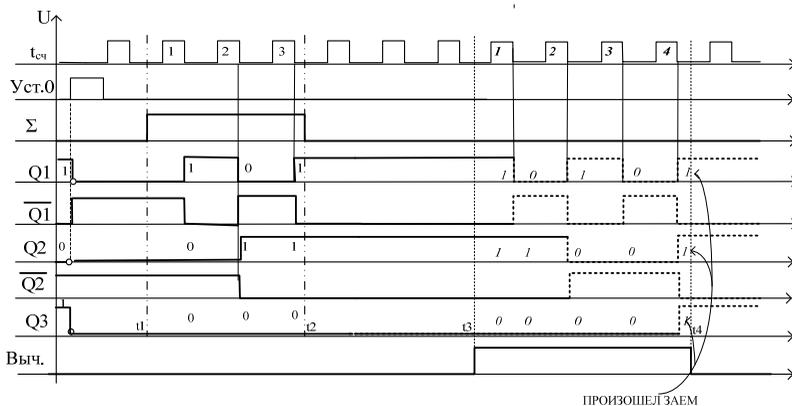


Рис. 5.54. Диаграмма работы реверсивного двоичного счетчика с последовательным переносом

После поступления сигнала Уст.0 все разряды счетчика $Q1$, $Q2$, $Q3$ установлены в 0.

Сигнал Σ (режим суммирования) активен (равен уровню логической 1) в интервале времени $t1 \dots t2$.

В этом интервале на счетчик поступают три импульса (1, 2, 3). Изменение состояния счетчика – 001_2 , 010_2 , 011_2 (1_{10} , 2_{10} , 3_{10}).

Сигнал Выч. (режим вычитания) активен (равен уровню логической 1) в интервале времени $t3 \dots t4$.

В этом интервале на счетчик поступают четыре импульса (1, 2, 3, 4). Счетчик начнет изменять свое состояние с состояния 011_2 (состояние счетчика после окончания активности сигнала Σ). Изменение состояния счетчика – 011_2 , 010_2 , 001_2 , 111_2 (3, 2, 1, 7 – произошел заем).

В составе стандартных серий цифровых микросхем асинхронных счетчиков немного. Для примера на рис. 5.55 приведен 4-х разрядный двоичный счетчик ИЕ5.

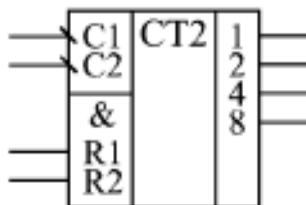


Рис. 5.55. ИМС асинхронного счетчика ИЕ5

Счетчик имеет два входа установки его в состояние 0 ($R1$ и $R2$), которые объединены по И.

Для обнуления счетчика на оба входа необходимо подать уровень логической 1.

Счетчик ИЕ5 схемотехнически включает две схемы счетчиков: один одnorазрядный счетчик (один триггер) со входом $\overline{C1}$ и выходом 1 и трехразрядный счетчик (три триггера) со входом $\overline{C2}$ и выходами 2, 4, 8.

Оба счетчика – двоичные, первый счетчик имеет два состояния (0, 1), а второй имеет восемь состояний (000, 001, 010, 011, 100, 101, 110, 111). С приходом 8 импульса счетчик вернется в состояние 000.

При объединении входа $\overline{C2}$ с выходом 1 получается 4-разрядный двоичный счетчик, который имеет 16 состояний (0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001, 1010, 1011, 1100, 1101, 1110, 1111).

Счет производится по отрицательному фронту входных сигналов $\overline{C1}$ и $\overline{C2}$.

Увеличение разрядности асинхронных счетчиков. Для получения счетчика требуемой разрядности приходится объединять (каскадировать) несколько интегральных микросхем.

На рис. 5.56 показано соединение трех счетчиков ИЕ5 для получения 12-разрядного асинхронного счетчика со сбросом всего счетчика в нуль.

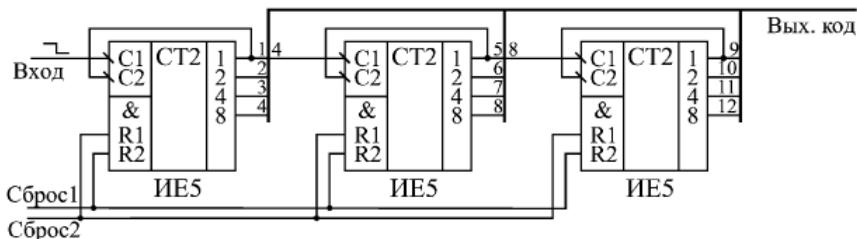


Рис. 5.56. Объединение трех счетчиков ИЕ5 для увеличения разрядности

Применение асинхронных счетчиков. Основное применение асинхронных счетчиков состоит в построении всевозможных делителей частоты, то есть устройств, выдающих выходной сигнал с частотой, в несколько раз меньшей, чем частота входного сигнала.

В данном случае необходим не выходной код счетчика, то есть не все его разряды одновременно, а только один разряд, т. е. требуемая частота снимается только с одного выхода счетчика.

Простейший пример такого делителя частоты на десять приведен на рис. 5.57.

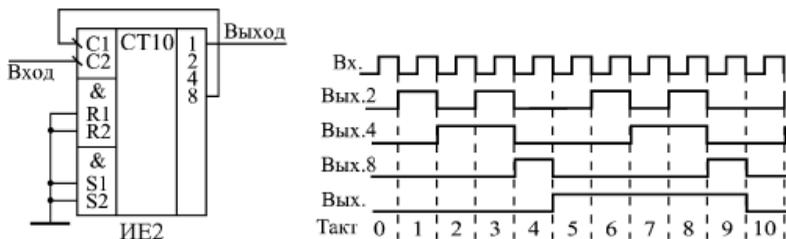


Рис. 5.57. Делитель частоты на 10

В делителе использован счетчик ИЕ2 (двоично-десятичный счетчик), у которого одноразрядный внутренний счетчик включен после трехразрядного внутреннего счетчика.

Трехразрядный счетчик делит частоту входного сигнала на 5, но выходные импульсы имеют скважность, не равную двум (она равна 5).

Иногда возникает задача деления частоты входного сигнала в произвольное число раз.

В этом случае можно организовать сброс счетчика при достижении им требуемого кода путем введения обратных связей.

На рис. 5.58 показан простейший делитель частоты на 9 на основе счетчика ИЕ5.

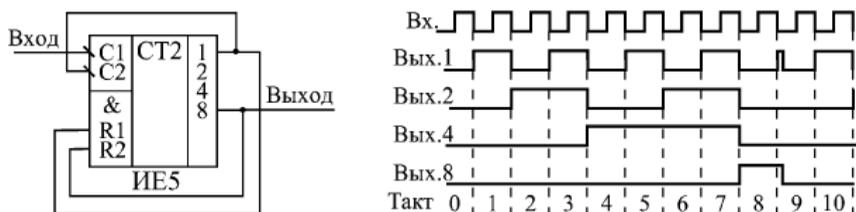


Рис. 5.58. Делитель частоты на 9 с обратными связями

При достижении его выходным кодом значения 9 (то есть 1001) счетчик автоматически сбрасывается в нуль по входам $R1$ и $R2$, и счет начинается снова.

В результате частота выходного сигнала в 9 раз меньше частоты входного сигнала.

Если в числе, на которое надо делить частоту, больше двух единиц (например, 15, то есть 1111, или 13, то есть 1101), то для формирования сигнала сброса надо использовать элементы $2И$, $3И$ или $4И$, чтобы объединить все выходы, равные единице.

В результате можно построить делитель входной частоты в любое число раз от 2 до $2N$, где N – число разрядов используемого счетчика.

5.2.2. Счетчики с параллельным переносом (синхронные счетчики)

Из работы трехразрядного счетчика с последовательным переносом следует, что в наихудшем случае новое его состояние устанавливается с задержкой, равной утроенной задержке переключения одного триггера, что вызвано последовательным во времени распространением сигнала переноса через все разряды счетчика.

$$\tau_{\text{зд.р.ср.}}^{\text{сч.}} = 3 \cdot \tau_{\text{зд.р.ср.}}^{\text{тр.}}$$

где $\tau_{\text{зд.р.ср.}}^{\text{тр.}}$ – задержка переключения триггера счетчика из одного состояния в другое по двум выходам.

Один из широко применяемых способов ускорения переноса в счетчике основан на введении логических элементов, с помощью которых достигается возможность одновременного (параллельного) формирования сигнала переноса для всех разрядов.

Для реализации этого способа применяют TV -триггеры.

На T -входы всех триггеров одновременно подаются счетные импульсы, а на V -вход каждого триггера поступает сигнал переноса, формируемый логической схемой на ЛЭ И в виде уровня 1.

Пример суммирующего счетчика с параллельным переносом на TV -триггерах приведен на рис. 5.59.

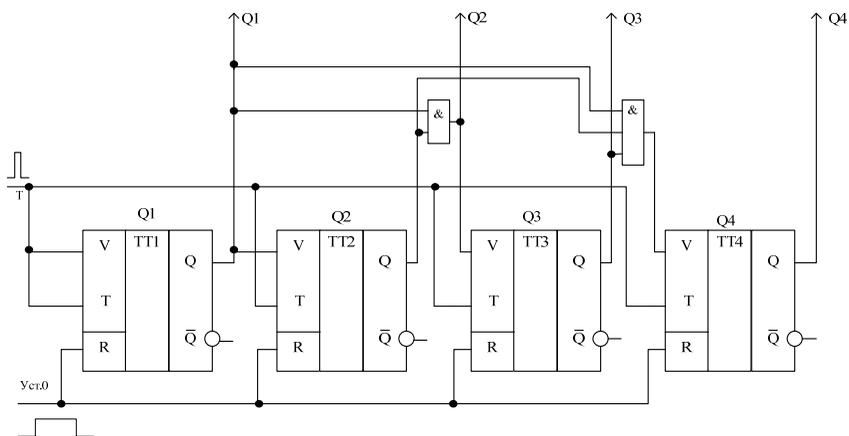


Рис. 5.59. Суммирующий счетчик с параллельным переносом

Быстродействие этого счетчика выше, чем счетчика с последовательным переносом, поскольку оно равно быстродействию переноса одного разряда и времени задержки на ЛЭ И (с наибольшим временем задержки):

$$\tau_{зд.р.ср.}^{сч.} = \tau_{зд.р.ср.}^{тр.} + \tau_{зд.р.ср.}^И.$$

Недостатком является необходимость включения в схему элемента И с нарастающим от разряда к разряду числом входов.

Это нарушает регулярность структуры и ограничивает возможность наращивания его схемы.

Частично этот недостаток можно устранить при использовании триггеров с входной логикой.

Многие серии микросхем содержат JK -триггеры с входной логикой (рис. 5.60), т. е. триггерах в которых три входа J и три входа K объединены схематехнически по И, т. е., например, триггер переберется в состояние «1», если на все три входа J поступит логическая 1.

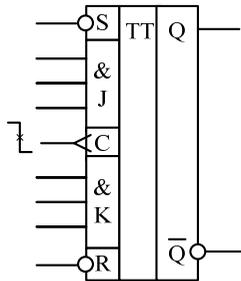


Рис. 5.60. JK -триггер с входной логикой и установочными входами

Напомним, что триггер JK работает в счетном режиме (переключается в противоположное состояние с приходом на вход \bar{C} импульса), если на вход J и K одновременно поступает уровень 1.

При реализации счетчика на таких триггерах исключаются дополнительные логические элементы в цепях переноса. Однако ограничение в числе разрядов остается.

На таких триггерах можно построить лишь четырехразрядный счетчик (рис. 5.61), т. к. количество входов J и K объединяемых по И равно трем.

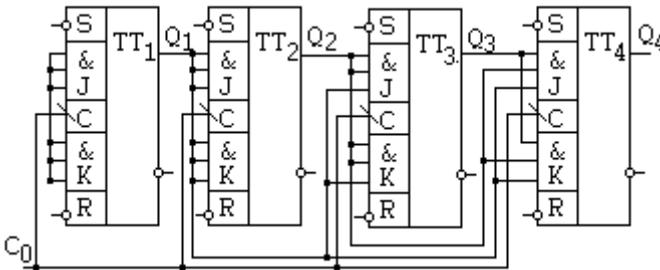


Рис. 5.61. Счетчик на JK -триггерах с входной логикой

Вычитающий счетчик с параллельным переносом строится так же, как и суммирующий, но сигналы переноса снимаются с инверсных относительно используемых в суммирующем счетчике выходов триггеров.

5.2.3. Синхронные счетчики с асинхронным переносом

Синхронные счетчики с асинхронным переносом занимают промежуточное положение по быстродействию между асинхронными счетчиками и полностью синхронными счетчиками.

Основная суть их работы сводится к следующему: все разряды одного счетчика переключаются одновременно, но при каскадировании каждый следующий счетчик (имеющий более старшие разряды) переключается с задержкой относительно предыдущего счетчика (дающего более младшие разряды).

Т. е. задержка переключения многоразрядного счетчика увеличивается в данном случае не с каждым новым разрядом (как у асинхронных счетчиков), а с каждой новой микросхемой (например, 4-х разрядной).

Сигнал переноса у этих счетчиков при прямом счете вырабатывается тогда, когда все разряды счетчика в ИМС равны «1».

Примером синхронного счетчика с асинхронным переносом может служить двоично-десятичный счетчик ИЕ6 (рис. 5.62).

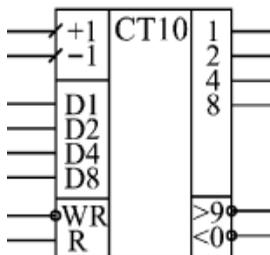


Рис. 5.62. Синхронный счетчики с асинхронным переносом ИЕ6

Данный счетчик – реверсивный. ИМС позволяет сброс 4-х разрядного счетчика в состояние «0» при поступлении активного сигнала уровня логической «1» на вход R . Счетчик позволяет обеспечить загрузку данных по входам $D1$ – $D8$ при активном сигнале \overline{WR} .

Т. е. именно синхронные счетчики работают как идеальные счетчики, все разряды которых срабатывают одновременно, параллельно.

Задержка срабатывания счетчика в этом случае примерно равна задержке срабатывания одного триггера. Достигается такое быстродействие существенным усложнением внутренней структуры микросхемы.

Вместе с тем недостатком синхронных счетчиков является более сложное управление их работой по сравнению с асинхронными счетчиками и с синхронными счетчиками с асинхронным переносом.

Поэтому синхронные счетчики целесообразно применять только в тех случаях, когда действительно требуется очень высокое быстродействие, очень высокая скорость переключения разрядов. Иначе усложнение схемы управления может быть не оправдано.

В стандартные серии микросхем входят несколько разновидностей синхронных (параллельных).

Пример такого счетчика приведен на рисунок 5.64.

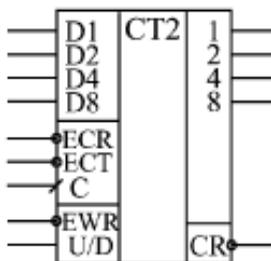


Рис. 5.64. Синхронные ИЕ17 (ИЕ16)

Микросхема ИЕ16 – двоично-десятичный счетчик, а микросхема ИЕ17 – двоичный счетчик с возможностью прямого и обратного счета и отсутствием сигнала сброса в нуль.

Срабатывают счетчики ИЕ16 и ИЕ17 по положительному фронту тактового сигнала C .

При нулевом уровне на входе разрешения записи \overline{EWR} по фронту сигнала C в счетчик записывается информация со входов данных $D1, D2, D4, D8$.

При единичном уровне на входе \overline{EWR} по положительному фронту сигнала C происходит счет.

Направление счета определяется входом U/D :

- при единице на этом входе счет прямой;
- при нуле - счет обратный.

Имеются два входа расширения:

- вход разрешения счета – \overline{ECT} ;
- вход разрешения переноса – \overline{ECR} .

Различаются эти два входа тем, что сигнал \overline{ECR} не только запрещает счет, как сигнал \overline{ECT} , но еще и запрещает выработку сигнала переноса.

Переключение уровней на входах U/D , \overline{ECT} и \overline{ECR} надо производить только при единичном уровне на тактовом входе C .

При объединении двух счетчиков (рис. 5.65) выход переноса \overline{CR} младшего счетчика соединяется со входом разрешения счета старшего счетчика \overline{ECT} .

На входы \overline{ECR} обоих счетчиков подается нулевой уровень.

Условие правильной работы является следующим: период тактового сигнала C не должен быть меньше, чем задержка выработки сигнала переноса \overline{CR} .

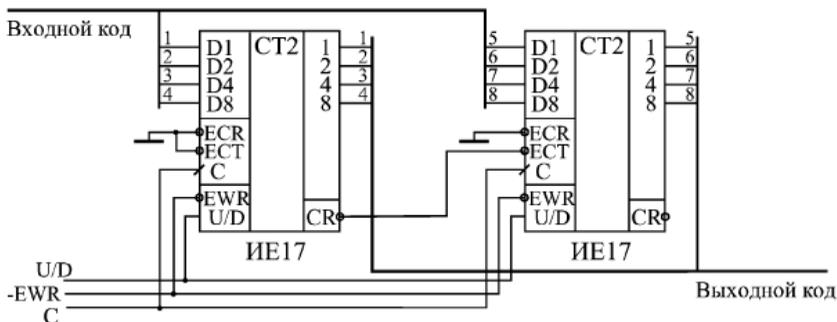


Рис. 5.65. Объединение двух счетчиков ИЕ17

При объединении трех счетчиков ситуация несколько усложняется (рис. 5.66).

Сигнал с выхода переноса первого счетчика подается на входы \overline{ECT} второго и третьего счетчиков.

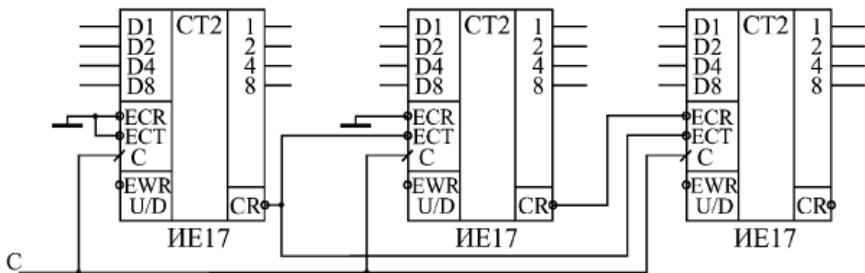


Рис. 5.66. Объединение трех счетчиков ИЕ17

Сигнал с выхода переноса второго счетчика подается на вход \overline{ECR} третьего счетчика.

В результате третий счетчик будет считать только тогда, когда имеется перенос как у первого, так и у второго счетчика.

На рисунке для простоты не показано подключение входных и выходных сигналов, не участвующих в каскадировании.

Условие правильной работы схемы остается тем же, что и в случае двух счетчиков: период тактового сигнала C не должен быть меньше задержки выработки сигнала переноса \overline{CR} .

При объединении четырех (и более) счетчиков возникает проблема, так как у старших счетчиков не остается свободных управляющих входов для собирания всех сигналов переноса более младших счетчиков.

Поэтому в данном случае используется способность входного сигнал \overline{ECR} запрещать выходной сигнал переноса \overline{CR} (рис. 5.67).

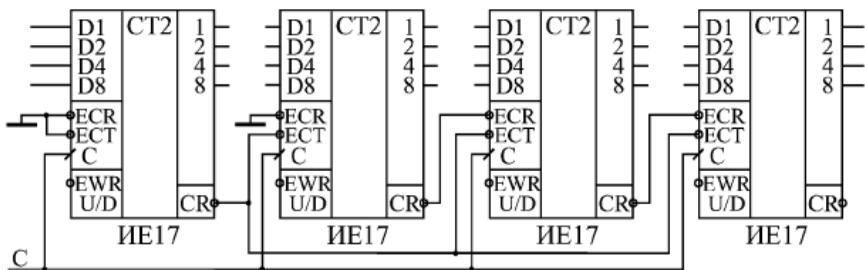


Рис. 5.67. Объединение четырех счетчиков ИЕ17

На четвертый и последующие счетчики подаются уже сигналы переноса не со всех предыдущих счетчиков, а только с первого и с предыдущего.

На рисунке для простоты не показано подключение входов и выходов, не участвующих непосредственно в каскадировании.

При таком включении происходит уже накапливание задержки сигналов переноса.

Максимальной задержка будет для сигнала переноса второго счетчика.

Условие правильной работы всех счетчиков будет следующим: период тактового сигнала C не должен быть меньше, чем максимальная суммарная задержка сигналов переноса до входа последнего счетчика.

При объединении четырех счетчиков в эту максимальную задержку входят задержка сигнала переноса \overline{CR} микросхемы относительно фронта сигнала C и задержка сигнала переноса \overline{CR} относительно сигнала \overline{ECR} .

При объединении пяти счетчиков добавится еще одна задержка сигнала переноса \overline{CR} относительно сигнала \overline{ECR} и т. д.

Поэтому с увеличением количества объединяемых счетчиков будет снижаться допустимая тактовая частота.

5.2.5. Счетчики с произвольным коэффициентом счета

Двоичные N -разрядные счетчики позволяют осуществлять деление частоты следования сигналов счета с коэффициентом пересчета, равным 2^N .

На их основе могут быть построены делители частоты и счетчики с произвольным коэффициентом пересчета.

Для построения пересчетных схем с произвольным коэффициентом деления частоты могут использоваться T -триггеры, имеющие дополнительные входы установки триггера в состояние логической 1 (вход S) или установки в состояние логического 0 (вход R).

Если использовать дополнительные (установочные) входы триггера S , то сигнал окончания счета формируется как логическое произведение счетного импульса и сигналов с единичных выходов тех

разрядов счетчика, которые соответствуют единицам в двоичном числе, равном $K-1$, где K – коэффициент пересчета.

Такие счетчики чаще всего используются для формирования управляющего сигнала после поступления заданного числа счетных импульсов.

На рис. 5.68 (а) приведена схема счетчика с коэффициентом счета равным 6.

В схеме на рис. 5.68, а управляющим сигналом, передаваемым в другую схему, служит сигнал $K_{сч} = 6$ уровня логической «1».

На рис. 5.68, б приведена диаграмма работы данного счетчика.

Если триггера не имеет дополнительных входов для установки в единичное состояние, но имеют выходы для установки в состояние 0, то счетчик с произвольным коэффициентом счета строится следующим образом: сигнал окончания счета представляет собой логическое произведение единичных разрядов счетчика, которые соответствуют единицам в двоичном числе $K_{сч}$.

Полученный сигнал может быть использован для установки в 0 всех разрядов счетчика.

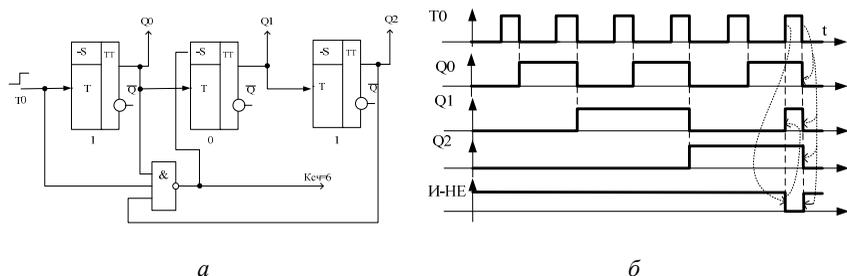


Рис. 5.68. Счетчик с коэффициентом счета 6:
 а – схема счетчика, организованного на триггерах с дополнительными входами S ;
 б – диаграмма работы счетчика

На рис. 5.69, а приведена схема счетчика с коэффициентом счета 5. На рис. 5.69, б приведена диаграмма работы данного счетчика.

Из диаграммы видно, что длительность сигнала, формируемого для одновременного сброса разрядов счетчика в нулевое состояние, будет определяться временем переключения самого быстроедей-

ствующего T -триггера и может оказаться недостаточной для более медленных триггерных схем.

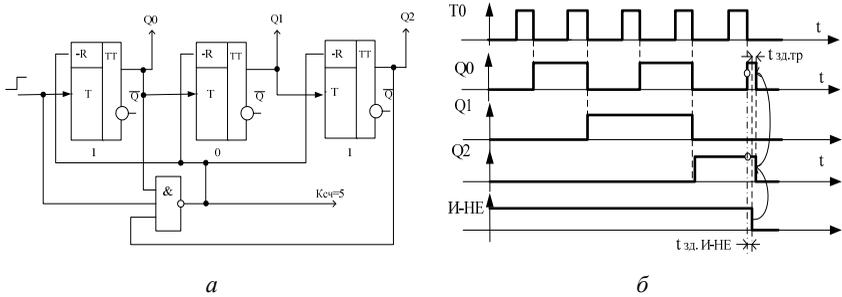


Рис. 5.69. Счетчик с коэффициентом счета 5:
 а – схема счетчика, организованного на триггерах с дополнительными входами R ;
 б – диаграмма работы

Для обеспечения более надежной работы схемы может быть использован асинхронный RS -триггер, который запоминает сигнал окончания счета до поступления следующего счетного импульса.

Схема такого счетчика приведена на рис. 5.70.

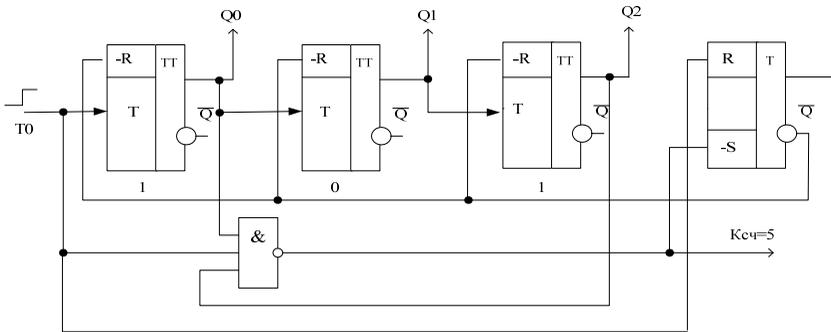


Рис. 5.70. Счетчик с коэффициентом счета 5 с асинхронным RS -триггером

СПИСОК ЛИТЕРАТУРЫ

1. Новиков, Ю. В. Основы цифровой схемотехники / Ю. В. Новиков. – М.: Мир, 2001. – 379 с.
2. Хоровиц, П. Искусство схемотехники / П. Хоровиц, У. Хилл; пер. с англ. – изд. 2-е. – М.: Издательство БИНОМ, 2014. – 704 с.
3. Угрюмов, Е. П. Цифровая схемотехника : учеб. пособие для вузов. – 2-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2007. – 800 с.
4. Мышляева, И. М. Цифровая схемотехника : учебник / И. М. Мышляева. – М.: Академия, 2005. – 398 с.
5. Новиков, Ю. В. Основы микропроцессорной техники : учебное пособие / Ю. В. Новиков, П. К. Скоробогатов. – 4-е изд., испр. – М.: Интернет-Университет Информационных Технологий; БИНОМ. Лаборатория знаний, 2009. – 357 с.
6. Титце, У. Полупроводниковая схемотехника / У. Титце, К. Шенк. – 12-е изд. Том I: Пер. с нем. – М.: ДМК Пресс, 2008. – 832 с.
7. Интегральные микросхемы и их зарубежные аналоги: Справочник. Том 2. / А. В. Нефедов. – М.: ИП РадиоСофт, 1998. – 640 с.
8. Отечественные микросхемы и зарубежные аналоги Справочник. Перельман Б. Л., Шевелев В. И. «НТИЦ Микротех», 1998. – 376 с.

ОГЛАВЛЕНИЕ

1. ОСНОВЫ ЦИФРОВОЙ ЭЛЕКТРОНИКИ.....	3
1.1. Простейшие способы получения цифрового сигнала.....	9
1.2. Простейшие способы контроля цифровых сигналов.....	11
1.3. Логические переменные, базовые операции между логическими переменными.....	12
1.4. Числа, используемые в цифровой электронике.....	16
1.5. Арифметические действия над двоичными числами.....	21
1.6. Переполнение.....	22
1.7. Упрощение и минимизация логических функций.....	22
1.8. Недоопределенная функция.....	27
2. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ.....	29
2.1. Простейшие логические элементы.....	29
2.2. Цифровая интегральная микросхема.....	31
2.2.1. Семейства ИМС.....	34
2.3. Базовые (базисные) логические элементы.....	43
2.4. Более сложные логические элементы.....	48
2.5. Особенности работы логических элементов.....	53
2.5.1. Совместимость входных и выходных сигналов.....	54
2.5.2. Нагрузочная способность.....	55
2.5.3. Квантование (формирование) сигнала.....	56
2.5.4. Помехоустойчивость.....	58
2.5.5. Работоспособность в широкой области допусков и параметров.....	59
2.5.6. Затухание переходных процессов за время одного такта.....	60
2.6. Основные характеристики логических элементов.....	61
2.7. Основные параметры логических элементов.....	64
2.7.1. Динамические параметры.....	64
2.7.2. Статические параметры логических элементов.....	67
2.8. Особенности проектирования цифровых устройств.....	68
2.9. Входы и выходы цифровых интегральных микросхем.....	72
2.9.1. Входы цифровых ИМС.....	72
2.9.2. Выходы цифровых ИМС.....	75

3. ЦИФРОВЫЕ УЗЛЫ КОМБИНАЦИОННОГО ТИПА	89
3.1. Сумматоры	95
3.1.1. Четвертьсумматор	100
3.1.2. Полусумматор	101
3.1.3. Полный одноразрядный двоичный сумматор	102
3.1.4. Многоразрядные сумматоры	103
3.2. Компараторы	112
3.3. Схемы контроля	120
3.4. Дешифраторы и шифраторы	123
3.5. Мультиплексоры и демультимплексоры	138
3.6. Арифметико-логические устройства	147
4. ТРИГГЕРНЫЕ УСТРОЙСТВА	151
4.1. Асинхронные триггеры	153
4.2. Синхронные триггеры	167
4.3. Основные схемы включения триггеров	178
4.3.1. Подавлениедребезга механических контактов ключей при помощи триггера	180
4.3.2. Использование триггера в качестве флага процесса	181
4.3.3. Синхронизация с помощью триггера	182
4.3.4. Формирование короткого импульса с помощью триггера	185
4.3.5. Разделение коротких и длинных входных импульсов	186
4.3.6. Формирователь сигнала огибающей входного сигнала на триггерах	187
4.3.7. Построение линий задержки с помощью триггера	189
5. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА (АВТОМАТЫ С ПАМЯТЬЮ)	191
5.1. Регистры	194
5.1.1. Регистры хранения (памяти)	202
5.1.2. Регистры срабатывающие по уровню	203
5.1.3. Регистры срабатывающие по фронту	213
5.1.4. Регистры сдвига	221
5.1.5. Способы вывода информации из регистра	233
5.2. Счетчики	236

5.2.1. Счетчики с последовательным переносом (асинхронные счетчики)	241
5.2.2. Счетчики с параллельным переносом (синхронные счетчики)	252
5.2.3. Синхронные счетчики с асинхронным переносом	255
5.2.4. Синхронные счетчики с синхронным переносом	255
5.2.5. Счетчики с произвольным коэффициентом счета.....	260
 СПИСОК ЛИТЕРАТУРЫ.....	 263

Учебное издание

ЭЛЕКТРОНИКА (ЦИФРОВАЯ ЭЛЕКТРОНИКА)

Учебно-методическое пособие
для студентов специальностей
1-38 02 01 «Информационно-измерительная техника»,
1-38 02 03 «Техническое обеспечение безопасности»,
1-54 01 02 «Методы и приборы контроля качества
и диагностики состояния объектов»

В 2 частях

Часть 1

Составители:

ВЛАДИМИРОВА Татьяна Леонидовна
ТЯВЛОВСКИЙ Константин Леонидович
МИКИТЕВИЧ Владимир Александрович

Редактор *А. Д. Спичёнок*

Компьютерная верстка *Е. А. Беспанской*

Подписано в печать 30.06.2021. Формат 60×84 ¹/₁₆. Бумага офсетная. Ризография.
Усл. печ. л. 15,52. Уч.-изд. л. 12,14. Тираж 200. Заказ 179.

Издатель и полиграфическое исполнение: Белорусский национальный технический университет.
Свидетельство о государственной регистрации издателя, изготовителя, распространителя
печатных изданий № 1/173 от 12.02.2014. Пр. Независимости, 65. 220013, г. Минск.