

УДК 621.382

МОДЕЛИРОВАНИЕ ПЛОТНОСТИ ТОКА В КОРОТКОКАНАЛЬНЫХ МОП-ТРАНЗИСТОРАХ

Жевняк О.Г., Борздов В.М., Борздов А.В.

Белорусский государственный университет
Минск, Республика Беларусь

Аннотация. На основе метода Монте-Карло проведено моделирование электронного переноса в короткоканальных кремниевых МОП-транзисторах с мелким и глубоким стоком. Рассчитаны плотности электронного тока в данных транзисторах. Показано, что в структурах с мелким стоком электронный ток протекает в узком приповерхностном слое, что может способствовать появлению высоких паразитных токов.

Ключевые слова: МОП-транзистор, электронный перенос, ток стока, метод Монте-Карло, дрейфовая скорость.

SIMULATION OF ELECTRON CURRENT DENSITY IN SHORT-CHANNEL MOSFETS

Zhevnyak O., Borzdov V., Borzdov A.

Belarusian State University
Minsk, Belarus

Abstract. Electron transport in silicon short-channel MOSFETs with shallow and deep drain is simulated by Monte Carlo method. Spatial distributions of electron current density are calculated. It is shown that electron current in simulated structures with shallow drain flows in thin layer near the surface. That can produce the high parasitic current into insulating oxide.

Key words: MOS-transistor, electron transport, drain current, Monte Carlo simulation, drift velocity.

Адрес для переписки: Жевняк О. Г., ул. Коржа, 1, 39, г. Минск 220036, Республика Беларусь
e-mail: zhevnyakog@mail.ru

Введение. Короткоканальные кремниевые МОП-транзисторы являются важнейшими базовыми элементами интегральных микро-схем, на которых построены современные цифровые устройства. Надежность работы этих транзисторов и неискажение бита двоичной информации, хранимой в схемах памяти, во многом определяется величиной плотности электронного тока, возникающего в приповерхностной области данных приборов [1, 2]. Высокая плотность тока способствует появлению эффектов горячих электронов и больших паразитных токов (токов утечки).

Цель настоящей работы заключалась в моделировании изменения величины плотности тока в проводящем канале короткоканальных кремниевых МОП-транзисторов по его глубине для мелкого и глубокого стока при различных напряжениях на стоке.

Приборная структура. На рис. 1 приведена структурная схема моделируемого транзистора.

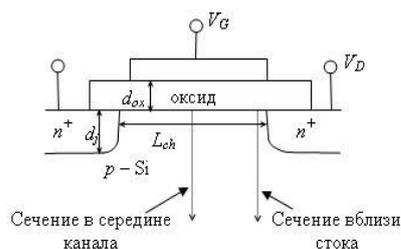


Рисунок 1 – Структурная схема моделируемого транзистора

Глубина мелкого стока, позволяющая значительно увеличить степень масштабирования и повысить емкость схем памяти, равнялась $d_j = 10$ нм. Глубина глубокого стока выбиралась равной $d_j = 100$ нм. Длина канала равнялась $L_{ch} = 0,2$ мкм. Для обеспечения резкой границы областей истока и стока уровень легирования донорной примеси в них был выбран равным $N_D = 10^{26} \text{ м}^{-3}$. Концентрация акцепторной примеси в подложке $N_A = 10^{24} \text{ м}^{-3}$. Толщина подзатворного оксида $d_{ox} = 7$ нм. Напряжение на затворе $V_G = 2$ В. Исследовались два режима с величиной стокового напряжения, равнявшегося $V_D = 1$ В и $V_D = 2$ В. Расстояние z в глубь подложки отсчитывается от границы раздела оксида кремния.

Используемая модель. С помощью численного моделирования электронного переноса в проводящем канале МОП-транзистора на основе метода Монте-Карло были рассчитаны двумерные распределения величины плотности электронного тока в проводящей области транзистора. Алгоритмы и процедуры численного моделирования аналогичны тем, что приведены в наших работах [3, 4].

Моделирование базировалось на процедуре самосогласованного решения уравнений Больцмана и Пуассона. В каждой ячейке аппроксимации электрического поля рассчитывались значения электронной концентрации N_e и среднего значения дрейфовой скорости электронов v_{dr} . Величина плотности электронного тока j в лю-

бом участке проводящего канала рассчитывалась согласно равенству

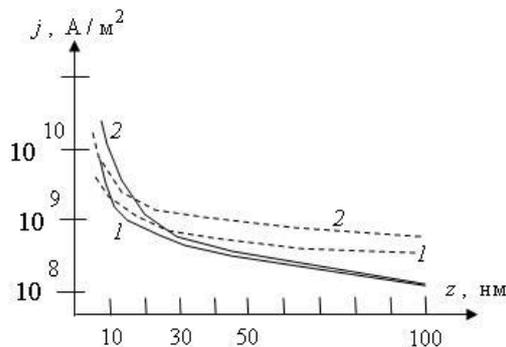
$$j = eN_e v_{dr},$$

где e – величина заряда электрона.

Результаты моделирования и их обсуждение. На рис. 2 и 3 приведены полученные распределения плотности электронного тока в сечениях канала, соответственно, в его середине и вблизи области стока. Практический смысл данных зависимостей заключается в том, что площадь под любой из кривых при умножении на величину ширины канала дает оценку величины тока стока для условий, при которых получена данная кривая.

Из рис. 2, в частности, следует, что в середине канала как для случая мелкого стока, так и для случая глубокого стока практически весь электронный ток сосредоточен в относительно узкой приповерхностной области, ширина которой не превышает 20 нм, и величина стокового напряжения не оказывает заметного влияния на растекание линий тока в глубь подложки.

Рис. 3 свидетельствует о том, что вблизи области стока для случая глубокого стока наблюдается уже заметное растекание тока в глубь подложки на область шириной около 50 нм. В случае же мелкого стока растекание тока возникает только с повышением напряжения на стоке.

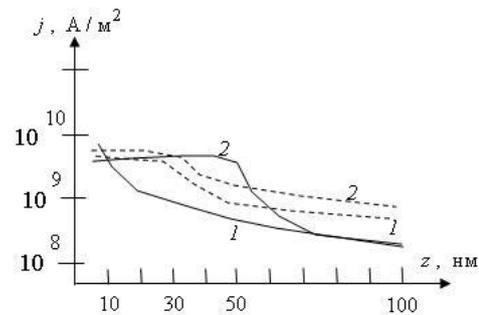


непрерывные кривые – $d_j = 10$ нм;
штриховые кривые – $d_j = 10$ нм;
1 – $V_D = 1$ В; 2 – $V_D = 2$ В

Рисунок 2 – Зависимости плотности электронного тока от координаты z в середине канала

Количественный анализ показывает, что наиболее существенное влияние на величину плотности тока в той или иной области канала оказывает значение в этой области величины концентрации электронов N_e .

Все полученные закономерности в значительной мере определяются поведением зависимостей этой величины от исследуемых параметров, а именно, от глубины залегания истоковой и стоковой областей и напряжения на стоке. В сечении вблизи стока на величину плотности тока оказывает влияние и величина дрейфовой скорости электронов, хотя и в меньшей мере.



непрерывные кривые – $d_j = 10$ нм;
штриховые кривые – $d_j = 10$ нм;
1 – $V_D = 1$ В; 2 – $V_D = 2$ В

Рисунок 3 – Зависимости плотности электронного тока от координаты z вблизи области стока

Заключение. Таким образом, результаты моделирования показывают, что с уменьшением глубины залегания областей истока и стока короткоканальных МОП-транзисторов в процессе миниатюризации элементов микросхем для недопущения высокой величины плотности электронного тока в поверхностной области транзистора возникает необходимость повышать напряжение на стоке, что при уменьшении размеров микросхем нежелательно. Поэтому требуется выбирать оптимальные размеры глубины залегания области стока и величины стокового напряжения.

Литература

1. Scaling the MOS Transistor Below 0.1 μm : Methodology, Device Structures, and Technology Requirements / C. Fiegna [et al.] // IEEE Trans. Electron Dev. – 1994. – Vol. 41, № 6. – P. 941–951.
2. Iwai, H. Technology toward low power / low voltage and scaling of MOSFETs / H. Iwai, H. S. Momose // Microelectron. Engineer. – 1997. – Vol. 39, № 1. – P. 7–30.
3. Моделирование методом Монте-Карло приборных структур интегральной электроники / В. М. Борздов [и др.] – Минск : БГУ, 2007. – 175 с.
4. Жевняк, О. Г. Моделирование паразитных туннельных токов в элементах флеш-памяти на основе короткоканальных кремниевых МОП-транзисторов / О. Г. Жевняк // Eurasian science journal. – 2020. – № 6, Ч. 2. – С. 26–28.