

МИНИСТЕРСТВО ОБРАЗОВАНИЯ РЕСПУБЛИКИ БЕЛАРУСЬ
Белорусский национальный технический университет

Кафедра «Информационно-измерительная техника
и технологии»

ЭЛЕКТРОНИКА
(ЦИФРОВАЯ ЭЛЕКТРОНИКА)

Учебно-методическое пособие
для студентов специальностей
1-38 02 01 «Информационно-измерительная техника»,
1-38 02 03 «Техническое обеспечение безопасности»,
1-54 01 02 «Методы и приборы контроля качества
и диагностики состояния объектов»

В 2 частях

Часть 2

*Рекомендовано учебно-методическими объединениями
по образованию в области приборостроения,
в области обеспечения качества*

Минск
БНТУ
2022

УДК 621.38.037.37(075.8)

ББК 32.85я7

Э45

Рецензенты:

В. С. Колбун, Т. В. Борботько

Владимирова, Т. Л.

Э45 Электроника (цифровая электроника) : учебно-методическое пособие для студентов специальностей 1-38 02 01 «Информационно-измерительная техника», 1-38 02 03 «Техническое обеспечение безопасности», 1-54 01 02 «Методы и приборы контроля качества и диагностики состояния объектов» : в 2 ч. / Т. Л. Владимирова, К. Л. Тявловский, В. А. Микитевич. – Минск : БНТУ, 2022. – Ч. 2. – 179 с.

ISBN 978-985-583-752-8 (Ч. 2).

Данное методическое пособие содержит конспект лекций по каждому разделу курса «Электроника» (цифровая электроника) для самостоятельного изучения студентами.

Рассматривается широкий круг вопросов, связанных с изучением, проектированием и применением цифровых элементов, узлов и устройств на их основе, цифровых интегральных микросхем, являющихся основой для реализации различных средств обработки информации в области приборостроения и технологии безопасности, а также средств измерений.

Цель настоящего методического пособия – углубление и закрепление теоретических знаний по применению наиболее распространенных цифровых элементов, узлов и устройств, а также приобретение навыков работы с цифровыми интегральными схемами и устройствами, построенными на их основе.

Кроме этого, целью настоящего пособия является приобретение студентами навыков в разработке простейших электронных схем на базе цифровых электронных микросхем.

Первая часть настоящего пособия была издана в 2021 году.

УДК 621.38.037.37(075.8)

ББК 32.85я7

ISBN 978-985-583-752-8 (Ч. 2)

ISBN 978-985-583-632-3

© Владимирова Т. Л., Тявловский К. Л.,
Микитевич В. А., 2022

© Белорусский национальный
технический университет, 2022

1. АНАЛОГО-ЦИФРОВЫЕ И ЦИФРО-АНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Любое цифровое устройство от самого простейшего до самого сложного всегда действует по одному и тому же принципу: оно принимает входные сигналы, выполняет их обработку, передачу, хранение и выдает выходные сигналы (рис. 1.1).

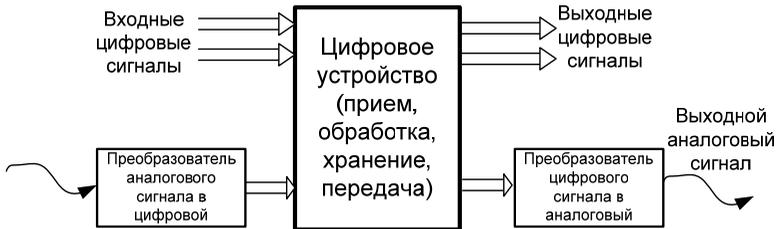


Рис. 1.1. Принцип действия цифрового устройства

При этом совсем не обязательно любое изменение входных сигналов приводит к немедленному и однозначному изменению выходных сигналов. Реакция устройства может быть очень сложной и отложенной по времени.

В качестве входных сигналов цифрового устройства могут выступать сигналы с выходов других цифровых устройств; с тумблеров и клавиш; с датчиков физических величин.

При приеме сигналов с датчиков физических величин, как правило, необходимо преобразование аналоговых сигналов с датчиков в потоки цифровых кодов (рис. 1.2).

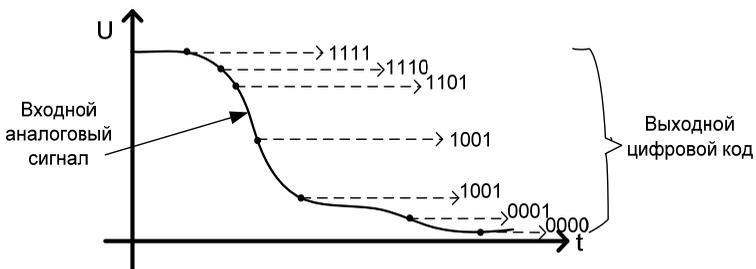


Рис. 1.2. Преобразование аналогового сигнала в цифровой сигнал

Такое преобразование осуществляется с помощью специального устройства, которое называется аналого-цифровым преобразователем (АЦП).

Если вести речь о персональном компьютере, то входными сигналами являются сигналы с клавиатуры, с датчиков перемещения мыши, с микрофона (давление воздуха, т. е. звук, преобразуется в аналоговый электрический сигнал, а затем в цифровые коды), из кабеля локальной сети и т. д.

Выходные сигналы цифрового устройства могут предназначаться для подачи на другие цифровые устройства, для индикации (на экране монитора, на цифровом индикаторе и т. д.), а также для формирования физических величин.

В последнем случае необходимо преобразовывать потоки кодов с цифрового устройства в непрерывные (аналоговые) сигналы (рис. 1.3).

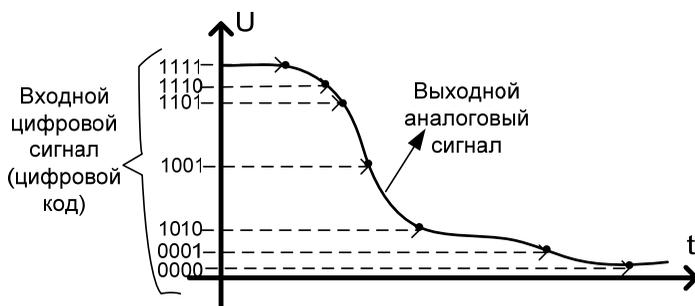


Рис. 1.3. Преобразование цифрового сигнала в аналоговый сигнал

Данное преобразование происходит при помощи цифро-аналоговых преобразователей (ЦАП).

Если вести речь о персональном компьютере, выходными сигналами будут: сигналы, подаваемые компьютером на принтер; сигналы, идущие на видеомонитор (аналоговые или цифровые); звук, воспроизводимый динамиками компьютера (потоки кодов с компьютера преобразуются в аналоговый электрический сигнал, который затем преобразуется в давление воздуха, т. е. звук).

Таким образом, цифро-аналоговые преобразователи (ЦАП, DAC – «Digital-to-Analog Converter») и аналого-цифровые преобразователи

(АЦП, ADC – «Analog-to-Digital Converter»), главным образом применяются для сопряжения цифровых устройств и систем с внешними аналоговыми сигналами, с реальным миром.

При этом АЦП преобразует аналоговые сигналы во входные цифровые сигналы, поступающие на цифровые устройства для дальнейшей обработки или хранения, а ЦАП преобразует выходные цифровые сигналы цифровых устройств в аналоговые сигналы.

ЦАП и АЦП применяются:

- в измерительной технике (цифровые осциллографы, вольтметры, генераторы сигналов и т. д.);
- в бытовой аппаратуре (телевизоры, музыкальные центры, автомобильная электроника и т. д.);
- в компьютерной технике (ввод и вывод звука в компьютерах, видеомониторы, принтеры и т. д.);
- в медицинской технике, в радиолокационных устройствах;
- в телефонии и во многих других областях.

Применение ЦАП и АЦП постоянно расширяется по мере перехода от аналоговых устройств к цифровым устройствам.

В качестве ЦАП и АЦП обычно применяются специализированные микросхемы, выпускаемые многими отечественными и зарубежными фирмами.

Для грамотного и профессионального использования микросхем ЦАП и АЦП недостаточно знания цифровой электроники и схемотехники.

Эти микросхемы относятся к аналого-цифровым, поэтому они требуют также знания аналоговой электроники и схемотехники, существенно отличающейся от цифровой.

Практическое применение ЦАП и АЦП требует расчета аналоговых цепей, учета многочисленных погрешностей преобразования (как статических, так и динамических), знания характеристик и особенностей аналоговых микросхем (в первую очередь, операционных усилителей) и многого другого.

1.1. Аналого-цифровые преобразователи

Аналого-цифровой преобразователь – это устройство, предназначенное для преобразования непрерывно-изменяющейся во времени физической величины в эквивалентные ей значения цифровых кодов.

В качестве аналоговой величины может быть напряжение, ток, угловое перемещение, давление газа и т. д.

Процесс аналого-цифрового преобразования предполагает последовательное выполнение следующих операций (рис. 1.4):

- выборку значений исходной аналоговой величины в некоторые заданные моменты времени, т. е. дискретизацию сигнала во времени;
- квантование (округление) полученного в дискретные моменты времени значения аналоговой величины по уровню;
- кодирование – замена найденных квантовых значений некоторыми числовыми кодами.

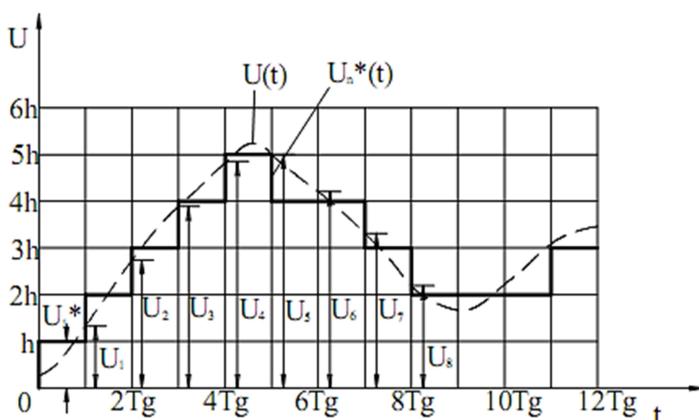


Рис. 1.4. Принцип аналого-цифрового преобразования

Операция квантования по уровню функции $U(t)$ заключается в замене бесконечного множества ее значений на некоторое конечное множество значений $U \cdot n(t)$, называемых уровнями квантования.

Для выполнения этой операции весь диапазон изменения функции $D = U(t)_{\max} - U(t)_{\min}$ разбивают на некоторое число уровней N и производят округление каждого значения функции $U(t)$ до ближайшего уровня квантования $U \cdot n(t)$.

Величина $h = D / N$ называется шагом квантования.

В результате процесса аналого-цифрового преобразования аналоговая функция $U(t)$ заменяется дискретной функцией $U \cdot n(t)$.

В аналитической форме процесс аналого-цифрового преобразования может быть представлен выражением:

$$K_{ni} = U(t)_i / h \pm \delta k_i,$$

где K_{ni} – значение кода после преобразования;

$U(t)_i$ – значение функции $U(t)$ в i -м шаге;

h – шаг квантования;

δk_i – погрешность преобразования на i -м шаге.

Основные параметры АЦП делятся на статистические и динамические.

К статистическим относятся:

1) вид преобразуемой величины: напряжение, ток, угловое перемещение и т. д.;

2) диапазон изменения входных величин;

3) разрядность;

4) абсолютная разрешающая способность;

5) абсолютная погрешность преобразования в конечной точке шкалы $\delta_{шк}$;

6) нелинейность преобразования δL .

К динамическим параметрам относится максимальная частота преобразования $f_{пр}$.

В общем случае микросхему АЦП можно представить в виде блока, имеющего один аналоговый вход, один или два входа для подачи опорного (образцового) напряжения, а также цифровые выходы для выдачи кода, соответствующего текущему значению аналогового сигнала (рис. 1.5).

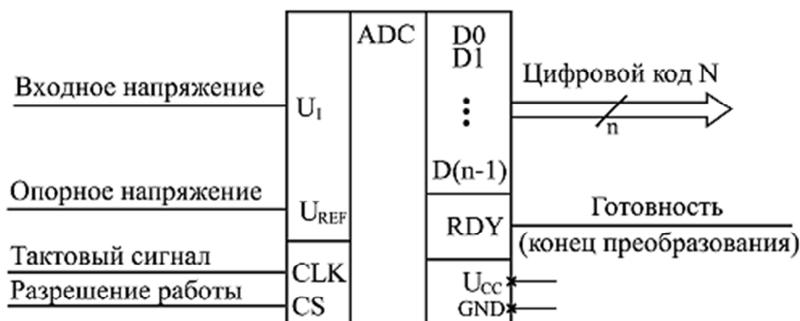


Рис. 1.5. Микросхема АЦП

Часто микросхема АЦП имеет также вход для подачи тактового сигнала CLK, сигнала разрешения работы CS и сигнала, говорящего о готовности выходного цифрового кода RDY.

На микросхему подается одно или два питающих напряжения и общий провод.

В целом микросхемы АЦП сложнее, чем микросхемы ЦАП, их разнообразие заметно больше, и поэтому сформулировать для них общие принципы применения сложнее.

Опорное напряжение АЦП задает диапазон входного напряжения, в котором производится преобразование. Оно может быть постоянным или же допускать изменение в некоторых пределах.

Иногда предусматривается подача на АЦП двух опорных напряжений с разными знаками, тогда АЦП способен работать как с положительными, так и с отрицательными входными напряжениями.

Выходной цифровой код N (n -разрядный) однозначно соответствует уровню входного напряжения. Код может принимать 2^n значений, то есть АЦП может различать 2^n уровней входного напряжения.

Количество разрядов выходного кода n представляет собой важнейшую характеристику АЦП.

В момент готовности выходного кода выдается сигнал окончания преобразования RDY, по которому внешнее устройство может читать код N .

Управляется работа АЦП тактовым сигналом CLK, который задает частоту преобразования, то есть частоту выдачи выходных кодов.

Вторым важнейшим параметром АЦП является предельная тактовая частота.

В некоторых микросхемах имеется встроенный генератор тактовых сигналов, поэтому к их выводам подключается кварцевый генератор или конденсатор, задающий частоту преобразования.

Сигнал CS разрешает работу микросхемы.

В качестве базового элемента любого АЦП используется компаратор напряжения (рис. 1.6).

Компаратор напряжения сравнивает два входных аналоговых напряжения и, в зависимости от результата сравнения, выдает выходной цифровой сигнал – нуль или единицу.

Компаратор работает с большим диапазоном входных напряжений и имеет высокое быстродействие (задержка порядка единиц наносекунд).

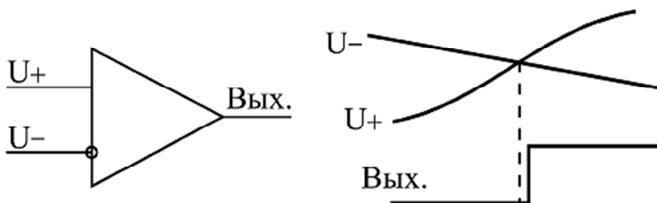


Рис. 1.6. Компаратор напряжения

В зависимости от принципа действия АЦП делятся на:

- АЦП последовательного типа (поразрядного взвешивания);
- АЦП параллельного преобразования;
- АЦП с промежуточным преобразованием (иначе АЦП поразрядного взвешивания);
- следящие АЦП;
- интегрирующие АЦП и др.

1.1.1. Аналого-цифровые преобразователи последовательного типа

В последовательных АЦП входное напряжение последовательно сравнивается компаратором с несколькими эталонными уровнями напряжения. Затем в зависимости от результатов сравнения формируется выходной код.

Для сравнения используется один компаратор.

Наибольшее распространение получили аналого-цифровые преобразователи (АЦП поразрядного уравнивания или АЦП последовательных приближений) на основе так называемого регистра последовательных приближений (рис. 1.7).

Входное напряжение ($U_{вх}$) подается на вход компаратора, на другой вход которого подается эталонное напряжение ($U_{эт}$), ступенчато изменяющееся во времени.

Выходной сигнал компаратора подается на вход регистра последовательных приближений, тактируемого внешним тактовым сигналом.

Выходной N разрядный код регистра последовательных приближений поступает на цифроаналоговый преобразователь, который из опорного напряжения формирует меняющееся эталонное напряжение (U_0).

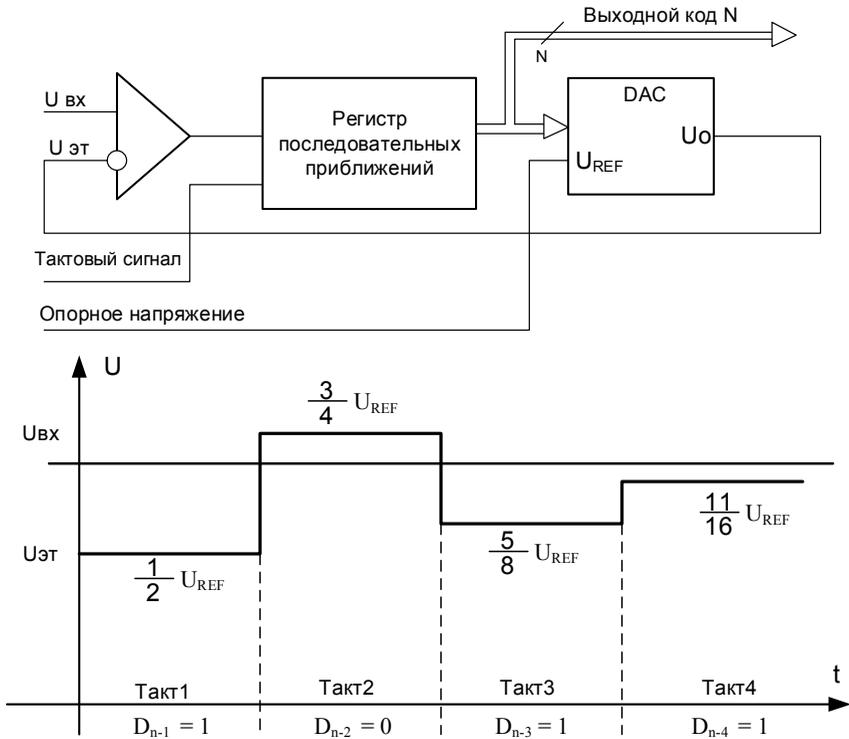


Рис. 1.7. АЦП последовательного типа

Регистр последовательных приближений работает так, что в зависимости от результата предыдущего сравнения выбирается следующий уровень эталонного напряжения по нижеперечисленному алгоритму:

1. В первом такте входной сигнал сравнивается с половиной опорного напряжения.

2. Если входной сигнал меньше половины опорного напряжения, то на следующем такте он сравнивается с четвертью опорного напряжения (то есть половина опорного напряжения уменьшается на четверть). Одновременно в регистр последовательных приближений записывается старший разряд выходного кода, равный нулю.

3. Если же входной сигнал больше половины опорного напряжения, то на втором такте он сравнивается с $3/4$ опорного напряжения

(то есть половина увеличивается на четверть). Одновременно в регистр последовательных приближений записывается старший разряд выходного кода, равный единице.

4. Затем эта последовательность сравнений повторяется нужное число раз с уменьшением на каждом такте вдвое ступени изменения эталонного напряжения (на третьем такте – $1/8$ опорного напряжения, на четвертом – $1/16$ и т. д.). В результате опорное напряжение в каждом такте приближается к входному напряжению. Всего преобразование занимает n тактов.

В последнем такте вычисляется младший разряд.

Этот процесс довольно медленный и требует нескольких тактов, причем в течение каждого такта должны успеть сработать компаратор, регистр последовательных приближений и ЦАП с выходом по напряжению.

Поэтому последовательные АЦП довольно медленные, имеют сравнительно большое время и малую частоту преобразования.

АЦП поразрядного взвешивания нашли широкое применение при разработке ИС ввиду своей простоты и достаточно хорошего быстродействия.

Такие ИС могут иметь в своем составе генератор тактовых импульсов и источник эталонного напряжения.

В качестве примера будет рассмотрен АЦП, выполненный на ИС К1113ПВ1 (рис. 1.8) и диаграмму его работы (рис. 1.9).

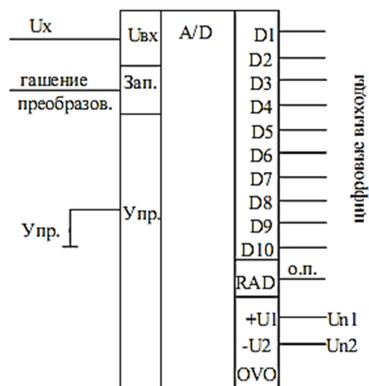


Рис. 1.8. ИС К1113ПВ1

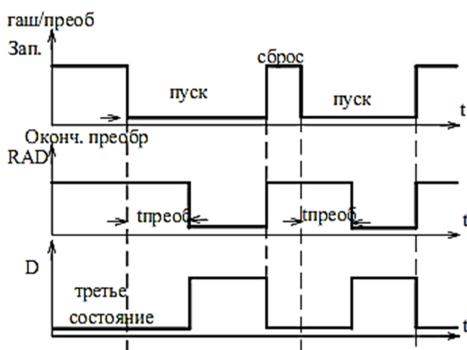


Рис. 1.9. Диаграмма работы ИС К1113ПВ1

ИС АЦП К1113ПВ1 предназначена для преобразования однополярного или биполярного аналогового напряжения ($U_{\text{вх}} = 0 \dots 10$ В или $U_{\text{вх}} = -5 \text{ В} \dots +5 \text{ В}$) в десятиразрядный двоичный код.

Нелинейность преобразования данной ИС составляет $\pm 0,1 \%$, а время преобразования 30 мкс.

Для работы ИС требуется два источника питания +5 В и –15 В.

В микросхему встроен внутренний источник опорного напряжения и генератор тактовых импульсов.

АЦП поразрядного уравнивания наиболее распространены и часто применяются в составе модуля ввода аналоговых сигналов в составе микроконтроллеров.

1.1.2. Аналого-цифровые преобразователи параллельного типа

АЦП параллельного преобразования реализуют метод непосредственного считывания и являются самыми быстродействующими.

Все разряды выходного кода вычисляются в них одновременно (параллельно), поэтому АЦП параллельного преобразования гораздо быстрее, чем последовательные АЦП.

Структурная схема 6-разрядного АЦП параллельного преобразования приведена на рис. 1.10.

Устройство содержит:

- делитель, образованный резисторами R1...R64;
- 63 компаратора K1...K63;
- преобразователь кода;
- регистр.

На входы компараторов поступают входной сигнал U_x и напряжение с делителя.

При этом на выходах компараторов формируется 64-разрядный единичный код. Число единиц в нем равно числу уровней квантования.

Полученный единичный код поступает на вход 64-разрядного преобразователя кода, в котором он преобразуется в 6-разрядный двоичный код. Полученный двоичный код записывается в регистр и выдается на выходные шины.

В таком АЦП время преобразования занимает один такт.

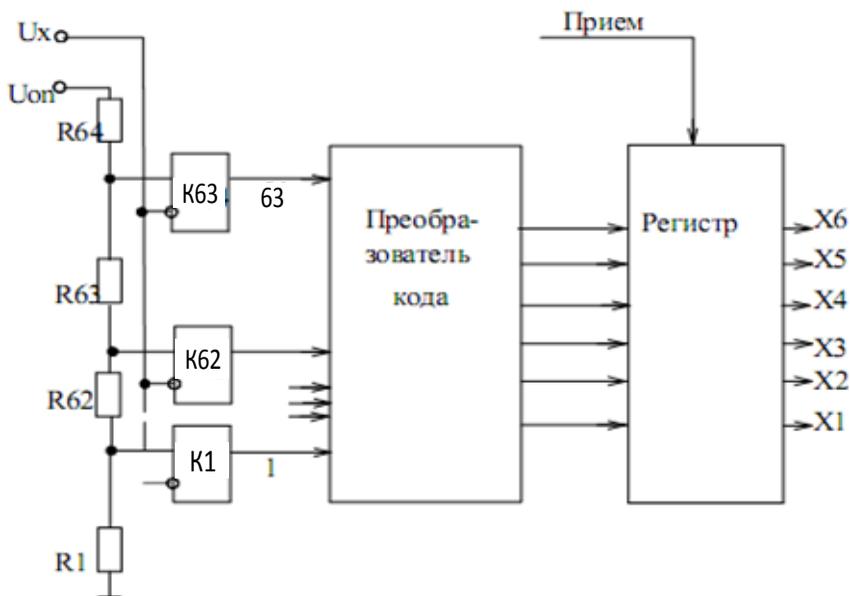


Рис. 1.10. Структурная схема АЦП параллельного преобразования

Однако данные АЦП требуют применения большого количества компараторов ($2^n - 1$), что вызывает чисто технологические трудности при большом количестве разрядов (например, при 12-разрядном АЦП требуется 4095 компараторов).

Схема АЦП параллельного типа (рис. 1.11) включает в себя резистивный делитель из 2^n одинаковых резисторов, который делит опорное напряжение на $(2^n - 1)$ уровней. Большое количество применяемых быстродействующих компараторов и элементов преобразователя кода приводит к большой потребляемой мощности АЦП параллельного типа и необходимости отвода тепла.

Входное напряжение сравнивается с помощью компараторов с уровнями, формируемыми делителем напряжения.

Выходные сигналы компараторов с помощью шифратора преобразуются в n -разрядный двоичный код.

Шифратор выдает на выход номер последнего из сработавших (то есть выдавших сигнал логической единицы) компараторов.

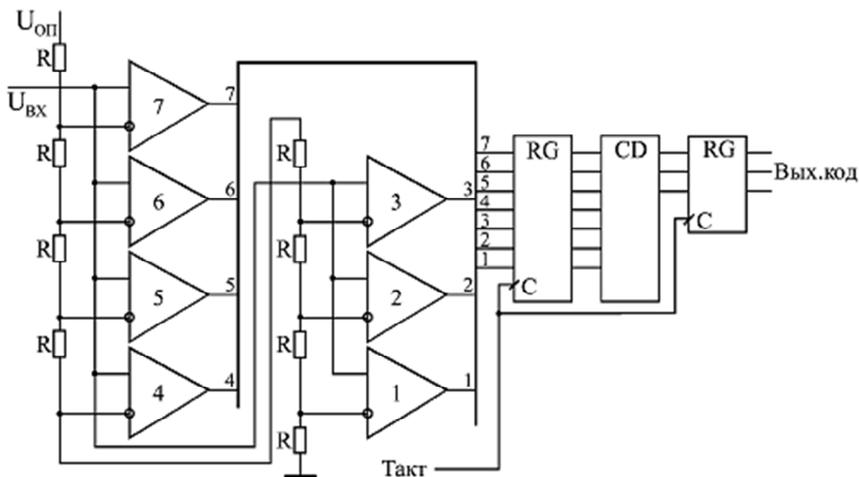


Рис. 1.11. 3-разрядный АЦП параллельного типа

Например, для 3-разрядного АЦП (рис. 1.11):

- при величине входного напряжения от 0 до $1/8$ опорного напряжения выходной код будет 000;
- при входном напряжении от $1/8$ до $2/8$ опорного напряжения работает первый компаратор, что даст выходной код 001;
- при входном напряжении от $2/8$ до $3/8$ опорного напряжения работают компараторы 1 и 2, что даст выходной код 010, и т. д.

Процесс преобразования происходит в параллельном АЦП очень быстро, поэтому частота преобразования может достигать сотен мегагерц.

Для повышения быстродействия в параллельном АЦП часто применяется конвейерный принцип.

Конвейерный принцип заключается в том, что выходной код компараторов записывается в параллельный регистр, который содержит $2^n - 1$ разрядов.

Выходной код шифратора записывается в n -разрядный параллельный регистр. Оба регистра в этом случае тактируются одним и тем же тактовым сигналом.

Это снижает требования к быстродействию компараторов и шифратора.

Недостатком такого схемотехнического решения является то, что выходной код АЦП задерживается из-за таких регистров на два периода таковой частоты.

Громоздкость структуры параллельного АЦП приводит к тому, что в некоторых АЦП применяется смешанный параллельно-последовательный принцип.

Это несколько снижает быстродействие подобного АЦП по сравнению с обычным параллельным АЦП, но зато позволяет получить большое число разрядов, не увеличивая количество компараторов до $(2^n - 1)$.

Для того чтобы АЦП любого типа работал с использованием всех своих возможностей, необходимо обеспечить согласование диапазона изменения входного аналогового сигнала с допустимым диапазоном (динамическим диапазоном) входного напряжения АЦП.

На рис. 1.12 показано четыре возможных случая соотношения динамического диапазона АЦП (от 0 до U_{REF} или от U_{REF1} до U_{REF2}) и входного сигнала.

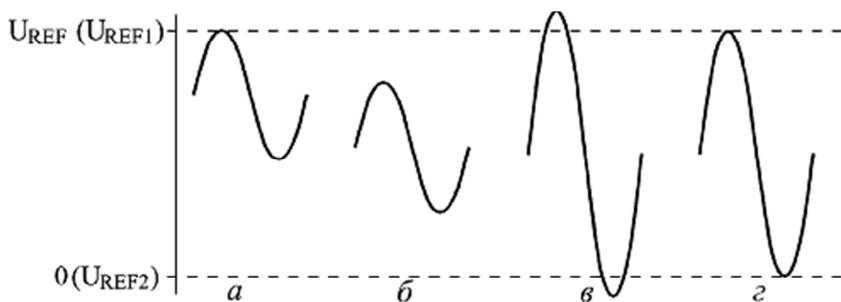


Рис. 1.12. Соотношение входного сигнала и динамического диапазона АЦП

В случаях «а» и «б» входной сигнал меньше динамического диапазона, поэтому АЦП будет работать правильно, но не будет использовать всех своих возможностей.

В случае «в» входной сигнал слишком большой, поэтому часть его значений не будет преобразована.

Только в случае «г» АЦП действительно будет работать как n -разрядный и будет преобразовывать все значения входного сигнала.

Для согласования входного сигнала с динамическим диапазоном АЦП можно применять усилители, аттенюаторы, схемы сдвига.

В некоторых случаях согласование может быть достигнуто простым выбором величин опорных напряжений.

Иногда бывает необходимо уменьшить количество разрядов АЦП. В этом случае нужное количество младших разрядов выходного кода микросхемы просто не используется.

На рис. 1.13 показано использование 10-разрядного АЦП в качестве 8-разрядного АЦП.

Младшие разряды кода (выходы D0 и D1) не используются.

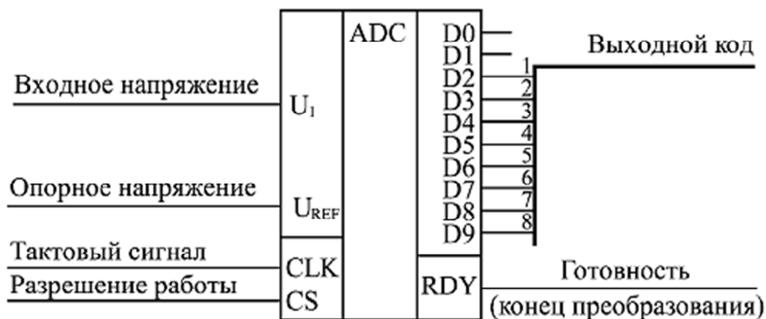


Рис. 1.13. Уменьшение количества разрядов выходного кода АЦП

Реже требуется решать задачу с увеличением разрядности АЦП.

Существует ряд типичных схемотехнических решений по объединению нескольких микросхем АЦП для увеличения количества разрядов выходного кода, но большинство этих решений требует сложных расчетов результирующих погрешностей преобразования и применения аналоговых узлов, что в данном пособии не рассматривается.

При возникновении задачи увеличения разрядности АЦП надо прежде всего попытаться найти микросхему с нужным количеством разрядов и только потом рассматривать возможности объединения нескольких микросхем АЦП.

Рассмотрим несколько типичных схем включения АЦП, используемых в аналого-цифровых системах.

Первая схема (рис. 1.13) предназначена для фиксации момента превышения входным аналоговым сигналом заданного порогового напряжения.

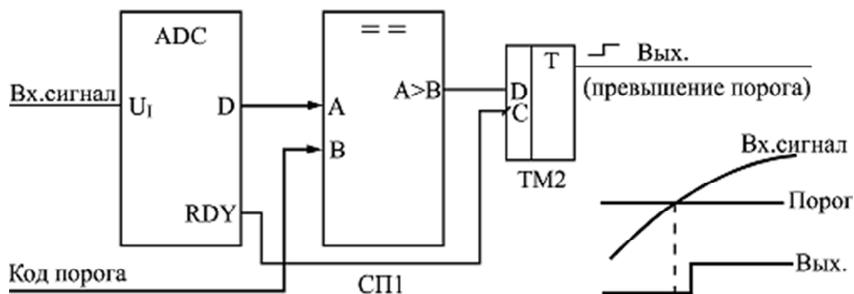


Рис. 1.14. Фиксатор превышения входным сигналом установленного порога

Схема вырабатывает выходной сигнал (положительный фронт) тогда, когда входной аналоговый сигнал становится больше установленного уровня, причем уровень этот задается цифровым кодом порога.

Код порога сравнивается с выходными кодами АЦП с помощью микросхемы компаратора кодов.

Выходной сигнал компаратора кодов записывается в триггер по сигналу RDY с АЦП, что позволяет исключить влияние коротких импульсов, возникающих на выходе компаратора в момент изменения входных кодов.

Применение этого триггера задерживает выходной сигнал на один такт.

В аналого-цифровых системах АЦП, преобразующий входной сигнал в последовательность кодов, как правило, уже имеется, поэтому дополнительного АЦП не требуется, достаточно только включить компаратор кодов и триггер.

АЦП также применяется в схемах вычисления амплитуды входного аналогового сигнала (рис. 1.15).

В регистр со входом разрешения записи записывается код с выхода АЦП по сигналу RDY в том случае, если текущее значение кода больше значения кода, записанного ранее в регистр.

В результате уже после одного периода входного сигнала в регистре будет код амплитуды входного сигнала. За период преобразования АЦП должны успеть сработать компаратор кодов и регистр.

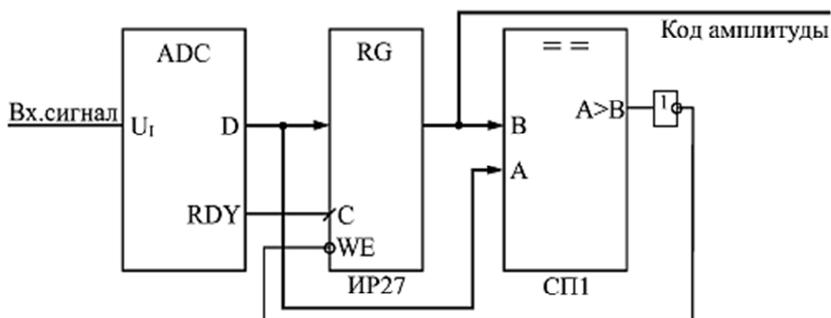


Рис. 1.15. Вычислитель амплитуды аналогового сигнала

Если такой вычислитель амплитуды входного сигнала используется в составе сложной аналого-цифровой системы, в которой уже присутствует АЦП, непрерывно преобразующий входной сигнал в коды, то дополнительно требуются только цифровые микросхемы: компаратор кодов и регистр.

Наиболее часто встречающееся использование АЦП – это преобразование входного сигнала в поток кодов, причем эти коды, обычно, записываются в буферную память.

В данном случае наиболее подходящим является однонаправленный буфер с периодическим режимом работы.

То есть сначала в буферную память записывается массив кодов выборок входного сигнала, а затем этот массив читается для дальнейшей обработки.

Именно так, например, строится цифровой осциллограф, предназначенный для наблюдения аналоговых сигналов на экране.

Схема включения АЦП в этом случае показана на рис. 1.16.

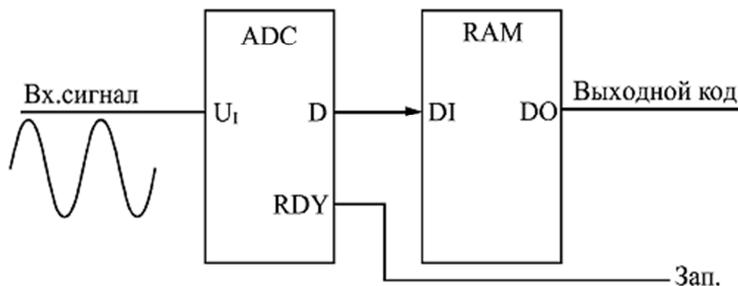


Рис. 1.16. Включение буферной памяти для запоминания кодов с выходов АЦП

В качестве stroba записи в буферную память используется сигнал RDY (сигнал готовности данных) с АЦП.

Конечно, в реальных аналого-цифровых устройствах все гораздо сложнее, в них требуются схемы синхронизации процесса записи с входным сигналом, схемы предварительной обработки аналогового сигнала, но суть остается той же – буферная память, записывающая последовательность кодов с выхода АЦП.

Чем больше объем памяти, тем больший фрагмент входного аналогового сигнала она может запомнить.

Например, если память имеет организацию 64К×8 (64 килобайта восьмиразрядных слов, 1 К = 1024 байта) и работает с 8-разрядным АЦП, то при частоте преобразования АЦП 10 МГц буфер сможет хранить в себе фрагмент аналогового сигнала длительностью 6,5536 мс.

Схема, приведенная на рис. 1.17, позволяет вдвое повысить быстродействие АЦП, точнее, поднять вдвое частоту записи кодов выборок входного сигнала в буферную память.

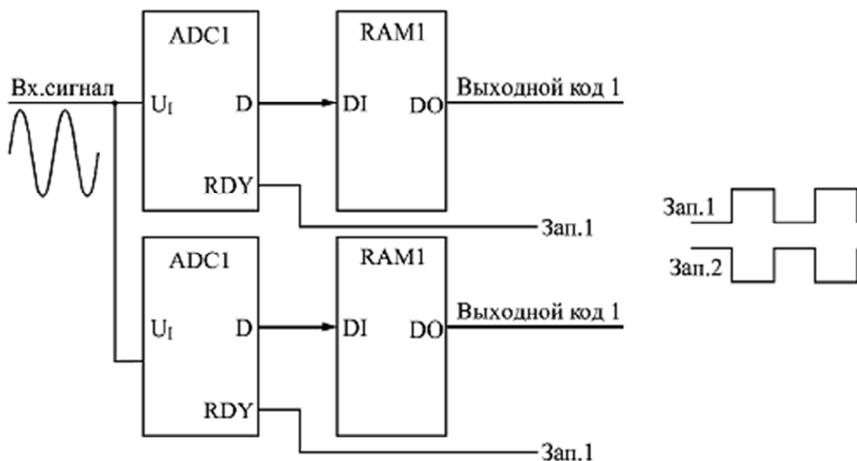


Рис. 1.17. Увеличение вдвое частоты преобразования входного сигнала с помощью двух АЦП с буферами

В схеме используются два АЦП и два буфера, которые работают по очереди, например, четные выборки входного сигнала обрабатывает один АЦП со своим буфером, а нечетные – другой АЦП со своим буфером.

В результате запоминание кодов входного сигнала осуществляется с частотой вдвое больше частоты преобразования каждого из АЦП.

Например, если каждый АЦП и каждый буфер работают с частотой 10 МГц, то результирующая частота преобразования составит 20 МГц.

Тактовые сигналы АЦП и сигналы RDY на выходах АЦП должны быть сдвинуты один относительно другого на половину периода тактового сигнала.

Чтение зарегистрированных кодов из обоих буферов также должно быть организовано по очереди: первый код читается из первого буфера, второй – из второго, третий – опять из первого, четвертый – из второго и т. д.

Объем обоих буферов в данном случае складывается, например, при организации каждого буфера 64К×8 (64 килобайта восьмиразрядных слов) результирующий буфер будет иметь организацию 128К×8 (128 килобайтов восьми разрядных слов).

Пользуясь этим же принципом, можно повысить частоту обработки входного сигнала с помощью АЦП не только в два, но и в три, в четыре раза и т. д.

Необходимо только согласовать во времени работу соответственно трех, четырех и т. д. АЦП, у каждого из которых должна быть своя буферная память.

1.1.3. Аналого-цифровые преобразователи с промежуточным преобразованием

Помимо АЦП последовательного и параллельного типов существуют еще и АЦП с промежуточным преобразованием. Такие АЦП часто называют «АЦП поразрядного взвешивания» или «АЦП поразрядного кодирования».

Данные АЦП выполняют одно преобразование за n тактов.

Структурная схема такого АЦП приведена на рис. 1.18.

Основой АЦП является регистр последовательных приближений. Он представляет собой сдвигающий регистр, в котором последовательно, начиная со старшего разряда, формируется логическая единица.

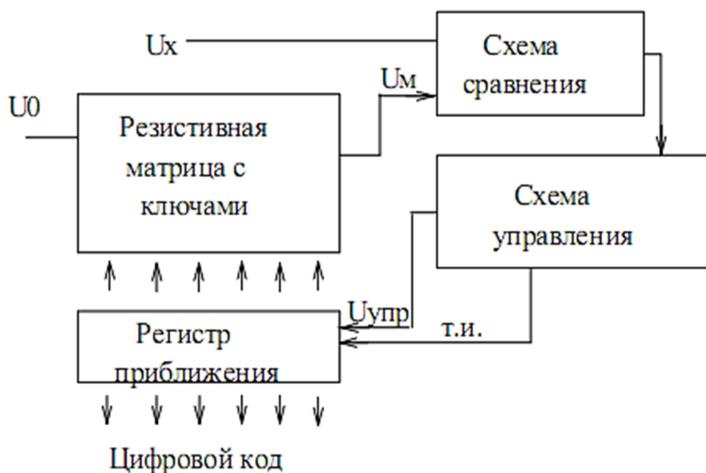


Рис. 1.18. Структурная схема АЦП поразрядного взвешивания

В зависимости от сигнала $U_{упр}$, поступающего на вход регистра приближения, эта единица или остается или заменяется логическим «0».

Резистивная матрица формирует аналоговое напряжение, эквивалентное «весу» (каждая цифра кода имеет свой вес – позиционная система счисления) цифрового кода, поступающего на матрицу с регистра приближений.

Схема сравнения сравнивает напряжения U_x и U_m , и в зависимости от их величин формирует сигнал $U_{упр}$ на уровне логического «0» или логической «1».

Рассмотрим пример.

Пусть $U_x = 7$ В, а $U_0 = 10$ В, тогда в первом такте в старшем разряде регистра формируется логическая «1», т. е.

$$U_m = 5 \text{ В, а значит } U_m < U_x; U_{упр} = 1.$$

Следовательно, в старшем разряде остается логическая «1».

Во втором такте, в следующем $n - 1$ разряде формируется логическая «1» и

$$U_m = 5 \text{ В} + 2,5 \text{ В} = 7,5 \text{ В}; U_m > U_x; U_{упр} = 0.$$

Следовательно, единица в $n - 1$ разряде заменяется на логический «0» и $U_M = 5 \text{ В}$.

В третьем такте в разряд $n - 2$ регистра записывается логическая «1», т. е.

$$U_M = 5 \text{ В} + 1,25 \text{ В} = 6,25 \text{ В}, U_M < U_x; U_{\text{упр}} = 1.$$

Следовательно, логическая «1» в разряде $n - 2$ остается.

В четвертом такте в разряд $n - 3$ регистра записывается логическая «1», т. е.

$$U_M = 5 \text{ В} + 1,25 \text{ В} + 0,625 \text{ В} = 6,875 \text{ В}, U_M < U_x; U_{\text{упр}} = 1.$$

Следовательно, логическая «1» остается в разряде $n - 3$.

Процесс преобразования повторяется n тактов, в результате с регистра приближений снимается цифровой код преобразованной аналоговой величины.

Принцип работы таких АЦП можно пояснить иначе: в них входной аналоговый сигнал с помощью аналогового интегратора преобразуется во временной интервал между цифровыми импульсами или в частоту следования цифровых импульсов.

Выходной цифровой код, соответствующий входному аналоговому сигналу формируется в результате измерения длительности временного интервала или частоты следования импульсов (рис. 1.19).

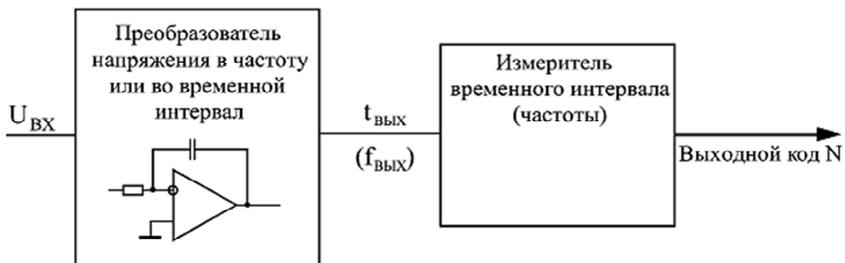


Рис. 1.19. АЦП с промежуточным преобразованием

Если используется выходная частота, то такой АЦП называется «преобразователем напряжение – частота» (ПНЧ).

Такой подход позволяет с помощью сравнительно простых аппаратных средств получить высокую точность преобразования, не зависящую от многих параметров используемых компонентов и от характеристик окружающей среды.

Измерение временных интервалов и частоты следования импульсов осуществляется простейшими цифровыми схемами.

Измерения эти могут осуществляться с высокой точностью вследствие того, что существует очень хороший временной эталон – кварцевый генератор.

Достоинством ПНЧ является также возможность простой передачи его выходного цифрового сигнала на большие расстояния.

Рассмотрим подробнее 12-разрядный быстродействующий аналого-цифровой преобразователь последовательного приближения, сопрягаемый с микропроцессорами, с временным преобразованием не более 2 мкс 1108ПВ2 и предназначенный для преобразования входного аналогового напряжения в выходной прямой двоичный код.

Области применения АЦП:

- системы обработки информации;
- телевидение;
- вычислительная и измерительная техника;
- медицинская аппаратура.

Особенности данного АЦП:

- малое время преобразования – 2 мкс;
- встроенный малошумящий band-gap источник опорного напряжения;
- встроенный регулируемый тактовый генератор;
- выходной регистр на три состояния с хранением информации;
- два источника питания ($U_{CC1} = +5 \text{ В} \pm 5 \%$, $U_{CC2} = -6 \text{ В} \pm 5 \%$).

Структурная схема такого АЦП 1108ПВ2 приведена на рис. 1.20. АЦП содержит:

- ЦАП;
- встроенный источник опорного напряжения (ИОН);
- компаратор напряжения (КН);
- генератор тактовых импульсов (ГТИ);
- регистр сдвига;
- регистр хранения и управления;
- дешифратор;
- сумматор;

– выходной регистр на три состояния с хранением информации преобразования в течение последующего цикла преобразования.

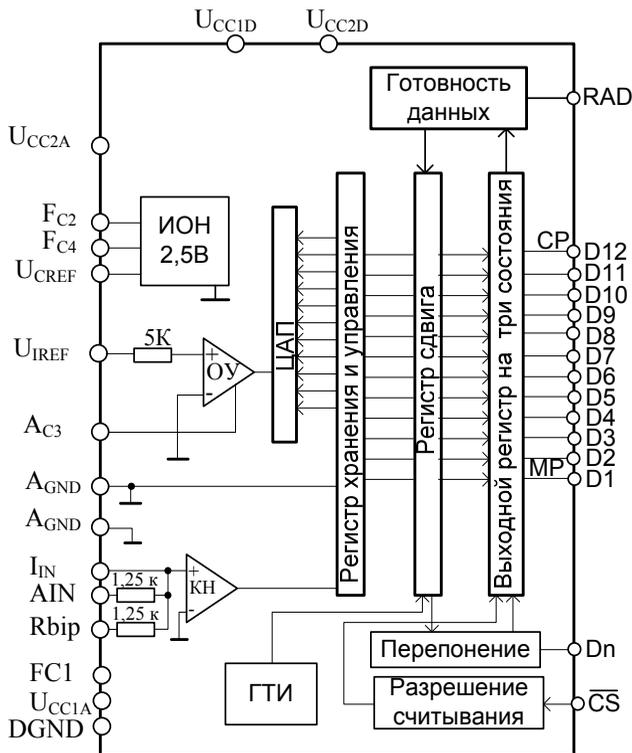


Рис. 1.20. Структурная схема 1108PB2

Предусмотрены следующие режимы работы АЦП:

- с внешним и внутренним тактированием и запуском;
- с внешним и внутренним ИОН;
- униполярный и биполярный диапазоны входного аналогового напряжения.

Выходы АЦП имеют три состояния.

В сериях данных АЦП имеются АЦП повышенной надежности, которые маркируются как ОСМ.

Тип корпуса данного АЦП 2123 40-6.

Назначения выводов представлено в табл. 1.1.

Таблица 1.1

Назначение выводов

№ вывода	Назначение вывода	Обозначение
1	Вход «Такт» (внутренний)	C_{CLK}
2	Вход «Такт» (внешний)	CLK
3	Вход «Запуск»	\overline{ST}
4	Вход «Разрешение считывания»	\overline{CS}
5	Выход «Переполнение»	Dn
6	Выход 1-го разряда (CP)	D1
7	Выход 2-го разряда	D2
8	Выход 3-го разряда	D3
9	Выход 4-го разряда	D4
10	Выход 5-го разряда	D5
11	Выход 6-го разряда	D6
12	Выход 7-го разряда	D7
13	Выход 8-го разряда	D8
14	Выход 9-го разряда	D9
15	Выход 10-го разряда	D10
16	Выход 11-го разряда	D11
17	Выход 12-го разряда (MP)	D12
18	Выход «Готовность данных»	RAD
19	+5 В (цифровая часть)	U_{CC1D}
20	-6 В (цифровая часть)	U_{CC2D}
21	-6 В (аналоговая часть)	U_{CC2A}
22,24	Частотная коррекция ИОН	FC2, FC4
23,25	Свободные выводы	NC
26	Выход внутреннего ИОН	U_{OREF}
27	Вход опорного напряжения	U_{IREF}
28	Коррекция ОУ	FC3
29, 30	Аналоговая земля	AGND
31	Технологический вывод	I_{IN}
32	Аналоговый вход	AIN
33	Резистор биполярного смещения	Rbip
34	Частотная коррекция КН	FC1
35	Плюс 5 В (аналоговая часть)	U_{CC1A}
36–39	Свободные выводы	NC
40	Цифровая земля	DGND

Основные электрические параметры аналого-цифрового преобразователя 1108ПВ2 при $U_{CC1} = +5$ В, $U_{CC2} = -6$ В приведены в табл. 1.2.

Таблица 1.2

Основные электрические параметры при $U_{CC1} = +5$ В, $U_{CC2} = -6$ В

Наименование параметра, единица измерения	Буквенные обозначения	Норма		Темпера- тура, °С
		не менее	не более	
1	2	3	4	5
Дифференциальная нелинейность, МР	δ_{LD}	-1	1	25
		-2	2	-45, 85
Нелинейность МР	δ_L	-2	2	25
		-4	4	-45, 85
Абсолютная погрешность преоб- разования в конечной точке шкалы (уриполярный режим), МР	δ_{FS1}	-10	10	25
	δ_{FS2}	-15	15	-45, 85
Напряжение смещения нуля на вхо- де (униполярный режим), мВ	U_{I01}	-10	10	25
		-15	15	-45, 85
Напряжение смещения нуля на вхо- де (биполярный режим), мВ	U_{I02}	-10	10	25
		-15	15	-45, 85
Выходное напряжение высокого уровня, В	U_{OH}	2,4	–	25
		2,4	–	-45, 85
Выходное напряжение низкого уровня, В	U_{OL}	–	0,4	25
		–	0,4	-45, 85
Выходное напряжение внутреннего опорного источника, В	U_{OREF}	2,4	2,6	25
Ток потребления по U_{CC1} , мА	I_{CC1}	–	80	25
		–	90	-45, 85
Ток потребления по U_{CC2} , мА	I_{CC2}	–	150	25
		–	160	-45, 85
Ток потребления по входу опорного напряжения (внешнего), мА	I_{REF}	–	5	25
		–	6	-45, 85
Входной ток высокого уровня по входам «такт», «запуск», «разре- шение считывания», мА	$I_{IH1}, I_{IH2}, I_{IH3}$	0	0,4	25
				-45, 85
Входной ток низкого уровня по входам «такт», «запуск», «разре- шение считывания», мА	$I_{IL1}, I_{IL2}, I_{IL3}$	0	2,5	25
		0	3	-45, 85

1	2	3	4	5
Входной ток в процессе преобразования, мА	I_{IRNC}	–	7	25
		–	8	–45, 85
Ток утечки выходов, мкА	I_{IO1}, I_{IO2}	–100	100	25 –45, 85
Время преобразования, мкс	t_c	–	2	25 –45, 85
Коэффициент влияния нестабильности источников питания на выходное напряжение внутреннего опорного источника, мВ/В	$SVRU_{OREF}$	–5	5	25
		–10	10	–45, 85
Температурный коэффициент выходного напряжения внутреннего опорного источника, мкВ/°С	αU_{OREF}	–200	200	45, 85
Число двоичных разрядов	B	12	–	25 –45, 85

Состав и принцип построения АЦП 1108ПВ2 позволяют преобразователю работать с внутренним или внешним ГТИ и ИОН, с автоматическим или внешним запуском.

Управление входами АЦП осуществляется сигналами от ТТЛ схем.

В микросхеме использован классический способ построения АЦП последовательного приближения.

С помощью компаратора напряжения (КН) производится сравнение эталонных токов с выхода ЦАП и тока, протекающего через входной резистор преобразователя.

Особенность КН состоит в низком входном сопротивлении (токовый вход) и построении усилительного каскада по схеме с общей базой для достижения максимального быстродействия.

Стабилизация рабочих потенциалов схемы обеспечивается вспомогательным ОУ с внешней частотной коррекцией.

Вход КН защищен от перегрузок ограничителем на встречно включенных диодах.

Имеется дополнительный цифровой выход переполнения D_n . Уровни соответствуют ТТЛ-схемам.

Цикл преобразования длится 14 тактов (первый и последний – служебные).

Изменение входного сигнала допускается только во время первого такта.

Сигнал переполнения с уровнем логической 1 появляется на выходе D_n («Переполнение»), если амплитуда входного сигнала превышает допустимое значение.

Внутренний ГТИ может работать как в автоколебательном режиме, так и в режиме управления внешними импульсами.

В первом случае к выводу C_{CLK} (Вход «Такт» – внутренний) подключается частото задающий конденсатор C_{CLK} или кварцевый резонатор (на частоту до 7,3 МГц), а вывод CLK соединяют с цифровой землей.

Во втором случае вывод C_{CLK} соединяют с цифровой землей, а на вывод CLK (Вход «Такт» – внешний) подают импульсы с уровнем ТТЛ и длительностью t_{CLKL} и t_{CLKH} не менее 60 нс.

При униполярном преобразовании вывод Rbip (Резистор биполярного смещения) соединяют с аналоговой землей.

При биполярном преобразовании вывод Rbip соединяют с выводом U_{IREF} (Вход опорного напряжения).

Управление микросхемы по входам CLK, \overline{CS} и \overline{ST} осуществляются управляющим напряжением ТТЛ низкого уровня.

Для уменьшения уровня помех, приведенных к входу, управление выходным регистром по входу \overline{CS} и изменение сигнала на цифровых выходах желательно осуществлять после завершения цикла кодирования.

Выход внутреннего ИОН можно подключать к внешним устройствам с током нагрузки не более 1 мА.

Основные электрические параметры АЦП приведены в табл. 1.2.

Схема включения АЦП 1108ПВ2 в униполярном режиме с внутренним тактовым генератором приведена на рис. 1.21.

$C1 \geq 43$ пФ или кварцевый резонатор с $f \leq 7,3$ МГц.

$C1, C2, C3, C4, C5, C6 \dots C10 - 0,1$ мкФ.

Схема включения АЦП в режиме работы с внешним генератором тактовых импульсов, внешним источником опорного напряжения с униполярным диапазоном входного сигнала (0–5 В) приведена на рис. 1.22.

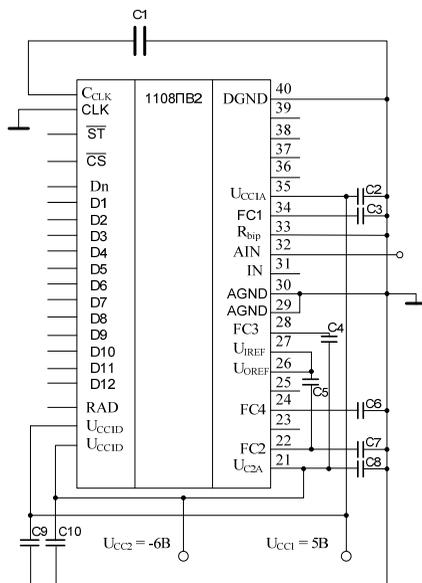


Рис. 1.21. Схема включения АЦП 1108PB2 в униполярном режиме с внутренним тактовым генератором

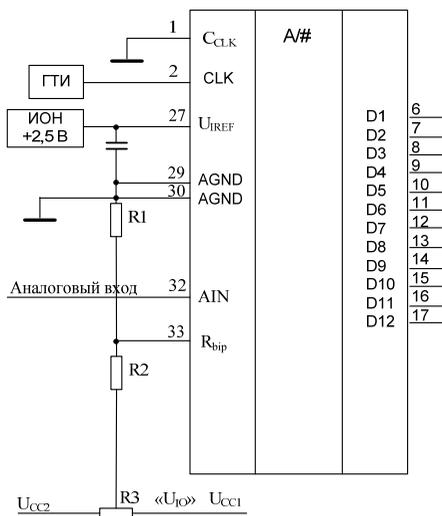


Рис. 1.22. Схема включения АЦП 1108PB2 в режиме работы с внешним генератором тактовых импульсов, внешним источником опорного напряжения с униполярным диапазоном входного сигнала (0–5 В)

Предельно-допустимые параметры эксплуатации АЦП 1108ПВ2 при $U_{CC1} = +5$ В, $U_{CC2} = -6$ В приведены в табл. 1.3.

Таблица 1.3

Предельно-допустимые параметры эксплуатации АЦП при $U_{CC1} = +5$ В, $U_{CC2} = -6$ В

Наименование параметра, единица измерения	Буквенные обозначения	Норма				Время воздействия предельного режима эксплуатации
		Предельно-допустимый режим		Предельный режим		
		не менее	не более	не менее	не более	
Напряжение питания (относительно DGND), В	U_{CC1}	4,75	5,25		5,5	Не более 1 ч за время эксплуатации
	U_{CC2}	-6,3	-5,7	-6,6		
Входное напряжение высокого уровня по входам «такт», «запуск», «разрешение считывания», В	$U_{IH1}, U_{IH2}, U_{IH3}$	2,4	U_{CC1}	2,2	U_{CC1}	
Входное напряжение низкого уровня по входам «такт», «запуск», «разрешение считывания», В	$U_{IL1}, U_{IL2}, U_{IL3}$	-0,1	0,45	-0,3	0,6	
Диапазон униполярного входного напряжения (относительно AGND), В	U_{IRN1}	-0,5	5,5	-1	6,5	
Диапазон биполярного входного напряжения (относительно AGND), В	U_{IRN2}	-3	3	-4	4	
Выходной ток высокого уровня на разрядных выходах и готовности данных, мА	I_{CN}	-0,15	0	-0,3	0	
Выходной ток низкого уровня на разрядных выходах и готовности данных, мА	I_{CL}	0	3,2	0	4	
Сопrotивление нагрузки, кОм	R_L	12	-	10	-	
Емкость нагрузки, пФ	C_L	-	25	-	100	

Внешние резисторы позволяют регулировать напряжение в конечной точке шкалы и нуля в пределах ± 3 младших разряда.

Схема включения АЦП в режиме работы с внешним генератором тактовых импульсов, внешним источником опорного напряжения с биполярным диапазоном входного сигнала ($-2,5-5$ В) приведена на рис. 1.23.

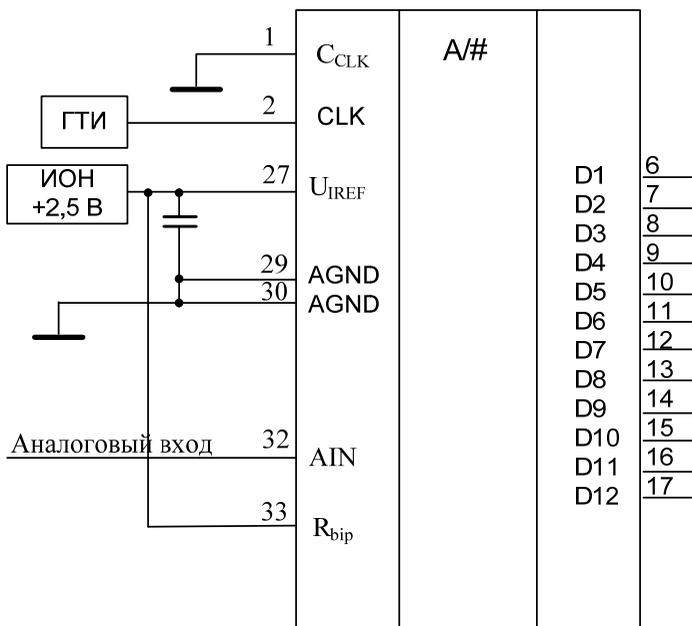


Рис. 1.23. Схема включения АЦП 1108PB2 в режиме работы с внешним генератором тактовых импульсов, внешним источником опорного напряжения с биполярным диапазоном входного сигнала ($-2,5-5$ В)

Схема включения АЦП в режиме работы с внутренним тактированием, внутренним источником опорного напряжения, с униполярным диапазоном входного сигнала ($0-5$ В) приведена на рис. 1.24.

Схема включения АЦП в режиме работы с внутренним тактированием, внутренним источником опорного напряжения, с биполярным диапазоном входного сигнала ($-2,5-2,5$ В) приведена на рис. 1.25.

Микросхема обеспечивает нормальное функционирование при отклонении напряжения питания от номинальных значений до ± 5 %.

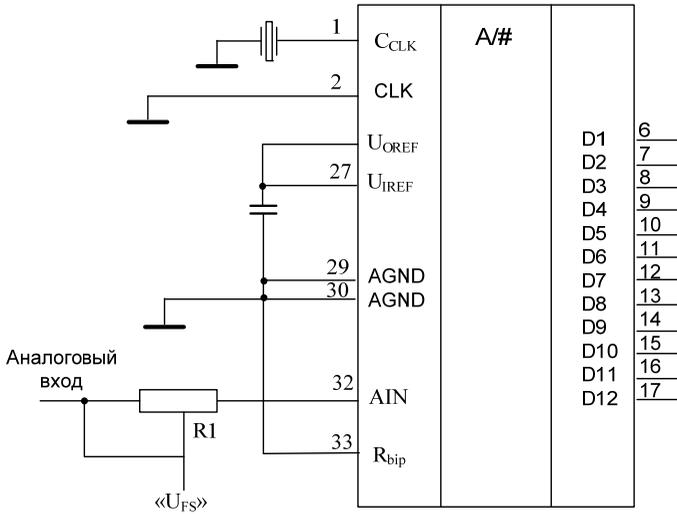


Рис. 1.24. Схема включения АЦП в режиме работы с внутренним тактированием, внутренним источником опорного напряжения, с униполярным диапазоном входного сигнала (0–5 В)

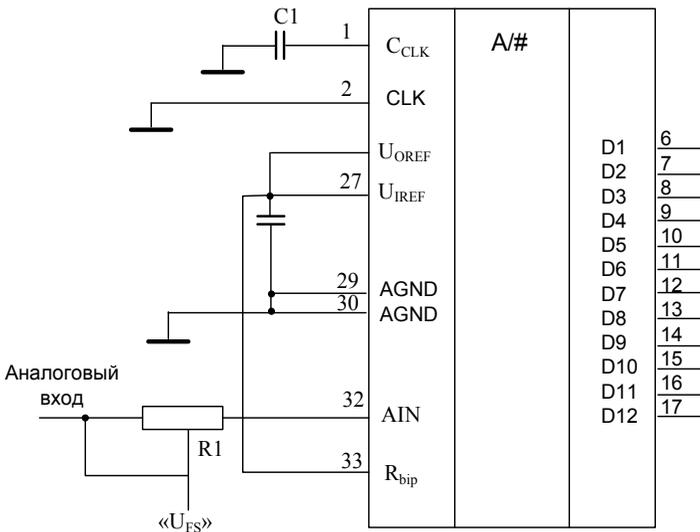


Рис. 1.25. Схема включения АЦП в режиме работы с внутренним тактированием, внутренним источником опорного напряжения, с биполярным диапазоном входного сигнала (–2,5–2,5 В)

Временная диаграмма работы микросхемы приведена на рис. 1.26.

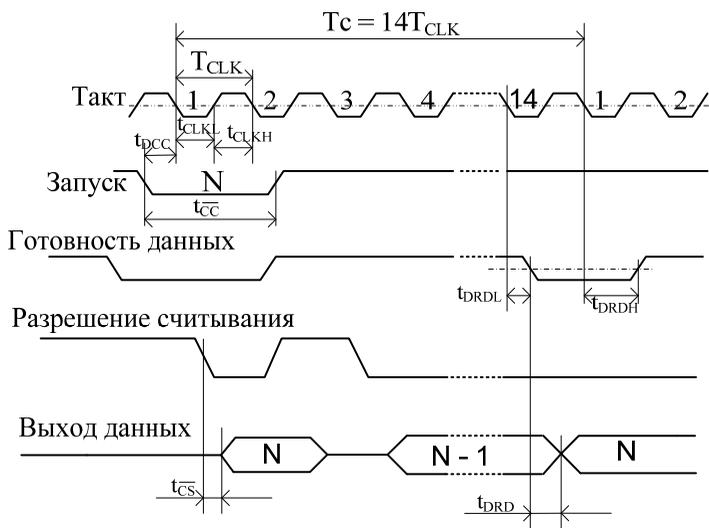


Рис. 1.26. Временная диаграмма работы АЦП

При установке БИС АЦП на плате необходимо осуществлять развязку между аналоговой и цифровой землей. Разность потенциалов между ними не должна превышать $\pm 0,2$ В.

При работе с микросхемой необходимо соблюдать меры предосторожности, исключающие действия на нее статического электричества и других напряжений при выключении питания.

Рекомендации по применению микросхемы, следующие:

1. Запрещается подача электрических сигналов на выходы микросхемы при выключенных источниках питания.

2. Рекомендуется подавать на микросхему напряжение в следующей последовательности:

- а) потенциал «земли»;
- б) напряжение питания $U_{CC1} = +5$ В; $U_{CC2} = -6$ В;
- в) напряжение на цифровые входы;
- г) входное аналоговое напряжение.

Порядок снятия напряжений должен быть обратный.

1.1.4. Следящие АЦП

Следящие АЦП в отличие от АЦП поразрядного взвешивания имеют в своем составе вместо регистра последовательных приближений реверсивный счетчик.

Схема следящего АЦП и диаграмма его работы приведена на рис. 1.27.

Управление реверсивным счетчиком производится по управляющей шине «±» в зависимости от соотношения сигналов U_x и U_M .

При изменении входного сигнала U_x , изменяется код реверсивного счетчика и напряжение с матрицы U_M «следит» за U_x .

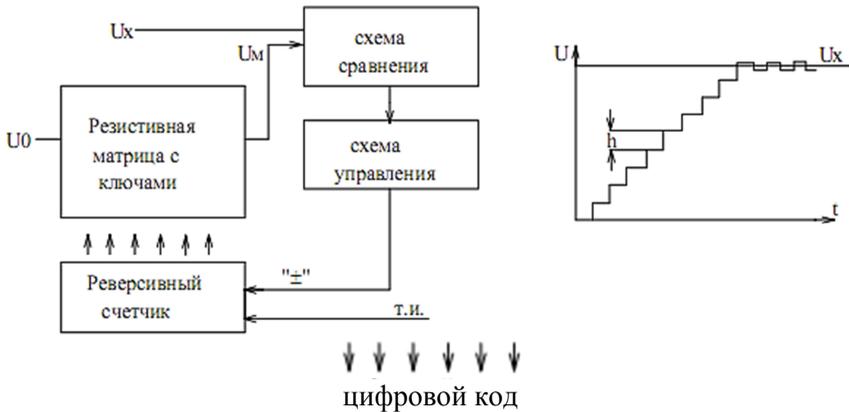


Рис. 1.27. Следящее АЦП и временная диаграмма ее работы

1.1.5. Интегрирующие АЦП

Интегрирующие АЦП относятся к медленнодействующим преобразователям.

Принцип их действия основан на преобразовании аналоговой величины во временной интервал t_x и формировании числоимпульсного (единичного) кода путем заполнения этого интервала импульсами опорной частоты f_0 .

Структурная схема такого АЦП приведена на рис. 1.28.

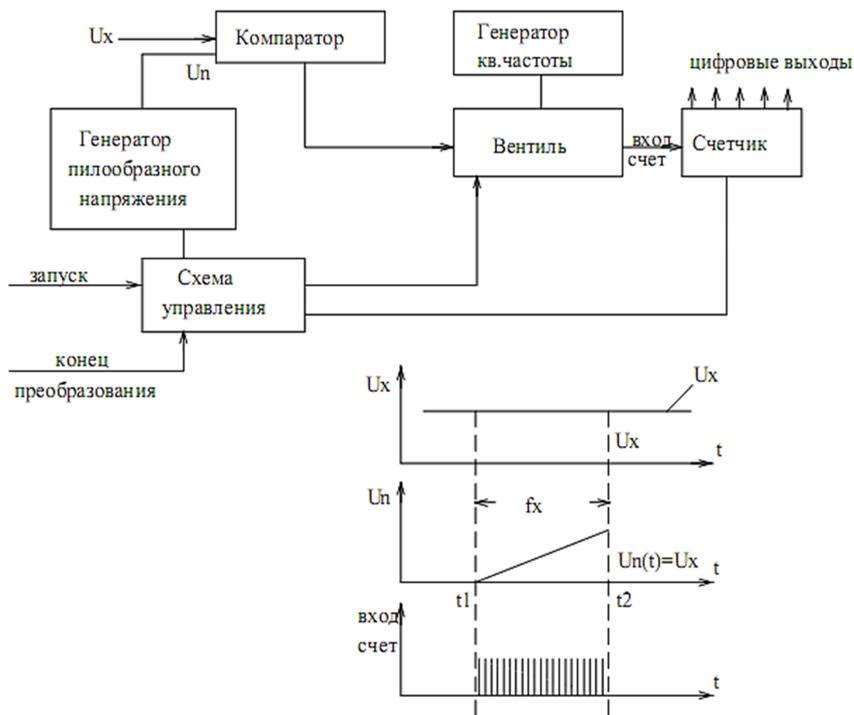


Рис. 1.28. Структурная схема и временная диаграмма работы интегрирующего АЦП

Значение единичного кода определяется соотношением:

$$N(1) = t_x \cdot f_0.$$

Число импульсный код поступает на счетчик, на выходе которого формируется цифровой код.

Максимальное время преобразования зависит от разрядности АЦП и определяется как

$$T_{\text{пр. max}} = f_0 \cdot 2^n,$$

где f_0 – период частоты кварцевого генератора.

Погрешность интегрирующего АЦП определяется, в основном, изменением наклона пилообразного напряжения, которое определяется постоянной времени RC интегратора (генератора пилообразного напряжения).

Под воздействием внешних дестабилизирующих факторов, особенно температуры, постоянная времени, а, следовательно, и наклон пилообразного напряжения меняется, что приводит к значительным погрешностям преобразования.

Поэтому в настоящее время для построения интегрирующих АЦП используют принцип двойного интегрирования (рис. 1.29).

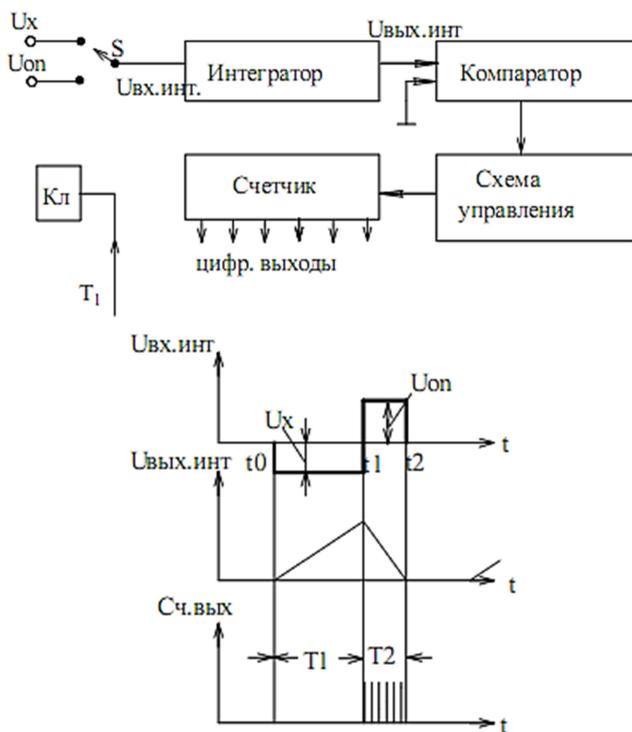


Рис. 1.29. Структурная схема АЦП двойного интегрирования и временная диаграмма его работы

Принцип работы АЦП двойного интегрирования заключается в том, что сначала в течение некоторого фиксированного времен-

ного интервала T_1 интегрируется аналоговая преобразуемая величина U_x , а затем интегрируется эталонное (опорное) напряжение противоположной полярности $U_{оп}$. Временной интервал T_2 пропорционален преобразуемой величине U_x .

Действительно в течение интервала времени T_1 напряжение на выходе интегратора изменяется по линейному закону:

$$U_{\text{вых.инт}} = -\frac{1}{RC} \cdot \int_{t_0}^{t_1} U_x dt = -\frac{U_x}{RC} \cdot t, \quad \text{при } U_x = \text{const.}$$

В течение интервала времени T_2 выходное напряжение на выходе интегратора изменяется от $U_{\text{вых.инт.мак}}$ до 0, т. е.

$$U_{\text{вых.инт}} = -\frac{1}{RC} \cdot \int_{t_1}^{t_2} U_{оп} dt = -\frac{U_{оп}}{RC} \cdot t, \quad \text{при } U_{оп} = \text{const.}$$

Следовательно,

$$\frac{U_x}{RC} \cdot T_1 = \frac{U_{оп}}{RC} \cdot T_2, \quad T_2 = \frac{T_1}{U_{оп}} \cdot U_x.$$

Таким образом интервал времени T_2 зависит от постоянной величины $T_1 / U_{оп}$ и переменной U_x и не зависит от параметров интегратора (рис. 1.30).

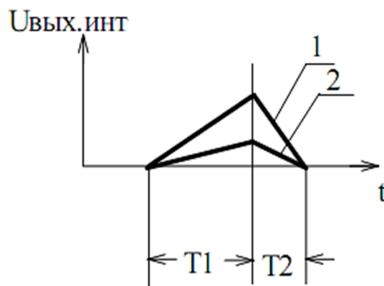


Рис. 1.30. Напряжение на выходе интегратора при постоянной времени $\tau_1 = R_1 \cdot C_1$ (1) и при $\tau_2 = R_2 \cdot C_2$ (1)

АЦП двойного интегрирования обеспечивает высокую точность преобразования в условиях промышленных помех в широком интервале температур и используется в измерительной технике и автоматизированных системах управления.

Например, основу всех мультиметров составляет АЦП двойного интегрирования. ИС K572ПВ2 и K572ПВ5 практически одинаковые, но первая работает на светодиодные индикаторы, а вторая – на жидкокристаллические индикаторы.

Микросхема K572ПВ2 (рис. 1.31) совместно с источником опорного напряжения, несколькими резисторами и конденсаторами выполняет функции АЦП двойного интегрирования с автоматической установкой нуля ОУ и определением полярности входного сигнала.

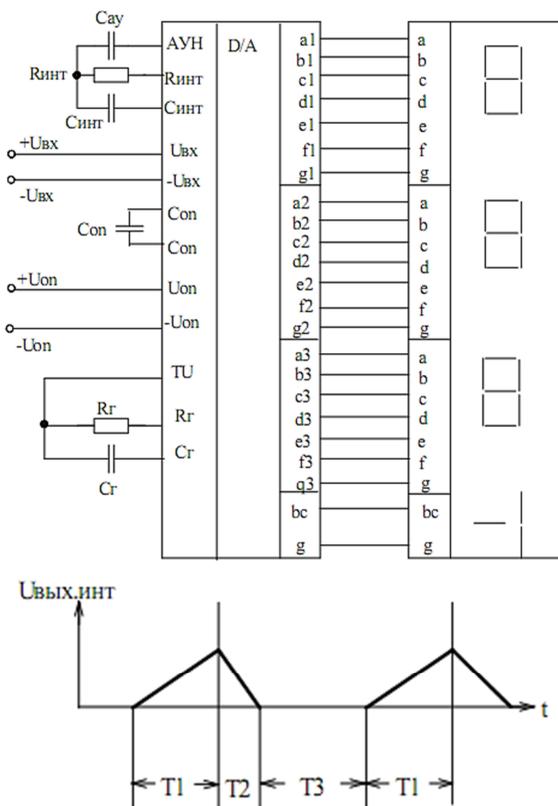


Рис. 1.31. ИС K572ПВ2 (а) и выходное напряжение на выходе генератора (б)

Основные технические параметры ИС:

- разрядность – 3,5 десятичных разряда;
- входное сопротивление – 50 Мом;
- входное напряжение – $\pm 1,999 U_{оп}$ (В),
- быстродействие – (2–9) Гц;
- потребляемый ток – 1,8 мА;
- напряжение питания – 9 В.

Работа ИС происходит под воздействием тактовых импульсов $f_{ти}$ внутреннего генератора импульсов в три этапа:

- на первом этапе T_1 , длительностью 4000 периодов $f_{ти}$, происходит интегрирование напряжения U_x ;
- на втором этапе, длительностью от 0 до 8000 периодов, $f_{ти}$ происходит интегрирование опорного напряжения $U_{оп}$;
- на третьем этапе, длительностью от 4000 до 12 000 периодов $f_{ти}$, происходит автоматическая установка нуля ОУ.

Весь цикл преобразования занимает 16 000 тактов.

1.1.6. Многоканальные АЦП

Многоканальные АЦП широко используются для преобразования нескольких однотипных аналоговых величин (рис. 1.32).

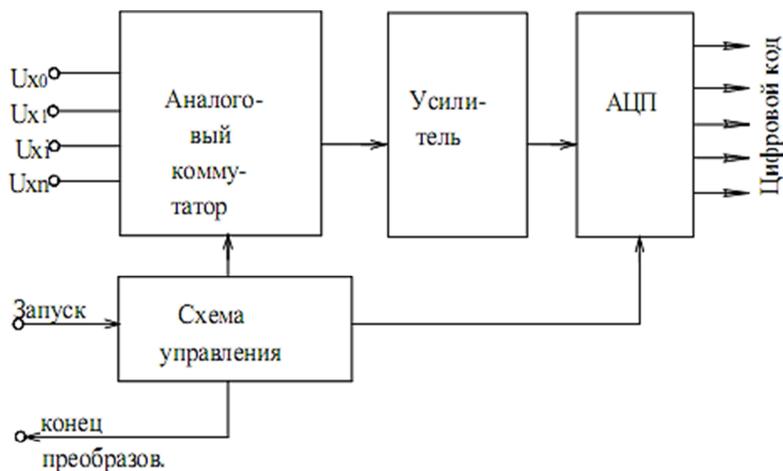


Рис. 1.32. Многоканальный АЦП

Такие АЦП включают в себя аналоговый коммутатор и один из рассмотренных выше АЦП.

Преобразование происходит последовательно параметр за параметром. Аналоговый коммутатор поочередно подключает на вход АЦП через усилитель все входные сигналы.

1.1.7. Погрешности АЦП

Характеристики реальных АЦП могут отличаться по ряду параметров от идеальных характеристик.

Передаточная характеристика может быть сдвинута относительно идеальной характеристики (рис. 1.33).

Эта погрешность называется погрешностью «смещения» или «установки нуля» и определяется как значение аналоговой величины, при которой характеристика пересекает ось входных напряжений.

Наклон передаточной характеристики может отличаться от своего идеального значения, что приводит к погрешности «наклона» или «усиления» (рис. 1.34).

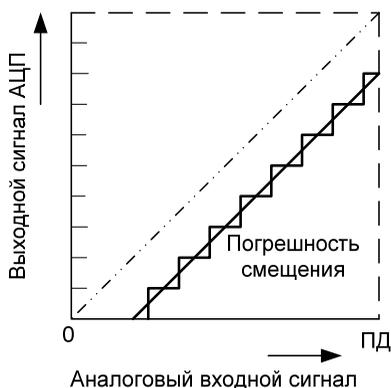


Рис. 1.33. Погрешность смещения

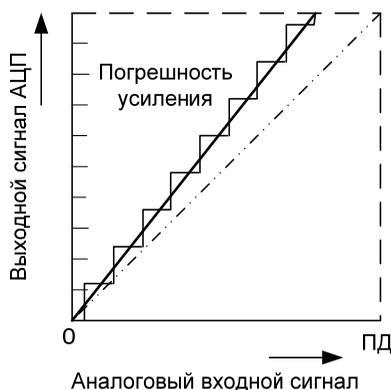


Рис. 1.34. Погрешность усиления

Погрешности смещения и усиления для большинства АЦП малы или могут быть устранены с помощью предварительных регулировок.

Труднее устранить погрешности, связанные с нелинейностью передаточной характеристики, которые невозможно уменьшить с помощью регулировок.

В АЦП проявляются два типа нелинейности – интегральная и дифференциальная.

Интегральная нелинейность определяется максимальным отклонением передаточной характеристики от идеальной прямолинейной характеристики при нулевых значениях погрешностей смещения и усиления (рис. 1.35).

Дифференциальная нелинейность – это отклонение величины одного из квантов от его идеального аналогового значения.

Если дифференциальная нелинейность превышает 1 один младший разряд, то в выходном сигнале может отсутствовать одна из кодовых комбинаций (выпадающий код), что показано на рис. 1.36.

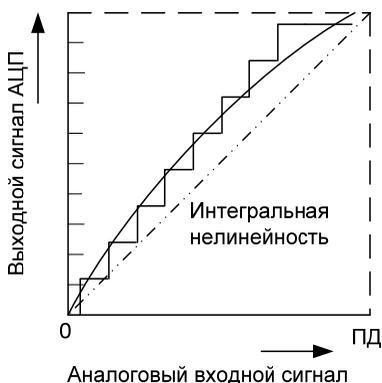


Рис. 1.35. Интегральная нелинейность

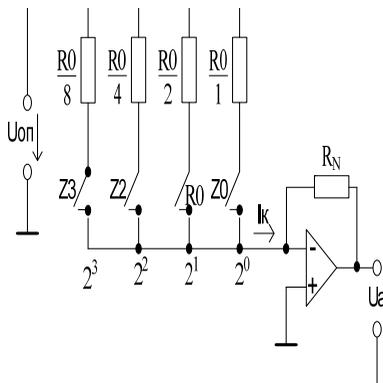


Рис. 1.36. Дифференциальная нелинейность

Рассмотрим несколько типичных схем включения АЦП, используемых в аналого-цифровых системах.

Схема, приведенная на рис. 1.37, предназначена для фиксации момента превышения входным аналоговым сигналом заданного порогового напряжения, что часто необходимо в устройствах, обеспечивающих контроль параметра на превышение заданного порогового значения.

Схема вырабатывает выходной сигнал (положительный фронт) тогда, когда входной аналоговый сигнал становится больше установленного уровня, причем уровень этот задается цифровым кодом порога.

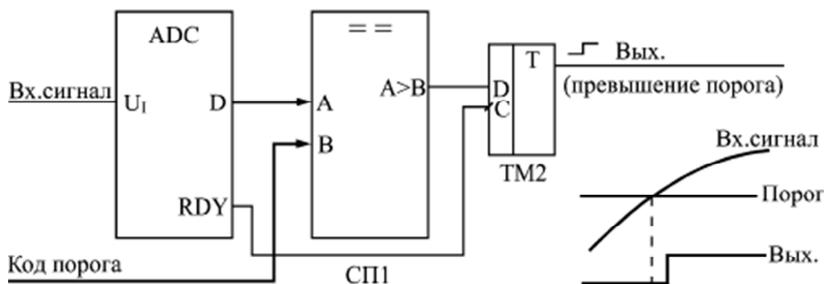


Рис. 1.37. Фиксатор превышения входным сигналом установленного порога

Код порога сравнивается с выходными кодами АЦП с помощью микросхемы компаратора кодов.

Выходной сигнал компаратора кодов записывается в триггер по сигналу RDY с АЦП, что позволяет исключить влияние коротких импульсов, возникающих на выходе компаратора в момент изменения входных кодов.

Применение этого триггера задерживает выходной сигнал «Вых» на один такт.

Может показаться, что применение АЦП в данном случае не оправданно, избыточно. Но надо учитывать, что в аналого-цифровых системах АЦП, преобразующий входной сигнал в последовательность кодов, как правило, уже есть, поэтому дополнительного АЦП не требуется, достаточно только включить компаратор кодов и триггер.

АЦП также применяется в схемах вычисления амплитуды входного аналогового сигнала (рис. 1.38).

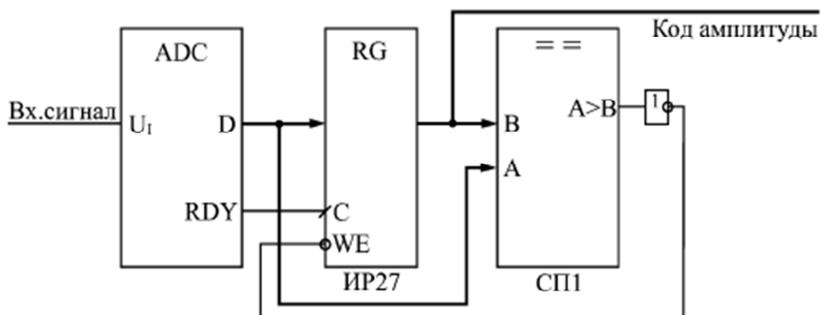


Рис. 1.38. Вычислитель амплитуды аналогового сигнала

В качестве источника последовательности входных кодов в данном случае выступает АЦП.

В регистр со входом разрешения записи записывается код с выхода АЦП по сигналу RDY в том случае, если текущее значение кода больше значения кода, записанного ранее в регистр.

В результате уже после одного периода входного сигнала в регистре будет код амплитуды входного сигнала. За период преобразования АЦП должны успеть сработать компаратор кодов и регистр.

Если такой вычислитель амплитуды входного сигнала используется в составе сложной аналого-цифровой системы, в которой уже присутствует АЦП, непрерывно преобразующий входной сигнал в коды, то дополнительно требуются только цифровые микросхемы: компаратор кодов и регистр.

Наиболее часто встречающееся использование АЦП – это преобразование входного сигнала в поток кодов, причем коды эти обычно записываются в буферную память. В данном случае наиболее подходящим является однонаправленный буфер с периодическим режимом работы.

То есть сначала в буферную память записывается массив кодов выборок входного сигнала, а затем этот массив читается для дальнейшей обработки. Именно так, например, строится цифровой осциллограф, предназначенный для наблюдения аналоговых сигналов на экране.

Схема включения АЦП в этом случае показана на рис. 1.39.

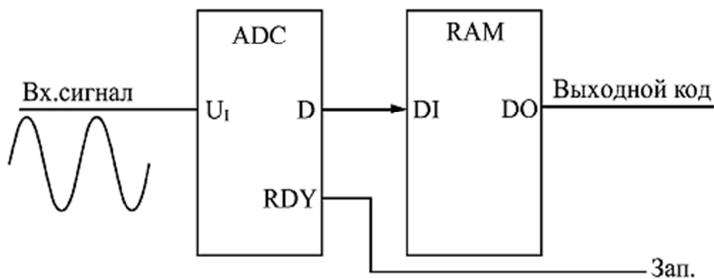


Рис. 1.39. Включение буферной памяти для запоминания кодов с выходов АЦП

В качестве строга записи в буферную память используется сигнал RDY с АЦП.

Чем больше объем памяти, тем больший фрагмент входного аналогового сигнала она может запомнить. Например, если память

имеет организацию 64К×8 и работает с 8-разрядным АЦП, то при частоте преобразования АЦП 10 МГц буфер сможет хранить в себе фрагмент аналогового сигнала длительностью 6,5536 мс.

Схема, приведенная на рис. 1.40, позволяет повысить быстродействие АЦП, точнее, поднять вдвое частоту записи кодов выборки входного сигнала в буферную память.

В данном схемотехническом решении используется два АЦП и два буфера, которые работают по очереди, например, четные выборки входного сигнала обрабатывает один АЦП со своим буфером, а нечетные – другой АЦП со своим буфером.

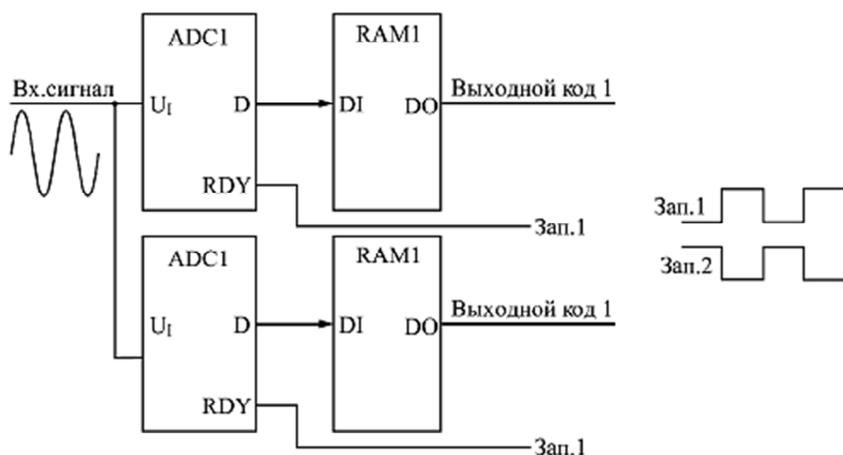


Рис. 1.40. Увеличение вдвое частоты преобразования входного сигнала с помощью двух АЦП с буферами

В результате запоминание кодов входного сигнала осуществляется с частотой вдвое больше частоты преобразования каждого из АЦП.

Например, если каждый АЦП и каждый буфер работают с частотой 10 МГц, то результирующая частота преобразования составит 20 МГц.

Тактовые сигналы АЦП и сигналы RDY на выходах АЦП должны быть сдвинуты один относительно другого на половину периода тактового сигнала.

Чтение зарегистрированных кодов из обоих буферов также должно быть организовано по очереди: первый код читается из первого

буфера, второй – из второго, третий – опять из первого, четвертый – из второго и т. д.

Объем обоих буферов в данном случае складывается. Например, при организации каждого буфера $64\text{К} \times 8$ результирующий буфер будет иметь организацию $128\text{К} \times 8$.

Пользуясь этим же принципом, можно повысить частоту обработки входного сигнала с помощью АЦП не только в два, но и в три, в четыре раза и т. д.

Необходимо только согласовать во времени работу соответственно трех, четырех и т. д. АЦП, у каждого из которых должна быть своя буферная память.

1.2. Цифро-аналоговые преобразователи

Цифро-аналоговый преобразователь (ЦАП) предназначен для преобразования входной величины, представленной числовым кодом, в эквивалентную аналоговую величину.

Все виды ЦАП можно условно разделить на две группы:

- с прецизионными резистивными матрицами;
- безматричные ЦАП.

В первой группе по способу формирования сигнала различают три типа схем:

- с суммированием токов;
- с делением напряжения;
- с суммированием напряжений.

В микроэлектронном исполнении применяются структуры только первых двух типов.

Из микросхем второй группы можно назвать два типа ЦАП:

- с активными делителями тока;
- стохастические.

Обе группы ЦАП имеют как достоинства, так и недостатки.

Основной характеристикой ЦАП является разрешающая способность, которая определяется числом разрядов N .

Теоретически ЦАП, преобразующий N разрядные двоичные коды, должен обеспечить 2^N различных значений выходного сигнала с разрешающей способностью $(2^N - 1)^{-1}$.

Абсолютное значение минимального выходного кванта напряжения определяется как предельным принимаемым числом $2^N - 1$,

так и максимальным выходным напряжением ЦАП, называемым напряжением шкалы $U_{\text{шк}}$.

Так при 12-ти разрядах число независимых квантов (ступенек) выходного напряжения ЦАП составляет

$$2^{12} - 1 = 4095.$$

Выбранное с помощью опорного источника напряжение шкалы $U_{\text{шк}} = 10 \text{ В}$, разделенное на это число квантов, дает абсолютную разрешающую способность ЦАП (рис. 1.41):

$$\delta_{\text{шк}} = U_{\text{шк}} / (2^{12} - 1) = 10^3 \text{ мВ} / (2^{12} - 1) = 2,45 \text{ мВ}.$$

Отличие реального значения разрешающей способности от теоретического значения обусловлено погрешностями узлов и шумами ЦАП.

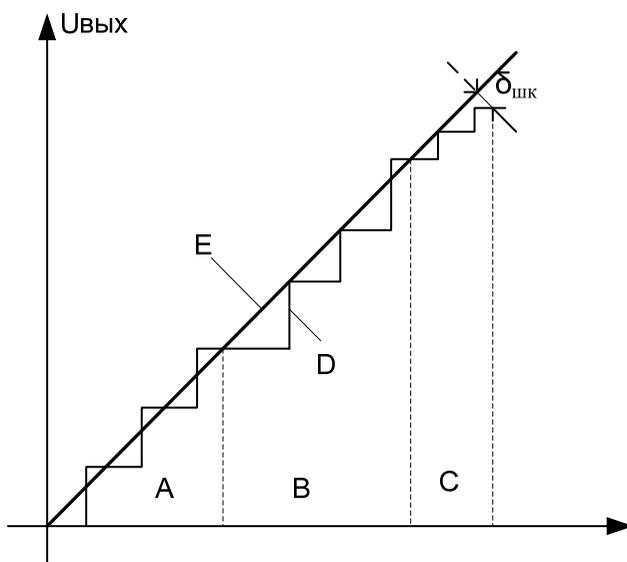


Рис. 1.41. Передаточная характеристика ЦАП:

A — линейность; B — нелинейность; C — немонотонность; D — выходной сигнал;

E — прямая, соединяющая идеальные значения уровней выходного сигнала;

$\delta_{\text{шк}}$ — погрешность полной шкалы

Точность ЦАП определяется значениями абсолютной погрешности прибора, нелинейностью и дифференциальной нелинейностью.

Абсолютная погрешность $\delta_{\text{шк}}$ представляет отклонение значения выходного напряжения (тока) от номинального расчетного, соответствующего конечной точке характеристики преобразования.

Абсолютная погрешность измеряется, как было указано выше в единицах младшего значащего разряда (МЗР).

Нелинейность прибора $\delta_{\text{л}}$ характеризует идентичность минимальных приращений выходного сигнала во всем диапазоне преобразования и определяется как наибольшее отклонение выходного сигнала от прямой линии абсолютной точности, проведенной через нуль и точку максимального значения выходного сигнала.

Значение нелинейности не должно превышать $\pm 0,5$ единицы МР.

Дифференциальная нелинейность $\delta_{\text{л.диф}}$ характеризует идентичность соседних приращений сигнала.

Ее определяют как минимальную разность погрешности нелинейности двух соседних квантов в выходном сигнале.

Значение дифференциальной нелинейности не должно превышать удвоенное значение погрешности нелинейности.

Если значение $\delta_{\text{л.диф}}$ больше единицы МЗР, то преобразователь считается немонотонным, т. е. на его выходе выходной сигнал не может наращиваться равномерно при равномерном возрастании входного кода.

Немонотонность в некоторых квантах дает уменьшение выходного сигнала при нарастании входного кода.

Из динамических параметров наиболее существенными являются время установления выходного напряжения или тока и максимальная частота преобразования.

Время установления $t_{\text{уст}}$ – интервал времени от подачи входного кода до вхождения выходного сигнала в заданные пределы.

Максимальная частота преобразования $f_{\text{прб}}$ – наибольшая частота дискретизации, при которой параметры ЦАП соответствуют заданным значениям.

Работа ЦАП часто сопровождается специфическими переходными импульсами, которые представляют собой острые пики большой амплитуды в выходном сигнале, возникающие из-за разности времен открывания и закрывания аналоговых ключей в ЦАП.

Особенно выбросы проявляются, когда вместо 0 в старшем значащем разряде и единиц в младших разрядах кода поступает единица в старший значащий разряд (СЗР) и код «все нули» в МЗР.

Например, если код 011...111 сменяется кодом 10...000, а ключ старшего разряда ЦАП открывается позже, чем закрываются ключи младших разрядов, то приращение выходного сигнала всего на один квант может сопровождаться импульсом с амплитудой $0,5U_{\text{шк}}$.

Длительность этого пика будет соответствовать запаздыванию смены состояния ключей.

В общем случае микросхему ЦАП можно представить в виде блока (рис. 1.42), имеющего несколько цифровых входов и один аналоговый вход, а также аналоговый выход.

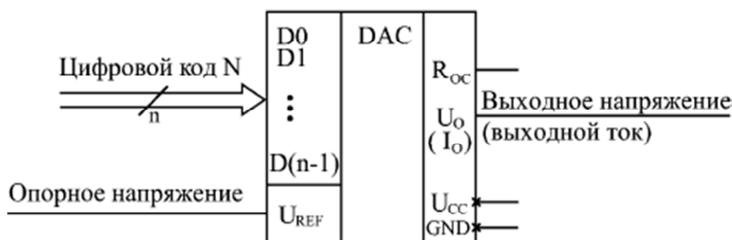


Рис. 1.42. Условно-графическое обозначение микросхемы цифро-аналогового преобразователя

На цифровые входы ЦАП D0 – D(n – 1) подается n-разрядный код N.

На аналоговый вход (U_{REF}) подается опорное напряжение U_{оп}.

Выходным сигналом является напряжение U_{вых} или ток I_{вых}.

Выходной ток I_{вых} или выходное напряжение U_{вых} пропорциональны входному коду и опорному напряжению.

Для некоторых микросхем опорное напряжение должно иметь строго заданный уровень, для других допускается менять его значение в широких пределах, в том числе и изменять его полярность (положительную на отрицательную и наоборот).

ЦАП с большим диапазоном изменения опорного напряжения называется умножающим ЦАП, так как его можно легко использовать для умножения входного кода на любое опорное напряжение.

Кроме информационных сигналов, микросхемы ЦАП требуют также подключения одного или двух источников питания и общего провода.

Обычно цифровые входы ЦАП обеспечивают совместимость со стандартными выходами микросхем ТТЛ.

Чаще всего в случае, если ЦАП имеет токовый выход, его выходной ток I_O преобразуется в выходное напряжение с помощью внешнего операционного усилителя и встроенного в ЦАП резистора обратной связи R_{OC} , один из выводов которого выведен на внешний вывод микросхемы (рис. 1.43).

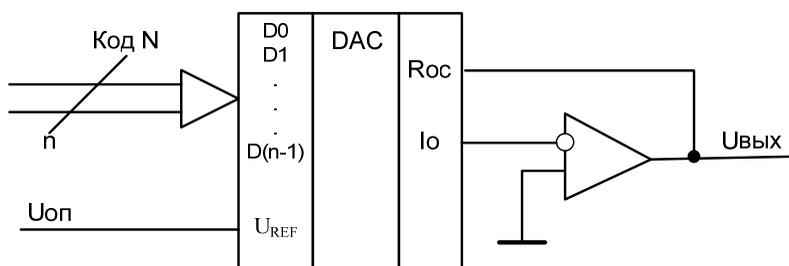


Рис. 1.43. Преобразование выходного тока ЦАП в выходное напряжение

Принцип работы ЦАП состоит в суммировании эталонных значений напряжений (токов), соответствующих разрядам входного кода, причем в суммировании принимают участие только те эталоны, для которых в соответствующих разрядах стоит «1».

В этом случае выходное напряжение определяется следующим образом:

$$U_{\text{ВЫХ}} = \frac{U_{\text{оп}}}{2} \cdot K_n + \frac{U_{\text{оп}}}{4} \cdot K_{n-1} + \frac{U_{\text{оп}}}{8} \cdot K_{n-2} + \dots + \frac{U_{\text{оп}}}{2^n} \cdot K_1,$$

где $U_{\text{оп}}$ – опорное (эталонное) напряжение;

K – коэффициенты двоичных разрядов, принимающие значение 0 или 1;

n – разрядность входного кода.

Основные параметры ЦАП подразделяются на статические и динамические.

К статическим параметрам относятся:

- разрядность (n);
- абсолютная разрешающая способность ЦАП – т. е. минимальное значение изменения сигнала на выходе, обусловленное изменением входного кода на единицу (цена младшего разряда), определяется как $U_{\text{оп}} / 2^n$;
- абсолютная погрешность преобразования в конечной точке шкалы $\delta_{\text{шк}}$. Абсолютная погрешность представляет собой отклонение значения выходной напряженности от номинального расчетного значения, соответствующего конечной точке характеристики преобразования (измеряется в единицах младшего разряда (ЕМР) или в процентах (рис. 1.44));
- нелинейность преобразования δL – это отклонение реальной характеристики преобразования от расчетной (линейной). Величина δL измеряется в единицах младшего разряда или в процентах.

$$\delta L = \frac{\Delta L}{U_{\text{макс}}} \cdot 100.$$

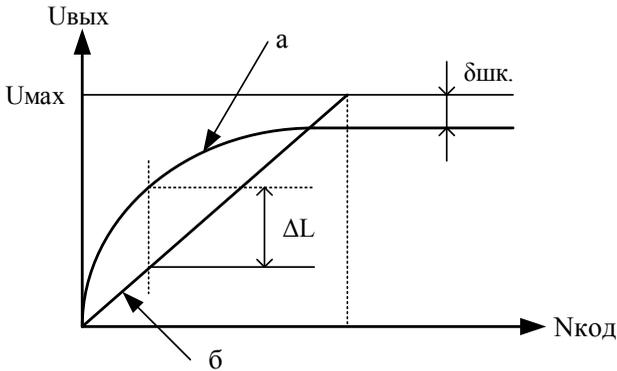


Рис. 1.43. Характеристики преобразования ЦАП:
 a – реальная; b – идеальная

Из динамических характеристик наиболее существенными являются:

- время установления выходного сигнала $t_{\text{уст}}$ – это интервал времени от подачи входного кода до появления выходного напряжения;
- максимальная частота преобразования $f_{\text{преобр}}$.

При построении ЦАП в качестве эталонов используются токи или напряжения.

На рис. 1.45 представлена простая схема преобразования двоичного числа в пропорциональное ему напряжение.

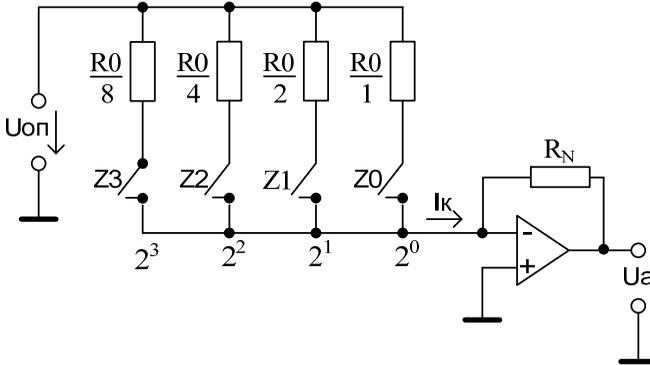


Рис. 1.45. Схема ЦАП с суммированием токов

Величины сопротивлений резисторов выбирается таким образом, чтобы при замкнутых ключах через них протекал ток, соответствующий весу разряда.

Ключ должен быть замкнут тогда, когда в соответствующий разряд поступает логическая единица.

Благодаря тому, что операционный усилитель с помощью резистора R_N охвачен петлей отрицательной обратной связи, узел суммирования остается под нулевым потенциалом.

При этом исключается взаимное влияние составляющих токов при суммировании.

Выходное напряжение представляется в виде:

$$U_a = -U_{оп} \cdot (R_N / R_0) \cdot (8 \cdot Z_3 + 4 \cdot Z_2 + 2 \cdot Z_1 + Z_0),$$

$$U_a = -U_{оп} \cdot (R_N / R_0) \cdot Z \quad \text{при } 0 \leq Z \leq 15.$$

Чтобы увеличить число разрядов двоичного числа, следует подключить параллельно соответствующее число резисторов $(1/16) \cdot R_0$, $(1/32) \cdot R_0$ и т. д.

Наиболее жесткие требования предъявляются к точности резисторов старших разрядов, поскольку разброс токов в них не должен превышать ток младшего разряда.

Поэтому разброс сопротивления в 2^N -разряде должен быть меньше, чем

$$\Delta R / R = 1 / 2^{n+1}.$$

Из этого условия следует, что разброс сопротивления резистора в 2^4 -разряде не должен превышать 3 %, а в 2^{10} -разряде – 0,05 %.

Для двоично-десятичного счета наращивание разрядности можно провести, добавляя на каждую декаду четыре резистора, сопротивления которых соответственно в 10 раз меньше, чем у четырех предыдущих.

Недостатком рассмотренной схемы является то, что на ключи подается напряжение с большой амплитудой. Поэтому использование электронных ключей в этом случае затруднительно.

Кроме того, из-за влияния паразитных емкостей частота переключения оказывается низкой.

Этих недостатков можно избежать, если ввести трехпозиционные ключи, которые подключаются либо к узлу суммирования токов, либо к общей нулевой точке. При этом ток, протекающий через каждый резистор, не меняется. Следовательно, нагрузка источника опорного напряжения постоянна.

Принцип построения ЦАП с перекидными ключами, реализующих метод суммирования весовых токов, представлен на рис. 1.46.

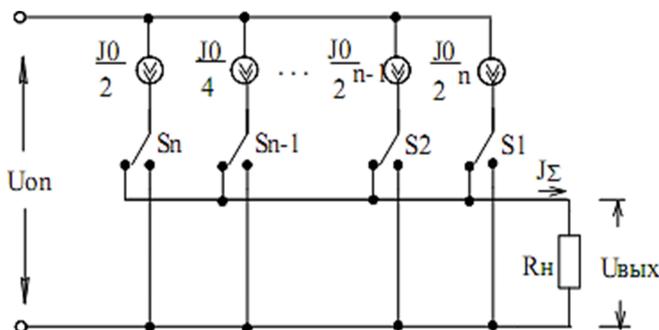


Рис. 1.46. Схема ЦАП с перекидными ключами с суммированием весовых токов

Данное устройство содержит n источников тока, которые подключаются с помощью ключей S к общей нагрузке R_H .

На общей нагрузке R_H будут протекать только токи тех разрядов, в которых значение цифры соответствует единице.

Если нагрузка R_H постоянна, то выходное напряжение $U_{\text{вых}}$ пропорционально входному коду.

На практике для получения выходного напряжения, пропорционального входному коду, в качестве нагрузки используется операционный усилитель (ОУ), играющий роль преобразователя тока в напряжение (рис. 1.47).

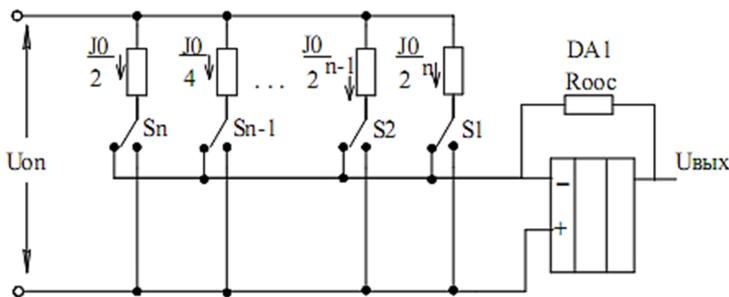


Рис. 1.47. Использование ОУ в качестве нагрузки

Первым (левым по рисунку) ключом (S_n) коммутируется ток величиной $U_{\text{оп}} / 2 \cdot R$.

Вторым ключом (S_{n-1}) коммутируется ток $U_{\text{оп}} / 4 \cdot R$.

Третьим ключом (S_{n-2}) коммутируется ток $U_{\text{оп}} / 8 \cdot R$.

Четвертым ключом коммутируется ток $U_{\text{оп}} / 16 \cdot R$.

То есть токи, коммутируемые соседними ключами, различаются вдвое, как и веса разрядов двоичного кода.

Токи, коммутируемые всеми ключами, суммируются и преобразуются в выходное напряжение с помощью операционного усилителя с сопротивлением $R_{\text{ооc}} = R$ в цепи отрицательной обратной связи.

При правом положении каждого ключа (единица в соответствующем разряде входного кода ЦАП) ток, коммутируемый этим ключом, поступает на суммирование.

При левом положении ключа (ноль в соответствующем разряде входного кода ЦАП) ток, коммутируемый этим ключом, на суммирование не поступает.

Суммарный ток I_0 от всех ключей создает на выходе операционного усилителя следующее напряжение:

$$U_0 = I_0 \cdot R_{\text{оос}} = I_{0R}.$$

То есть вклад первого ключа (старшего разряда кода) в выходное напряжение составляет $U_{\text{оп}} / 2$, второго – $U_{\text{оп}} / 4$, третьего – $U_{\text{оп}} / 8$, четвертого – $U_{\text{оп}} / 16$.

Таким образом, при входном коде $N = 0000$ выходное напряжение схемы будет нулевым, а при входном коде $N = 1111$ оно будет равно $-15U_{\text{оп}} / 16$.

В общем случае выходное напряжение ЦАП при $R_{\text{оос}} = R$ будет связано с входным кодом N и опорным напряжением $U_{\text{оп}}$ простой формулой:

$$U_{\text{вых}} = -N \cdot U_{\text{оп}} 2^{-n},$$

где n – количество разрядов входного кода.

Знак «минус» получается из-за инверсии сигнала операционным усилителем.

Недостатком рассмотренной выше схемы ЦАП является широкий диапазон величин сопротивлений в резистивной матрице для формирования разрядных токов.

Кроме этого, эти резисторы должны иметь высокую точность изготовления.

Поэтому в современных ЦАП используются резистивные матрицы типа R–2R. Эти матрицы включают в себя резисторы двух номиналов R и 2R (рис. 1.48).

В резистивной матрице происходит последовательное деление тока на два. В результате выходное максимальное напряжение на выходе ЦАП при $N = 111\dots 1$ равно:

$$U_{\text{вых}} = U_{\text{оп}} \cdot \frac{S_4}{2} + U_{\text{оп}} \cdot \frac{S_3}{4} + U_{\text{оп}} \cdot \frac{S_2}{8} + U_{\text{оп}} \cdot \frac{S_1}{16};$$

$$U_{\text{вых}} = U_{\text{оп}} \cdot \frac{R_{\text{оос}}}{R} \left(1 - \frac{1}{2^n} \right).$$

Входное сопротивление резистивной матрицы, а следовательно и ток J_0 , постоянны и не зависят от состояния ключей (кода).

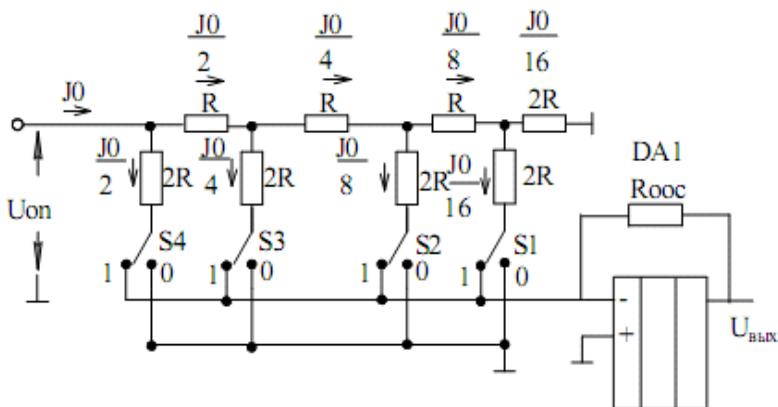


Рис. 1.48. ЦАП с матрицей R-2R

При $R_{оос} = R$ величина выходного напряжения $U_{вых\ max}$ меньше $U_{оп}$ на величину младшего разряда.

Точность и стабильность параметров ЦАП, в основном, зависят от стабильности источника $U_{оп}$ и точности изготовления резисторов R в матрице.

При описании работы ЦАП рассматривались гипотетические механические ключи. Однако входной цифровой сигнал, как правило, является электрическим. В этом случае необходимы электронные ключи.

При цифро-аналоговом преобразовании удобно использовать низкоомные КМОП-ключи, так как они не имеют напряжения смещения.

При малом числе разрядов можно воспользоваться принципом, представленным на рис. 1.49. В качестве ключей в приведенном схемотехническом решении применяются выходные цепи стандартных КМОП-логических элементов.

В этом случае напряжение питания используется в качестве опорного напряжения.

Для повышения точности при расчете весовых коэффициентов нужно учесть выходное сопротивление логического элемента при высоком уровне напряжения на выходе.

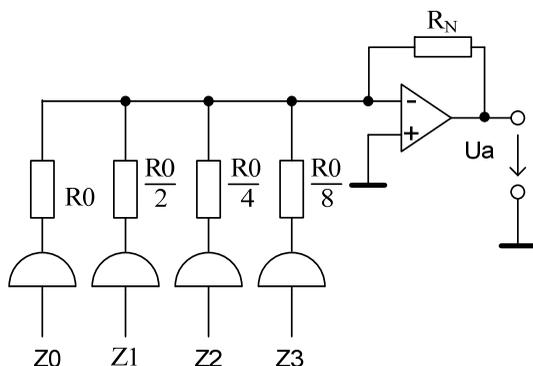


Рис. 1.49. Реализация ЦАП с КМОП-вентильми вместо ключей

При напряжении питания 5 В оно составляет около 1 кОм, а при напряжении питания 10 В – около 500 Ом.

Для ЦАП с высоким разрешением на МОП-ключах особенно целесообразно использовать резистивную матрицу, представленную на рис. 1.47, так как в этом случае падение напряжения на ключах практически равно 0.

Подключение узла суммирования к нулевой шине можно осуществить, как показано на рис. 1.50, с помощью двух нормально замкнутых n -канальных полевых транзисторов, один из которых управляется через инвертор.

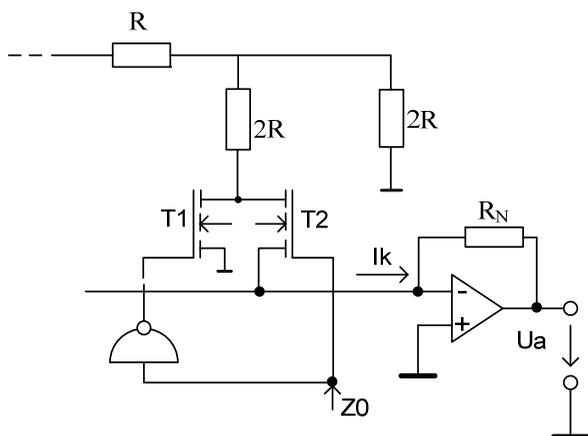


Рис. 1.50. Реализация резистивной матрицы с МОП-перекидными ключами

При поступлении высокого уровня напряжения на управляющий вход $Z0$ транзистор $T1$ открывается, а транзистор $T2$ закрыт. Потенциал стока равен нулю.

Поэтому для получения достоверного результата вполне достаточно низковольтного логического сигнала независимо от величины опорного напряжения.

Если на вход управления подать нулевое напряжение, транзистор $T1$ закрывается. Потенциал стока в этом случае также остается равным нулю, так как теперь проводит транзистор $T2$.

Транзистор $T1$ закрыт тогда, когда опорное напряжение отрицательно.

Время нарастания для ЦАП, выполненных по КМОП-технологии, составляет порядка 0,5 мкс.

Опорное напряжение может изменяться в диапазоне от -10 В до $+10$ В.

Соотношение $U_a \sim ZU_{оп}$ справедливо для любого аналогового напряжения на опорном входе. Поэтому такие цифроаналоговые преобразователи называют умножающими.

Их можно использовать в качестве цифровых регулируемых пропорциональных элементов, например в активных фильтрах.

ЦАП выпускаются в виде ИС, обычно с внешним источником $U_{оп}$ и ОУ.

Операционный усилитель может быть как встроенным (в случае ЦАП с выходом по напряжению), так и внешним (в случае ЦАП с выходом по току).

Микросхемы ЦАП, имеющиеся на рынке, различаются количеством разрядов (от 8 до 24), величиной задержки преобразования (от единиц наносекунд до единиц микросекунд), допустимой величиной опорного напряжения (обычно – единицы вольт), величинами погрешностей преобразования и другими параметрами.

Различаются микросхемы ЦАП также технологией изготовления и особенностями внутренней структуры, что нередко накладывает ограничения на их использование.

Поэтому выбирать микросхему ЦАП для конкретного применения необходимо с использованием подробной справочной информации, предоставляемой фирмами-изготовителями.

В пособии излагаются общие принципы включения ЦАП в цифровые схемы без учета их частных особенностей.

Иногда бывает необходимо уменьшить количество разрядов ЦАП. Для этого нужно подать сигналы логического нуля на нужное число младших разрядов ЦАП (но никак не старших разрядов).

На рис. 1.51 показано, как из 10-разрядного ЦАП можно сделать 8-разрядный, подав нули на два младших разряда.

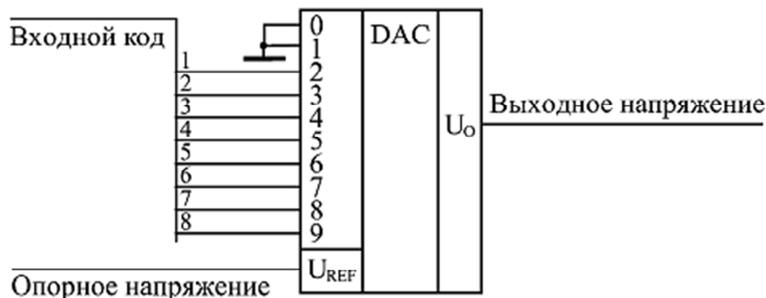


Рис. 1.51. Уменьшение разрядности ЦАП

Увеличение количества разрядов ЦАП представляет собой гораздо более сложную задачу, требующую построения сложных аналоговых схем, поэтому оно встречается довольно редко. Значительно проще подобрать микросхему с нужным или с большим, чем нужно, количеством разрядов.

Основное применение микросхем ЦАП состоит в получении аналогового сигнала из последовательности цифровых кодов (рис. 1.52).

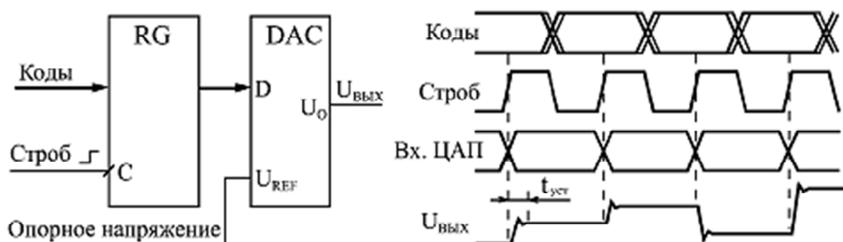


Рис. 1.52. Преобразование последовательности кодов в выходное напряжение

Как правило, коды подаются на входы ЦАП через параллельный регистр, что позволяет обеспечить одновременность изменения всех разрядов входного кода ЦАП.

При неодновременном изменении разрядов входного кода на выходе ЦАП появляются большие короткие импульсы напряжения, уровни которых не соответствуют ни одному из кодов.

Однако, даже при одновременном изменении всех разрядов входного кода ЦАП, уровень напряжения, соответствующий поданному коду, устанавливается не сразу, а за время установления ЦАП $t_{уст}$, что связано с неидеальностью внутренних элементов ЦАП.

Выходной ток ЦАП, как правило, устанавливается значительно быстрее выходного напряжения, так как он не зависит от инерционности операционного усилителя.

Условие правильной работы ЦАП состоит в том, чтобы длительность сохранения входного кода была больше, чем время установления ЦАП $t_{уст}$, иначе выходной сигнал не успеет принять значение, соответствующее входному коду.

Если подавать коды на вход ЦАП редко, то приведенная на рис. 1.53 схема может использоваться, например, в управляемом источнике питания, выходное напряжение которого задается входным кодом.

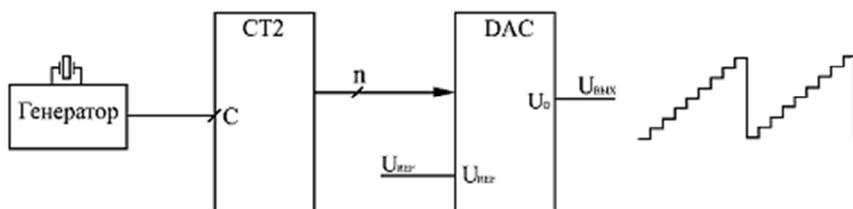


Рис. 1.53. Генератор пилообразного аналогового сигнала

При этом необходимо дополнительно обеспечить большой выходной ток источника питания, применив внешний усилитель тока.

Если же подавать коды на вход ЦАП с высокой частотой, то можно получить генератор (он же синтезатор) аналоговых сигналов произвольной формы.

В этом случае коды, поступающие на ЦАП, называют кодами выборок (то есть мгновенных значений) генерируемого аналогового сигнала.

В простейшем случае в качестве источника входных кодов ЦАП можно использовать обычный двоичный счетчик (рис. 1.53).

Выходное напряжение ЦАП будет нарастать при этом на величину $U_{REF} / 2^n$ с каждым тактовым импульсом, формируя пилообразные выходные сигналы амплитудой U_{REF} .

Длительность каждой ступеньки равна периоду тактового генератора T , а период всего выходного сигнала равен $2^n \cdot T$.

Количество ступенек в периоде выходного сигнала равно 2^n .

Если в данной схеме использовать синхронные счетчики с синхронным переносом, то входной регистр ЦАП не нужен, так как все разряды счетчика переключаются одновременно.

Если же используются асинхронные счетчики или синхронные счетчики с асинхронным переносом, то входной регистр ЦАП необходим.

В случае, когда нужно формировать аналоговые сигналы произвольной формы (синусоидальные, колоколообразные, шумовые, треугольные, импульсные и т. д.), в качестве источника кодов, поступающих на ЦАП, необходимо использовать память, работающую в режиме чтения (рис. 1.54).

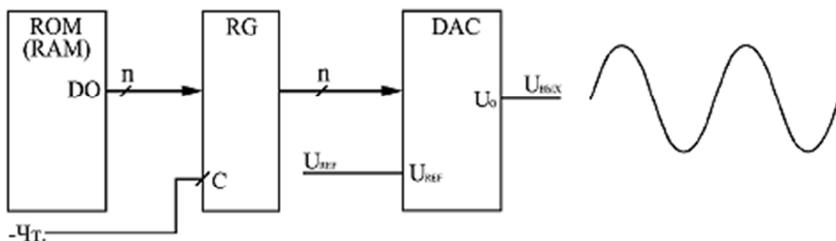


Рис. 1.54. Генерация сигналов произвольной формы

Если память постоянная, то набор форм генерируемых сигналов задается раз и навсегда.

Если же память оперативная, то строится односторонний информационный буфер с периодическим режимом работы, что позволит записывать в память коды для генерации самых разных сигналов.

В обоих случаях входной регистр ЦАП необходим, информация в него записывается стробом чтения из памяти.

Как и в предыдущем случае, выходной сигнал ЦАП будет состоять из ступенек, высота которых кратна $U_{REF} / 2^n$.

Амплитуда выходного сигнала не превышает U_{REF} .

Если адреса памяти перебираются счетчиком, то период выходного аналогового сигнала равен $2^m \cdot T$, где T – период тактового сигнала чтения из памяти «Чт.», а m – количество адресных разрядов памяти.

Если надо вычислить коды выборок для генерации какого-то периодического сигнала, то необходимо его период разделить на 2^m частей и вычислить соответствующие 2^m значений этого сигнала U_i .

Затем надо пересчитать значения сигнала в коды по формуле:

$$N^i = 2^n \cdot U_i / A,$$

где A – амплитуда сигнала, и взять ближайшее целое значение кода.

Нулевое значение сигнала даст при этом нулевой код 000...000, максимальное значение сигнала (равное амплитуде A) даст максимальный код 111...111.

В результате подачи этих кодов на ЦАП с периодом T будет генерироваться аналоговый сигнал требуемой формы с амплитудой, равной U_{REF} и с периодом $T_{ВЫХ} = 2^m \cdot T$.

Пример такого вычисления показан на рис. 1.55.

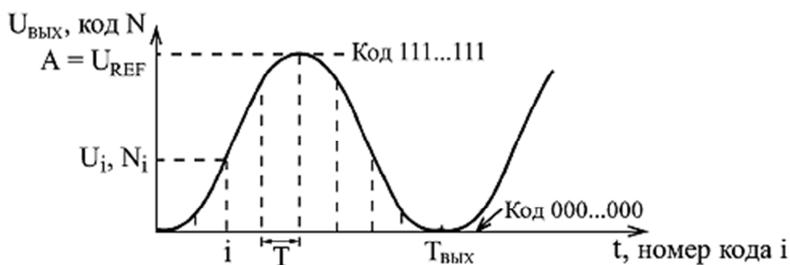


Рис. 1.55. Вычисление кодов выборок периодического сигнала

Преобразование цифровых кодов в аналоговый сигнал – это не единственное применение микросхем ЦАП.

Они могут также использоваться для управляемой обработки аналоговых сигналов, например, для усиления и ослабления аналоговых сигналов в заданное число раз.

Для этого лучше всего подходят умножающие ЦАП, которые допускают изменение уровня опорного напряжения в широких пределах, в том числе и с изменением его знака.

Таких микросхем ЦАП выпускается достаточно много, с различным быстродействием и с различным количеством разрядов входного кода.

Самая простейшая схема – это цифровой аттенуатор (ослабитель) аналогового сигнала (рис. 1.56), применяемый часто для регулировки амплитуды выходного сигнала генератора на основе ЦАП.

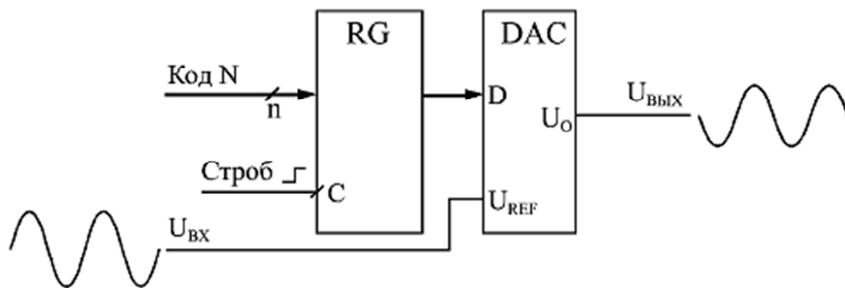


Рис. 1.56. Аттенуатор аналогового сигнала на ЦАП

Схема схожа со схемой на рис. 1.54. Однако имеются два важных отличия: вместо постоянного опорного напряжения подается переменный аналоговый сигнал, а ЦАП должен быть обязательно умножающим.

Выходной сигнал связан с входным сигналом следующим соотношением:

$$U_{\text{ВЫХ}} = -U_{\text{ВХ}} \cdot N \cdot 2^n,$$

то есть выходной сигнал пропорционален входному (с инверсией).

Коэффициент пропорциональности определяется входным цифровым кодом N и изменяется в данном случае от нуля и почти до единицы с шагом, равным 2^n .

Входной регистр ЦАП в данном случае также необходим, поскольку при одновременном переключении разрядов входного кода на выходной сигнал ЦАП могут накладываться короткие импульсы значительной амплитуды.

Требования к быстродействию ЦАП (к величине его времени установления) в данном включении не слишком высоки, так как амплитуду выходного сигнала обычно требуется менять нечасто.

Частота входного аналогового сигнала может быть довольно большой, так как она никак не связана со временем установки ЦАП.

Существует также схема включения ЦАП, которую можно использовать как управляемый усилитель аналогового сигнала с коэффициентом усиления, задаваемым входным кодом N (рис. 1.57).

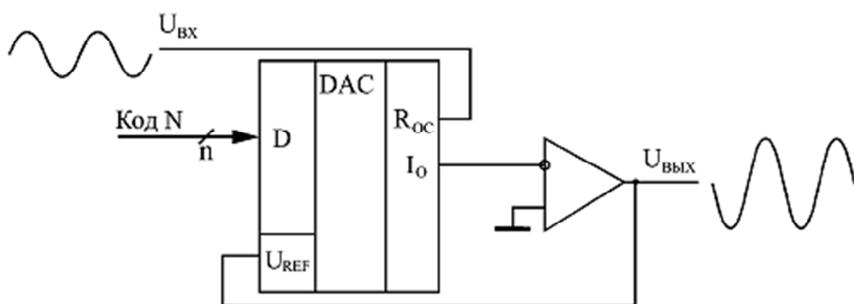


Рис. 1.57. Управляемый усилитель входного сигнала

В этом случае выходной ток ЦАП равен величине $U_{\text{ВХ}} / R_{\text{ОС}}$, а так как в качестве опорного напряжения используется выходное напряжение, то получается, что выходное напряжение связано с входным по формуле

$$U_{\text{ВЫХ}} = -U_{\text{ВХ}} \cdot N \cdot 2^n / N.$$

То есть коэффициент пропорциональности между выходным и входным напряжениями обратно пропорционален коду N .

Код N может меняться в этом случае от 1 до $(2^n - 1)$, что соответствует коэффициенту усиления от примерно единицы до 2^n .

Например, при 10-разрядном ЦАП коэффициент усиления схемы может достигать 1024.

Как и в предыдущем случае, скорость переключения ЦАП не очень важна, так как коэффициент усиления обычно не требуется переключать слишком часто.

На схеме для простоты не показан входной регистр ЦАП, который опять же необходим, чтобы обеспечить одновременность переключения всех разрядов входного кода.

Используя последовательное включение схем рис. 1.54 и рис. 1.55, можно обеспечить приведение к стандартному уровню входного напряжения, изменяемого в очень широких пределах (рис. 1.58).

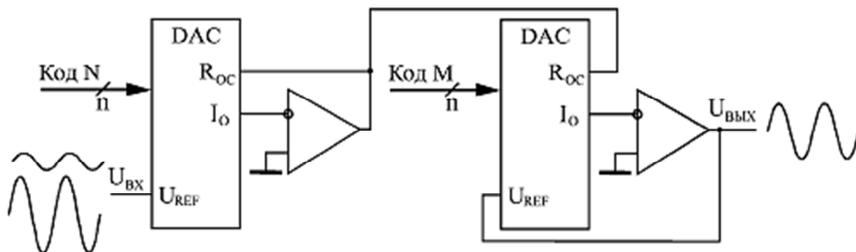


Рис. 1.58. Последовательное включение аттенюатора и усилителя

Такая задача часто встречается в аналого-цифровых системах.

Коэффициент передачи всей схемы будет равен отношению входных кодов обоих ЦАП N/M и может быть установлен с высокой точностью как в диапазоне от 0 до 1 (аттенюатор), так и в диапазоне от 1 до 2^n (усилитель). На схеме не показаны входные регистры обоих ЦАП, но они также нужны.

Еще одна схема, реализуемая с применением ЦАП, это схема сдвига аналогового сигнала на величину, задаваемую входным цифровым кодом.

Сдвиг представляет собой сложение аналогового сигнала с постоянным напряжением. Такая задача довольно часто встречается в аналого-цифровых системах.

Схема сдвига (рис. 1.59) включает в себя преобразователь цифрового кода в выходное напряжение и аналоговый сумматор на операционном усилителе.

Величина напряжения сдвига входного сигнала будет равна

$$U_{REF} \cdot 2^n N.$$

Поскольку применяются два инвертирующих операционных усилителя, инверсии входного сигнала на выходе в данном случае не будет.

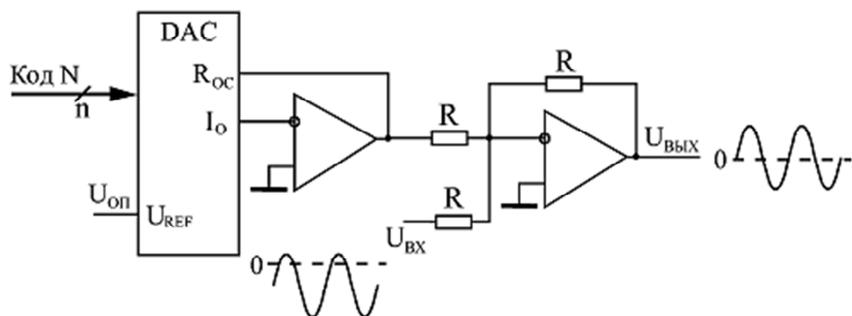


Рис. 1.59. Схема управляемого сдвига аналогового сигнала

Если нужен как положительный, так и отрицательный сдвиг, то необходимо применять ЦАП с биполярным выходным сигналом.

При разработке первых цифро-аналоговых КМОП структур было обнаружено, что затруднительно изготовить на подложке ЦАП источник опорного напряжения. Однако была использована возможность подачи переменного аналогового напряжения на внешний вывод опорного напряжения. Если вторую функцию подать в цифровой форме на входы разрядов, то на выходе ЦАП можно получить сигнал, пропорциональный произведению аналогового и цифрового сигналов. Таким образом был получен перемножающий ЦАП (ПЦАП).

В качестве ПЦАП можно использовать и биполярные ЦАП, если у них есть внешний вход опорного напряжения, которое, однако, может быть только однополярной функцией.

Если использовать двухполярный сдвинутый цифровой код, то в результате будет получен результат перемножения функции в двух квадрантах.

На аналоговые КМОП ключи можно подавать двухполярный сигнал, следовательно, результат перемножения на КМОП ПЦАП можно определить в любом из четырех квадрантов.

2. ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

2.1. Основные сведения, структура памяти электронных устройств

Запоминающие устройства (ЗУ), как и следует из их названия, предназначены для запоминания и хранения каких-то массивов информации (кодов), а также для обмена ими с другими цифровыми устройствами.

Каждый разряд запоминаемого кода хранится в отдельном элементе памяти, называемом ячейкой памяти.

Основная функция любой памяти состоит в выдаче этих кодов на выходы микросхемы по внешнему запросу.

Для обозначения количества ячеек памяти используются следующие специальные единицы измерения:

1 К – это 1024 (читается «кило-»);

1 М – это 1 048 576 (читается «мега-»), примерно равно одному миллиону;

1 Г – это 1 073 741 824 (читается «гига-»), примерно равно одному миллиарду.

Принцип организации памяти записывается следующим образом, например, организация памяти 64К×8 означает, что память имеет 64 К (то есть 65 536) ячеек и каждая ячейка – восьмиразрядная.

Общий объем памяти измеряется:

– в байтах (килобайтах – Кбайт, мегабайтах – Мбайт, гигабайтах – Гбайт);

– в битах (килобитах – Кбит, мегабитах – Мбит, гигабитах – Гбит).

Важнейшие параметры ЗУ находятся в противоречии. Так, например, большая информационная емкость не сочетается с высоким быстродействием, а быстродействие в свою очередь не сочетается с низкой стоимостью.

Поэтому системам памяти свойственна многоступенчатая иерархическая структура, и в зависимости от роли того или иного ЗУ его реализация может быть существенно различной.

Память определяют как функциональную часть (рис. 2.1) электронного устройства (ЭУ), предназначенную для записи, хранения и выдачи команд и обрабатываемых данных.

В наиболее развитой иерархии памяти ЭУ можно выделить следующие уровни:

1. Основная память, которая включает в себя оперативное запоминающее устройство (ОЗУ), постоянное запоминающее устройство (ПЗУ), перепрограммируемое постоянное запоминающее устройство (ППЗУ), иначе называемое полупостоянной памятью. Информационная емкость основной памяти достаточна для выполнения программ или их частей и работает с циклом, который несколько больше цикла работы процессора или равен ему.

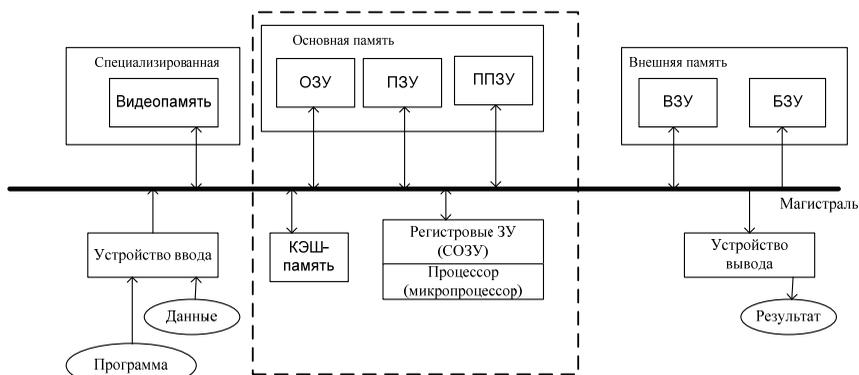


Рис. 2.1. Структура памяти ЭВМ

2. Регистровые ЗУ (СОЗУ), находящиеся в составе процессора или других устройств (т. е. внутренние для этих блоков). СОЗУ позволяют уменьшить количество обращений к другим уровням памяти, которые реализованы вне процессора и которые требуют большего времени для операций обмена информацией. СОЗУ имеет быстродействие, соизмеримое с быстродействием процессора, и служит для хранения ряда чисел, необходимых для выполнения некоторой текущей последовательности команд программы. Роль СОЗУ выполняют регистры.

3. Кэш-память, которая служит для хранения копий информации, используемой в текущих операциях обмена. Высокое быстродействие кэш-памяти повышает производительность ЭВМ.

4. Специализированные виды памяти, которые характерны для некоторых специфических архитектур, например, видеопамять.

5. Буферная память (БЗУ) предназначена для промежуточного хранения информации при обмене между устройствами, работающими с разными скоростями, например принтером.

6. Внешняя память, которая предназначена для хранения больших объемов информации и характеризуется более низким быстродействием. Эта память обычно реализуется на основе устройств с подвижным носителем информации.

Основной составной частью структуры любой микросхемы памяти является матрица накопителя, представляющая собой однородный массив элементов памяти. Элемент памяти (ЭП) может хранить один бит (0 или 1) информации.

Каждый ЭП имеет свой адрес.

Для обращения к ЭП необходимо его «выбрать» с помощью кода адреса, сигналы которого подводят к соответствующим выводам микросхемы.

Для характеристики запоминающего устройства как функционального узла электронной аппаратуры необходимо знать:

- режимы его работы;
- сигналы управления;
- способы сопряжения с другими функциональными узлами в аппаратуре;
- систему электрических параметров и их значения.

2.2. Обобщенная структурная схема ЗУ

Обобщенная структурная схема запоминающего устройства, характерная для ОЗУ и ПЗУ, представлена на рис. 2.2.

Она включает следующие функциональные узлы:

- накопитель;
- дешифратор кода адреса (ДШ);
- устройство ввода-вывода (УВВ);
- устройство управления (УУ).

Накопитель представляет собой совокупность элементов памяти, объединенных в матрицу.

Совокупность элементов памяти, предназначенная для хранения одного слова, называется ячейкой памяти (ЯП). Например, если в накопителе памяти хранятся 4-разрядные слова, то ячейка памяти содержит четыре элемента памяти.

В матрице элементы памяти (ЭП) размещены на пересечениях горизонтальных и вертикальных проводников, называемых соответственно строками и столбцами.

Каждый ЭП может хранить один бит (0 или 1) информации.

Для хранения n -разрядного слова требуются n элементов памяти.

Накопитель может иметь одноразрядную и многоразрядную (словарную) организацию.

Накопитель со словарной организацией позволяет за одно обращение к нему записать или считать n разрядов, составляющих слово.

На рис. 2.2 представлена структура микросхемы памяти со словарной организацией. Микросхема с одноразрядной организацией имеет один информационный вход и один выход.

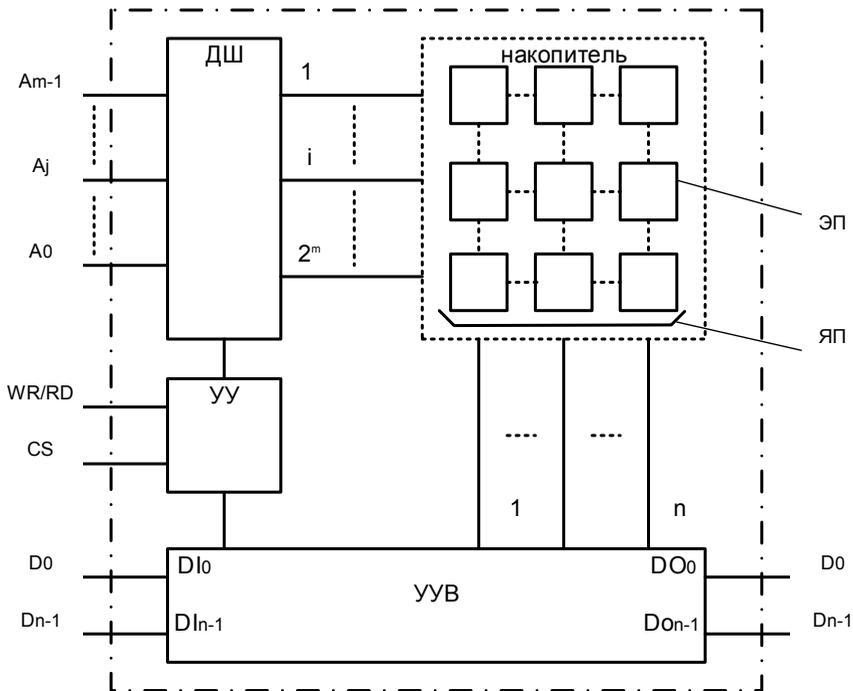


Рис. 2.2. Обобщенная структурная схема запоминающего устройства

Организация ЗУ предусматривает возможность обращения к любой ЯП (ячейке памяти) для записи в нее информации или считывания информации из ЯП.

Для этой цели служит дешифратор (ДШ). Он преобразует код адреса $A_{m-1} \dots A_0$ в активный сигнал выборки ЯП (соответствующей строки).

Число ЯП в накопителе равно 2^m , где m – число разрядов в адресном коде.

Если ЗУ допускает выборку любой ЯП в произвольном порядке (а не последовательно ячейка за ячейкой, когда код адреса изменяется на единицу), то его называют ЗУ с произвольной выборкой (ЗУПВ).

Устройство управления ввода-вывода (рис. 2.2 – блок УУВ) предназначено для усиления и нормализации информационных сигналов $D_{n-1} \dots D_0$, подаваемых на входы ЗУ D_I (I – Input, что означает «ввод») при записи и снимаемых с выходов D_O (O – Output, что означает «вывод») при считывании.

Многие микросхемы имеют совмещенные входы-выходы. В таких микросхемах УВВ дополнительно выполняет и функцию разделения внутренних цепей приема и выдачи информации (мультиплексирование шины данных).

К УВВ предъявляется также требование сопряжения входов и выходов с внешними линиями передачи.

Устройство управления формирует внутренние сигналы для воздействия на функциональные узлы ЗУ, соответствующего внешним сигналам управления:

- «Запись/Считывание» (WR/RD);
- «Выбор кристалла (микросхемы)» (CS).

Сигнал WR/RD определяет режим записи при WR/RD = 1 и считывания при соответствии сигнала WR/RD нулю.

Сигнал CS разрешает при CS = 1 или запрещает доступ к накопителю по информационным входам и выходам при CS = 0 (возможно наоборот).

У большинства микросхем памяти сигнал CS является основным для установления микросхемы в режим хранения независимо от состояний сигналов на других входах.

Принцип действия изображенной на рис. 2.2 схемы применительно к ОЗУ заключается в следующем.

Для записи слова $D_{In-1} \dots D_0$ в заданную ЯП его необходимо подать на информационные входы $D_{In-1} \dots D_{I0}$.

Одновременно на адресные входы $A_{m-1} \dots A_0$ должен быть подан код адреса выбираемой ЯП.

На входы управления должны быть поданы сигналы $WR/RD = 1$ и $CS-1$.

После выполнения этих операций входная информация через УВВ пройдет в накопитель и запишется в выбранную ячейку памяти.

Для обеспечения режима хранения достаточно снять активный сигнал 1 с входа CS и подать на него сигнал 0.

Режим считывания реализуется аналогично режиму записи, но при значении сигнала $WR/RD = 0$.

Типовая схема ПЗУ отличается от ОЗУ отсутствием входов для информационных сигналов D .

Следует заметить, что сигналы на входах и выходах микросхем ОЗУ и ПЗУ могут быть представлены как своими прямыми значениями, так и инверсными.

2.3. Важнейшие параметры ЗУ

К важнейшим параметрам ЗУ относятся следующие параметры:

1. Информационная емкость (объем) – максимально возможный объем хранимой информации.

Иначе это количество кодов, которые могут храниться в ЗУ, и разрядность этих кодов.

Информационная емкость выражается в битах или словах (в частности в байтах).

Бит хранится запоминающим элементом (ЗЭ), а слово – запоминающей ячейкой (ЗЯ), т. е. группой запоминающих элементов (ЗЭ), к которым возможно лишь одновременное обращение.

Емкость запоминающего устройства определяется следующим образом:

$$M = N \cdot n,$$

где N – число ячеек ЗУ ($N = 2^m$);

m – разрядность двоичного кода адреса;

n – разрядность хранимых слов (кода).

2. Быстродействие (производительность ЗУ). Данный параметр оценивают временами считывания, записи и длительностями циклов чтения/записи.

Минимально допустимый интервал между последовательными чтениями или записями образует соответствующий цикл.

Время считывания ($t_{сч}$) – это интервал времени между моментом подачи сигнала выборки и появлением считанных данных (кода) на выходе.

Время записи ($t_{зп}$) – интервал после появлением сигнала записи, который является достаточным для установления запоминающей ячейки в новое состояние, задаваемое входным словом.

Время чтения, записи и длительности циклов относятся к традиционным параметрам.

3. Потребляемая мощность.
4. Набор питающих напряжений.
5. Тип корпуса (число выводов).

2.4. Классификация ЗУ

Для классификации ЗУ (рис. 2.3) важнейшим признаком является способ доступа к данным.

При адресном доступе код на адресном входе указывает ячейку, с которой ведется обмен. Все ячейки адресной памяти в момент обращения равнодоступны.

Адресные ЗУ наиболее разработаны. Другие виды памяти часто строятся на основе адресной с соответствующей модификацией.

Адресные ЗУ делятся на:

1. RAM (Random Access Memory) – ОЗУ оперативные или иначе ЗУПВ (ЗУ с произвольной выборкой).

Оперативные ЗУ хранят данные, участвующие в обмене при исполнении текущей программы, которые могут быть изменены в произвольный момент времени.

Запоминающие элементы ОЗУ, как правило, энергозависимы.

2. ROM (Read-Only Memory) – ПЗУ, т. е. постоянные ЗУ. Содержимое ПЗУ либо вообще не изменяется, либо изменяется, но редко и в специальном режиме. Для рабочего режима эта память только для чтения.

RAM (ОЗУ) делятся на:

- 1) статические;
- 2) динамические.

В статических ОЗУ запоминающими элементами являются триггеры, которые сохраняют свое состояние, пока схема находится под питанием и нет новой записи данных в запоминающее устройство.

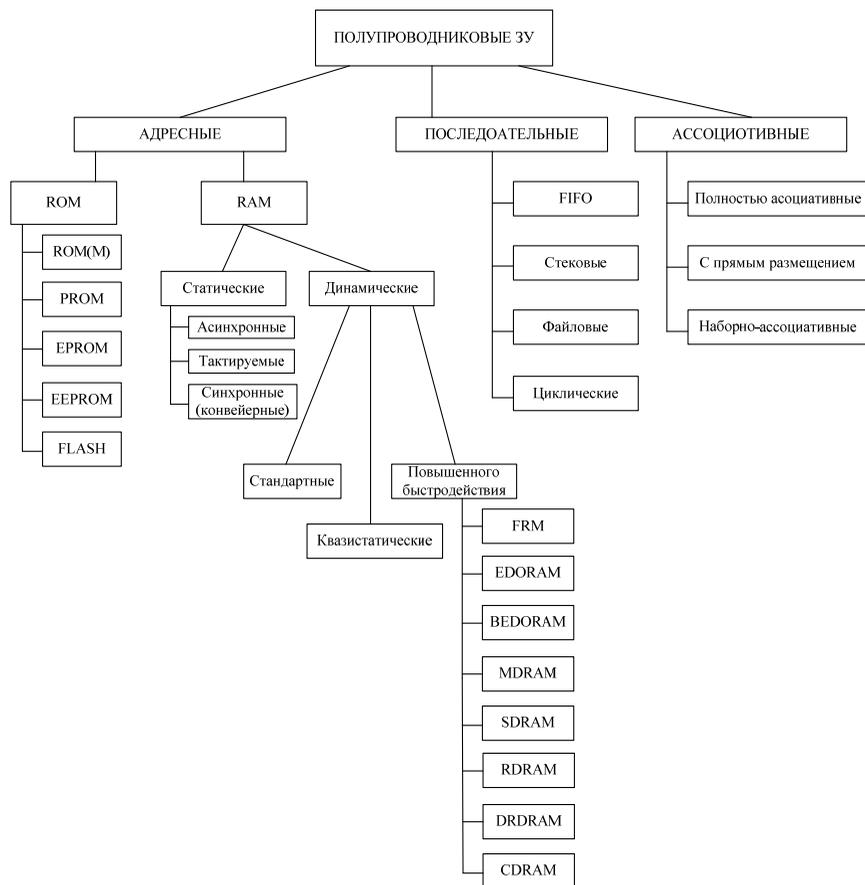


Рис. 2.3. Классификация полупроводниковых ЗУ

Статические ОЗУ в 4–5 раз дороже динамических и практически во столько же раз меньше по информационной емкости.

Их достоинством является высокое быстродействие, а типичной областью использования – схемы кэш-памяти.

В динамических ОЗУ данные хранятся в виде заряда конденсаторов, образуемых элементами МОП-структур.

Саморазряд конденсаторов ведет к разрушению данных, поэтому они должны периодически (каждые несколько миллисекунд) регенерироваться.

В то же время плотность упаковки динамических элементов памяти в несколько раз превышает плотность упаковки, достижимую в статических RAM.

Регенерация данных в динамических ОЗУ осуществляется с помощью специальных контроллеров.

Разработаны также ОЗУ с динамическими запоминающими элементами, имеющими внутреннюю встроенную систему регенерации, у которых внешнее поведение относительно управляющих сигналов становится аналогичным поведению статических ОЗУ.

Такие ОЗУ называются «квазистатическими».

Статические ОЗУ называются SRAM (Static RAM), а динамические – DRAM (Dynamic RAM).

Статические ОЗУ можно разделить на:

1. Асинхронные. В данных ОЗУ сигналы управления задаются как импульсами, так и уровнями. Например, сигнал разрешения работы \overline{CS} может оставаться неизменным и разрешающим в течение многих циклов обращения к памяти.

2. Тактируемые. В данных ОЗУ некоторые сигналы обязательно должны быть импульсными. Например, сигнал разрешения работы \overline{CS} в каждом цикле обращения к памяти должен переходить из пассивного состояния в активное состояние (в каждом цикле должен формироваться фронт этого сигнала).

3. Синхронные. В таких ОЗУ организован конвейерный тракт передачи данных, который синхронизируется от тактовой системы процессора, что повышает скорость передачи данных в несколько раз.

Динамические ОЗУ (DRAM) характеризуются наибольшей информационной емкостью и невысокой стоимостью, поэтому именно они используются как основная память ЭВМ.

На рис. 2.4 показана схема однотранзисторного 3Э динамического ЗУ.

Ключевой транзистор отключает запоминающий конденсатор от линии записи-считывания (ЛЗС) или подключает его к ней. Сток

транзистора не имеет внешнего вывода и образует одну из обкладок конденсатора. Другой обкладкой служит подложка.

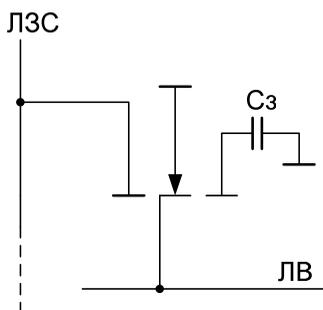


Рис. 2.4. Схема однотранзисторного ЗЭ динамического ЗУ

Между обкладками расположен тонкий слой диэлектрика – оксида кремния SiO_2 (рис. 2.5).

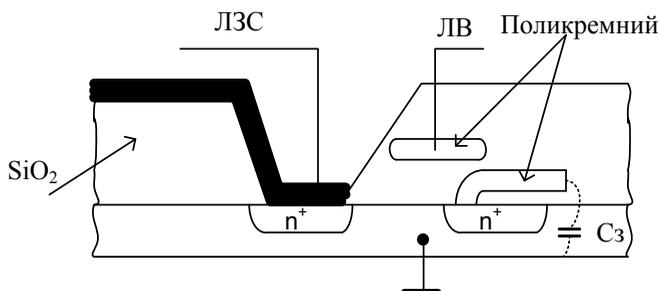


Рис. 2.5. Конструкция ЗЭ динамического ЗУ

В режиме хранения ключевой транзистор заперт.

При выборке данного ЗЭ на затвор подается напряжение, отпирющее транзистор.

Запоминающая емкость (C_z) через проводящий канал подключается к линии записи считывания (ЛЗС) и, в зависимости от заряженного или разряженного состояния емкости, различно влияние на потенциал линии записи-считывания.

При записи потенциал линии записи-считывания передается на конденсатор, определяя его состояние.

Поскольку от этой памяти требуется высокое быстродействие, разработаны многочисленные архитектуры повышенного быстродействия, которые перечислены в классификации.

Постоянная память типа ROM(M) программируется при изготовлении методом интегральной технологии.

Занесение информации в микросхемы ПЗУ, т. е. их программирование, осуществляют в основном двумя способами.

Один из них заключается в формировании перемычек в накопителе на заключительной стадии изготовления микросхемы с использованием трафарета (маски). Такие микросхемы получили название масочных ПЗУ (МПЗУ). Для потребителя это в полном смысле слова постоянная память, т. к. он не может изменить ее состояние.

Программирование постоянной памяти заключается в том или ином размещении элементов связи между горизонтальными и вертикальными линиями матрицы запоминающих элементов.

В микросхемах ПЗУ функции элементов памяти выполняют перемычки между линиями строк и столбцов в накопителе. Эти перемычки представляют собой либо тонкопленочные проводники, либо диоды (рис. 2.6) или транзисторы (рис. 2.7).

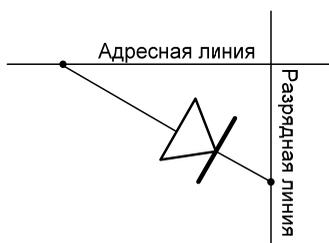


Рис. 2.6. Диодный запоминающий элемент

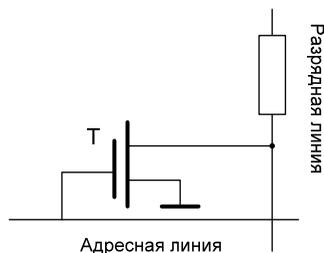


Рис. 2.7. Транзисторный запоминающий элемент

Для установки нужного запоминающего элемента в состоянии 1 (рис. 2.6) в точке пересечения адресной и разрядной линий выполнен диод.

Если диода нет – запоминающий элемент (ЗЭ) хранит 0. Недостатком данного схемотехнического решения является низкое быстродействие, вызванное отсутствием в ЗЭ активных элементов, которые ускоряют зарядку емкостей разрядных шин.

На рис. 2.8 изображена матрица диодных запоминающих элементов масочного ЗУ. В изображенной матрице при возбуждении линии выборки (адресная линия) Ш1 считывается слово 11010001.

При возбуждении Ш2 считывается слово 10101011 (оно хранится в ячейке № 2).

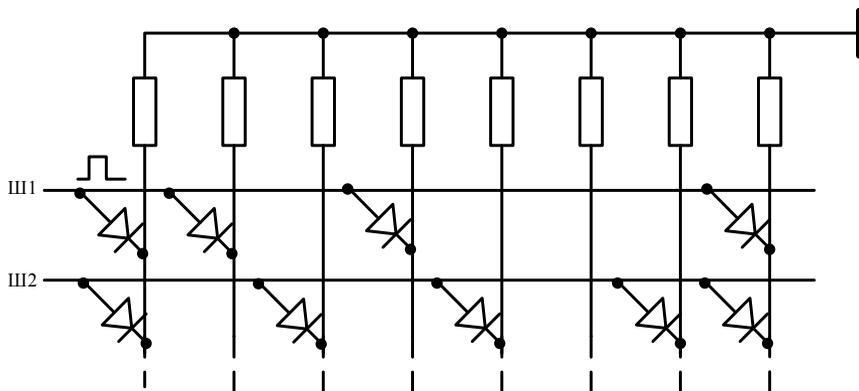


Рис. 2.8. Матрица диодных запоминающих элементов масочного ЗУ

Шины выборки являются выходами дешифратора адреса, каждая адресная комбинация возбуждает свой выход дешифратора, что приводит к считыванию слова из адресной ячейки.

В матрице с диодными элементами в одних узлах матрицы диоды изготавливаются, а в других – нет.

При этом для удешевления производства при изготовлении стараются варьировать только один шаблон, так чтобы одни элементы связи были законченными и работоспособными, а другие – незавершенными (как бы отсутствующими).

Если запоминающий элемент выполнен на биполярном транзисторе, то его быстродействие выше, чем ЗЭ на МОП-транзисторе (рис. 2.7), однако он имеет большую рассеиваемую мощность.

МОП-транзисторный элемент хранит 1 или 0 в зависимости от того, имеет ли сток транзистора связь с корпусом.

Если сток изолирован от корпуса, на разрядной шине присутствует низкий уровень (логический 0).

Соединение стоков нужных транзисторов с корпусом устанавливается в микросхеме путем металлизации нужных участков кристалла после того, как все транзисторы уже сформированы.

Выбор требуемого элемента осуществляется подачей сигнала в соответствующую линию адреса.

Считывается информация с разрядной линии.

Для матриц с МОП-транзисторами (рис. 2.9) часто в МОП-транзисторах, соответствующих хранению нуля, увеличивают толщину подзатворного окисла, что ведет к увеличению порогового напряжения транзистора. В этом случае рабочее напряжение ЗУ не в состоянии открыть транзистор.

Постоянно закрытое состояние транзистора аналогично его отсутствию.

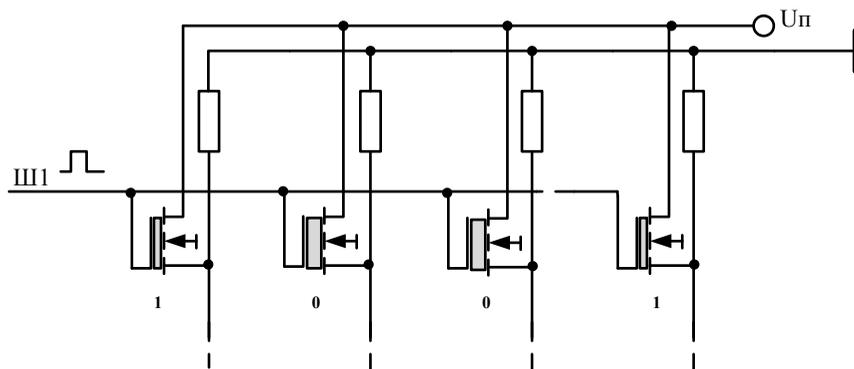


Рис. 2.9. Матрица МОП транзисторных элементов

ЗУ с масочным программированием отличаются компактностью запоминающих элементов, высоким уровнем интеграции.

При больших объемах производства масочное программирование предпочтительно, однако при недостаточной тиражности ЗУ затраты на проектирование и изготовление шаблона для технологического программирования ЗУ окажутся чрезмерно высокими.

Т. е. областью применения масочных ЗУ является хранение стандартной информации, имеющей широкий круг потребителей.

В частности, масочные ЗУ имеют в качестве «прошивки» коды букв алфавитов (русского и латинского), таблицы типовых функций

(синуса, квадратичной функции и др.), стандартное программное обеспечение.

Микросхемы масочных ПЗУ и микросхемы программируемых пользователем ПЗУ (ППЗУ) допускают однократную запись информации, поскольку при программировании происходит необратимое разрушение соединений в накопителе.

Существует разновидность ПЗУ, допускающая неоднократное программирование, т. е. перепрограммирование или, иначе, репрограммирование. В этих разновидностях ROM присутствует буква P (от Programmable).

В ЗУ типа PROM микросхемы программируются устранением или созданием специальных перемычек.

В исходной заготовке имеются (или отсутствуют) все перемычки. После программирования остаются или возникают только необходимые.

Ее содержимое записывается либо однократно (PROM), либо может быть заменено путем стирания старой информации и записи новой (EPROM, EEPROM).

Устранение части перемычек свойственно ЗУ с плавкими перемычками (типа fuse – предохранитель). При этом в исходном состоянии ЗУ имеет все перемычки, а при программировании часть из них удаляется путем расплавления.

В ЗУ с плавкими перемычками эти перемычки включаются в электроды диодов (рис. 2.10) или транзисторов.

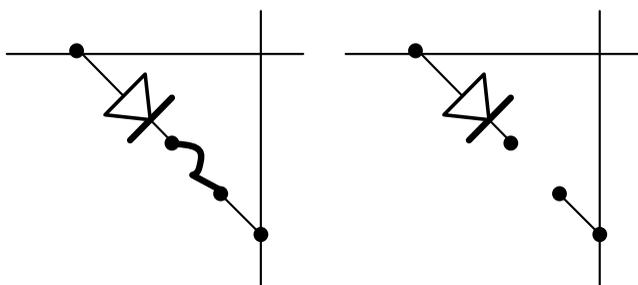


Рис. 2.10. Запоминающий элемент с плавкой перемычкой

Перемычки могут быть металлическими или поликристаллическими (кремниевыми).

В исходном состоянии запоминающий элемент хранит единицу, логический ноль можно записать, если расплавить перемычку.

Создание части перемычек соответствует схемам, которые в исходном состоянии имеют непроводящие перемычки в виде пары встречно включенных диодов (рис. 2.11) или тонких диэлектрических слоев, пробиваемых при программировании с образованием низкоомных сопротивлений.

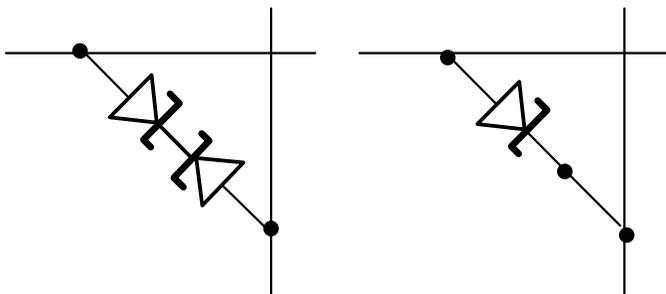


Рис. 2.11. Запоминающий элемент с диодной парой

В исходном состоянии сопротивление цепочки двух встречно включенных диодов настолько велико, что практически равноценно разомкнутой цепи, а значит, запоминающий элемент хранит логический ноль.

Для записи единицы к диодам прикладывают повышенное напряжение, пробивающее диод, смещенный в обратном направлении.

Диод пробивается с образованием в нем короткого замыкания и играет роль появившейся проводящей перемычки.

Схемы с тонкими пробиваемыми диэлектрическими перемычками наиболее компактны и совершенны.

Структурная схема репрограммируемого ПЗУ с электрическим стиранием на основе биполярного транзистора приведена на рис. 2.12.

Плавкая перемычка выполнена в эмиттерной цепи. При выборе дешифратором адреса требуемого слова (например слово 0) на соответствующей разрядной линии при наличии перемычки устанавливается высокий уровень и на выходе транзистора T2 устанавливается уровень логического 0.

Если перемычка расплавлена, то соответствующая разрядная линия оказывается «плавающей» и на выходе Т2 устанавливается логическая 1.

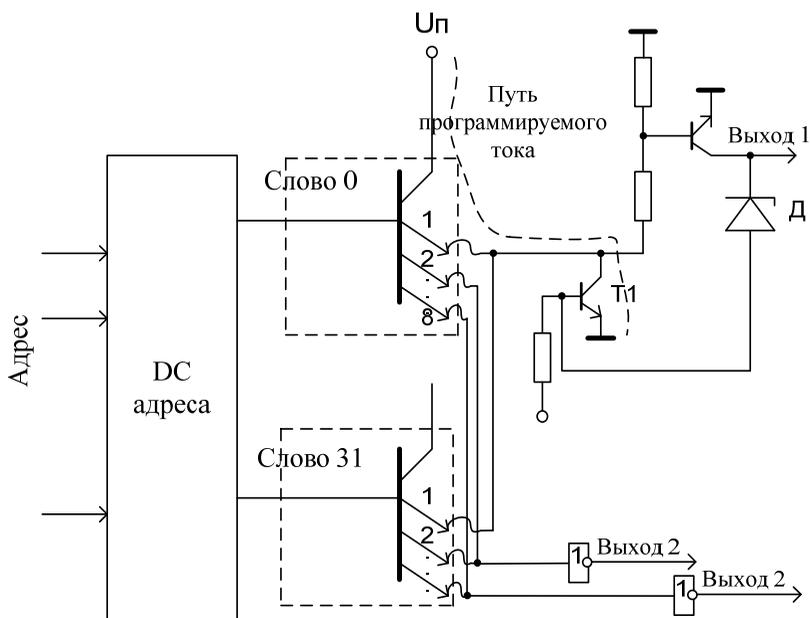


Рис. 2.12. Структурная схема репрограммируемого ПЗУ

Для пережигания перемычки одновременно с выбором слова на выход подается напряжение 8 В, которое достаточно для включения стабилитрона Д.

Тогда транзистор Т1 включается, соединяя перемычку с корпусом. Напряжение питания многоэмиттерного транзистора при программировании доводится до 12 В, в этих условиях ток через перемычку достаточен для ее расплавления.

Если ЗЭ выполнен на основе МДП-транзисторов специальной конструкции, то они способны переходить из непроводящего состояния в проводящее и обратно под воздействием внешнего программирующего напряжения.

По способу стирания информации в накопителе микросхемы РПЗУ разделяют на два вида, которые называют:

– программируемыми ПЗУ со стиранием электрическим сигналом – EEPROM (ППЗУ–ЭС – репрограммируемые ПЗУ с электрическим стиранием);

– программируемыми ПЗУ со стиранием с помощью ультрафиолетового излучения – EPROM (ППЗУ–УФ – репрограммируемые ПЗУ с ультрафиолетовым стиранием).

В репрограммируемых ЗУ типа EPROM и EEPROM (или E²PROM) возможно стирание старой информации и замена ее новой в результате специального процесса, для проведения которого ЗУ выводится из рабочего состояния.

Рабочий режим (чтение данных) – процесс, выполняемый с относительно высокой скоростью. Замена содержимого памяти требует выполнения гораздо более длительных операций.

Запоминающими элементами современных РПЗУ являются транзисторы типов МНОП и ЛИЗМОМ (ЛИЗ – лавинная инжекция заряда).

МНОП транзистор отличается от обычного МОП (рис. 2.13) двухслойным подзатворным диэлектриком.

На поверхности кристалла расположен тонкий слой двуокиси кремния SiO₂, далее более толстый слой нитрида кремния Si₃N₄, а затем уже затвор.

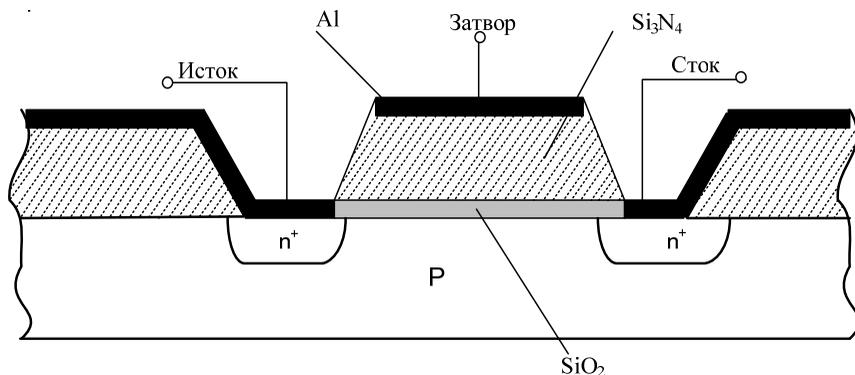


Рис. 2.13. Структура транзистора типа МНОМ

На границе диэлектрических слоев возникают центры захвата заряда. Благодаря туннельному эффекту носители заряда могут про-

ходить через тонкую пленку окисла толщиной не более 5 нм и скапливаться на границе раздела слоев. Этот заряд и является носителем информации, хранимой МНОП-транзистором.

Заряд записывают созданием под затвором напряженности электрического поля, достаточной для возникновения туннельного перехода носителей заряда через тонкий слой SiO_2 , далее более толстый слой нитрида кремния Si_3N_4 , а затем уже затвора.

На границе раздела диэлектрических слоев можно создать заряд любого знака в зависимости от направленности электрического поля в подзатворной области. Наличие заряда влияет на пороговое напряжение транзистора.

Для МНОП-транзисторов с *n*-каналом отрицательный заряд на границе раздела слоев повышает пороговое напряжение (экранирует воздействие положительного напряжения на затворе, отпирающего транзистор). При этом пороговое напряжение возрастает настолько, что рабочие напряжения на затворе транзистора не в состоянии его открыть (создать в нем проводящий канал).

Транзистор, в котором заряд отсутствует или имеет другой знак, легко открывается рабочим значением напряжения. Так осуществляется хранение бита в МНОП: одно из состояний трактуется как отображение логической единицы, другое – как нуля.

При программировании ЗУ используется относительно высокое напряжение, около 20 В. После снятия высоких напряжений туннельное прохождение носителей заряда через диэлектрик прекращается и заданное транзистору пороговое напряжение остается неизменным.

После 10^4 – 10^6 перезаписей МНОП-транзистор перестает устойчиво хранить заряд. РПЗУ на МНОП-транзисторах энергонезависимы.

Перед новой записью старая информация стирается записью нулей во все запоминающие элементы. Тип ЗУ – РПЗУЭС.

Транзисторы типа ЛИЗМОП всегда имеют так называемый плавающий затвор, который может быть единственным или вторым, дополнительным к обычному (управляющему) затвору.

Транзисторы с одним плавающим затвором используются в ЗУ типа РПЗУУФ, так и в РПЗУЭС.

Структура транзистора ЛИЗМОП с двойным затвором приведена на рис. 2.14.

При отсутствии заряда в плавающем затворе транзистор работает в обычном ключевом режиме.

Стирание информации может производиться двумя способами – ультрафиолетовым облучением или электрическими сигналами.

В первом случае корпус интегральной схемы имеет специальное прозрачное окошко для облучения кристаллами. Двухокись кремния и поликремний прозрачны для ультрафиолетовых лучей. Эти лучи вызывают в областях транзистора фототоки и тепловые токи, что делает области прибора проводящими и позволяет заряду покинуть плавающий затвор.

Операция стирания информации этим способом занимает десятки минут, информация стирается сразу во всем кристалле.

В схемах с УФ-стиранием число циклов перепрограммирования существенно ограничено, т. к. под действием ультрафиолетовых лучей свойства материалов постепенно изменяются.

Электрическое стирание информации осуществляется подачей на управляющие затворы низкого (нулевого) напряжения, а на стоки – высокого напряжения программирования.

Электрическое стирание имеет ряд преимуществ:

- можно стирать информацию не со всего кристалла, а выборочно (индивидуально для каждого адреса);
- длительность процесса «стирание-запись» значительно меньше;
- ограничения на количество циклов перепрограммирования значительно ослабляются (допускается 10^4 – 10^6 таких циклов);
- перепрограммировать ЗУ можно не извлекая микросхему из устройства, в котором она работает.

Однако схемы с электрическим стиранием занимают больше места на кристалле, в связи с чем, уровень их интеграции меньше, а стоимость выше.

Памяти типа Flash (FLASH) по запоминающему элементу подобна памяти типа EEPROM (иначе E²PROM), но имеет структурные и технологические особенности, благодаря которым она выделена в отдельный вид. Запись данных в нее, как и в EPROM, осуществляется с помощью электрических сигналов.

В ЗУ с последовательным доступом записываемые данные образуют некоторую очередь. Считывание происходит из очереди слово за словом либо в порядке записи, либо в обратном порядке.

Моделью такого ЗУ является последовательная цепочка запоминающих элементов (по подобию с регистрами сдвига), в которых данные передаются между соседними элементами либо с необходимым управлением адресом доступа. Основными представителями этого вида памяти являются:

- видеопамять;
- буфер FIFO;
- стек.

Видеопамять работает циклично, на ее выходе последовательно в порядке обновления экрана появляются коды, задающие параметры светимости (цвет, яркость) элементарных точек экрана – пикселей.

Текущее изображение на мониторе (кадр) представлено последовательностью слов, длина которых равна числу пикселей экрана. Слово, соответствующее одному пикселу, может иметь разрядность от 8 (для черно-белых мониторов) до 24 (для полноценного режима).

При реализации на основе адресной памяти циклический доступ к данным обеспечивается счетчиком адреса с модулем счета, равным числу запоминаемых слов.

При считывании после каждого обращения адрес увеличивается на единицу, обеспечивая последовательное обращение ко всем ячейкам ЗУ.

При переполнении счетчика формируется сигнал начала кадра для управления монитором (для запуска кадровой синхронизации).

Запись возможна в пакетном режиме или режиме одиночных записей. В первом случае сигнал переполнения счетчика и его переход на начальный адрес являются сигналом начала передачи блока данных из основной памяти или видеобуфера.

Во втором случае адрес изменяемой ячейки (номер пикселя) и данные сохраняются в буфере, а в момент совпадения этого адреса и содержимого счетчика выполняется один цикл записи нового слова. Все остальное время ЗУ работает обычным образом.

Структура видеопамати приведена на рис. 2.15.

При считывании выбран нижний канал мультиплексора MUX и записанные данные постоянно переписываются с выхода на вход цепочки запоминающих элементов.

В последовательность данных вводятся специальные коды синхросигналов (кадровые и строчные). На рис. 2.15 показан только кадровый синхросигнал.

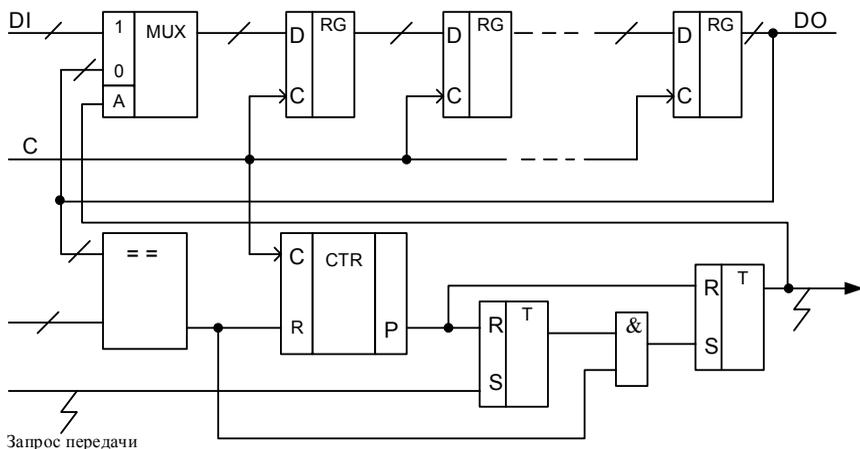


Рис. 2.15. Структура видеопамати

Появление кода синхронизации на выходе обнаруживается компаратором и синхронизирует запуск развертки монитора.

Пакетная запись может начинаться после появления запроса передачи в момент прохождения кода кадрового синхросигнала. При этом вырабатывается сигнал разрешения передачи кадра из памяти ЭВМ на вход DI, а мультиплексор переключается на верхний канал.

После приема целого кадра счетчик CTR, емкость которого равна длине кадра, переполняется, и под воздействием сигнала переполнения ЗУ возвращается в режим циклической перезаписи.

При одиночных записях устройство должно иметь дополнительную схему сравнения кода счетчика и входного адресного кода (номера заменяемого кода пикселя). При их совпадении мультиплексор переключается на верхний канал на один такт работы, чем обеспечивается замена всего одного слова.

Прямой порядок считывания имеет место в буферах FIFO с дисциплиной «первый пришел – первый вышел» (First In – First Out), а также в файловых и циклических ЗУ.

На рис. 2.16 приведен пример структуры буфера FIFO, который представляет собой ЗУ для хранения очередей данных (списков) с таким же порядком выборки слов, что и порядок их поступления.

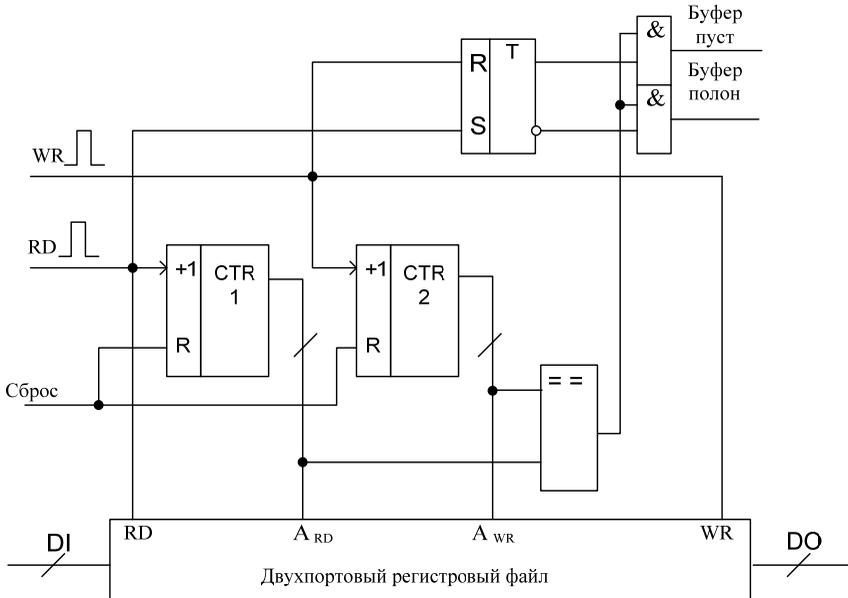


Рис. 2.16. Структура буфера FIFO

Интервалы между словами могут быть различными, т. к. моменты записи слова в буфер и считывания из него задаются внешними сигналами управления независимо друг от друга.

Возможность иметь разный темп приема и выдачи слов необходима.

Например, если приемник способен принимать данные, поступающие регулярно с некоторой частотой, а источник информации выдает слова более быстро.

Такие данные поступают в их темпе в буфер FIFO, а из него считываются регулярно с необходимой для приемника данных частотой.

Новое слово ставится в конец очереди, а считывание осуществляется с начала очереди.

В схеме, приведенной на рис. 2.16, перед началом работы оба счетчика адресов CTR1 и CTR2 сбрасываются по сигналу «Сброс», т. е. в обоих счетчиках содержится нулевой адрес.

При записи адреса увеличиваются на единицу каждый при каждом обращении, т. е. возрастают, начиная с нулевого.

То же происходит при чтении слов, так что адрес чтения всегда «гонится» за адресом записи.

Если адреса сравниваются при чтении, то буфер пуст.

Если адреса сравниваются при записи, то буфер полон (адресами занята вся емкость счетчика).

Эти ситуации отмечаются соответствующими сигналами. Если буфер полон, то нужно прекратить прием данных, а если пуст, то нужно прекратить чтение.

Очередь удлиняется или укорачивается в зависимости от разности чисел записанных и считанных слов.

Разница между FIFO и файловым ЗУ состоит в том, что в FIFO запись в пустой буфер сразу же становится доступной для чтения, т. е. поступает в конец цепочки (модели ЗУ).

В файловых ЗУ данные поступают в начало цепочки и появляются на выходе после некоторого числа обращений. Число обращений равно числу элементов в цепочке.

При независимости операций считывания и записи фактическое расположение данных в ЗУ на момент считывания не связано с каким-либо внешним признаком. Поэтому записываемые данные объединяют в блоки, обрамляемые специальными символами конца и начала (файлы).

Прием данных из файлового ЗУ начинается после обнаружения приемником символов начала блока.

В циклических ЗУ слова доступны одно за другим с постоянным периодом, который определяется емкостью памяти. К такому типу полупроводниковых ЗУ относится видеопамять (VRAM).

Считывание в обратном порядке свойственно стековым ЗУ, для которых реализуется дисциплина «первый пришел – последний вышел». Такие ЗУ называют буферами LIFO (Last In – First Out).

Время доступа к конкретной единице хранимой информации в последовательных ЗУ (FIFO, стековые, файловые, циклические) представляет собою случайную величину.

В наихудшем случае для такого доступа может потребоваться просмотр всего объема хранимых данных.

Ассоциативный доступ реализует поиск информации по некоторому признаку, а не по ее расположению в памяти (адресу или месту в очереди). В наиболее полной версии все хранимые в памяти слова одновременно проверяются на соответствие признаку, напри-

мер, на совпадение определенных полей слов (тегов) с признаком, задаваемым входным словом (теговым адресом).

На выходе выдаются слова, удовлетворяющие признаку.

Дисциплина выдачи слов, если тегу удовлетворяют несколько слов, а также дисциплина записи новых данных могут быть разными. Основная область применения ассоциативной памяти в современных ЭВМ – кэширование данных.

Структура кэшированной памяти представлена на рис. 2.17.

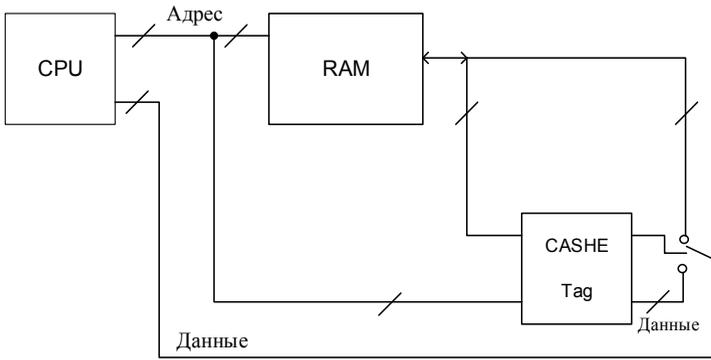


Рис. 2.17. Структура кэшированной памяти

Кэш-память запоминает копии информации, передаваемой между устройствами (прежде всего между процессором и основной памятью).

Она имеет небольшую емкость в сравнении с основной памятью и более высокое быстродействие (реализуется на триггерных элементах памяти).

При чтении данных сначала выполняется обращение к кэш-памяти. Если в кэш-памяти имеется копия данных адресованной ячейки основной памяти, то кэш-память вырабатывает сигнал Hit (попадание) и выдает данные на общую шину данных. В противном случае сигнал Hit не вырабатывается и выполняется чтение из основной памяти и одновременное помещение считанных данных в кэш-память.

Эффективность кэширования объясняется тем, что большинство прикладных программ имеют циклический характер и многократно используют одни и те же данные. Поэтому после первого использования данных из относительно медленной основной памяти повтор-

ные обращения осуществляются непосредственно к кэш-памяти, что занимает гораздо меньше времени.

Кроме этого, при использовании процессором кэш-памяти, основная память освобождается от обращения к ней.

Поэтому с ней могут выполняться другие действия, например, может выполняться регенерация данных в динамических ЗУ или память может быть использована другими устройствами.

Объем кэш-памяти намного меньше емкости основной памяти и любая единица информации, которая помещается в кэш-память, должна сопровождаться дополнительными данными (тегом), определяющей, копией содержания какой ячейки основной памяти является эта единица информации.

На рис. 2.18 представлена структура полностью ассоциативной кэш-памяти (FACM, Fulli Associated Cache Memory).

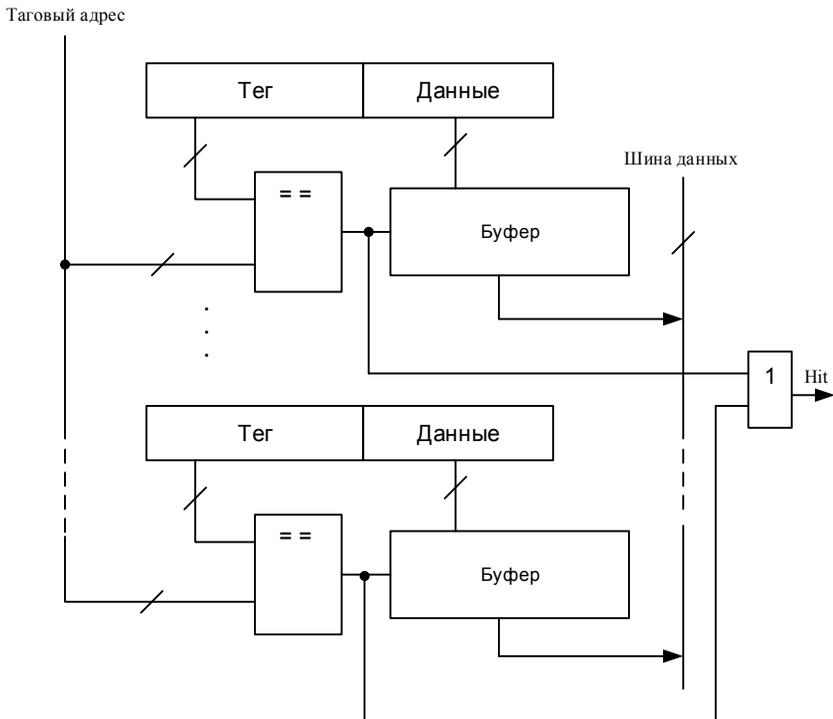


Рис. 2.18. Структура полностью ассоциативной кэш-памяти

В данной памяти каждая ячейка хранит данные, а в поле «тег» хранится полный физический адрес информации, копия которой записана.

При любых обменах физический адрес запрашиваемой информации сравнивается с полями «тег» всех ячеек и при совпадении их в любой ячейке устанавливается сигнал Hit.

При чтении и значении сигнала Hit = 1 данные выдаются на шину данных, если же совпадений нет (Hit = 0), то при чтении из основной памяти данные вместе с адресом помещаются в свободную или не используемую ячейку кэш-памяти.

При записи данные вместе с адресом сначала, как правило, размещаются в кэш-памяти (в обнаруженную ячейку при Hit = 1 и свободную при Hit = 0). Копирование данных в основную память выполняется под управлением специального контроллера, когда нет обращений к памяти.

Память типа FASM является довольно сложным устройством и используется при малых емкостях.

Этот вид памяти обеспечивает наибольшую функциональную гибкость и бесконфликтность адресов, т. к. любую единицу информации можно загрузить в любую ячейку кэш-памяти.

2.5. Структуры адресных статических ЗУ

Многочисленные варианты адресных ЗУ имеют много общего с точки зрения структурных схем.

Общность структур особенно проявляется для статических ОЗУ и памяти типа ROM. Для них характерны структуры 2D, 3D, 2DM.

2.5.1. Структура 2D

В структуре 2D (рис. 2.19) запоминающие элементы (ЗЭ) организованы в прямоугольную матрицу размерностью:

$$M = k \cdot m,$$

где M – информационная емкость памяти в битах;

k – число хранимых слов;

m – разрядность слов.

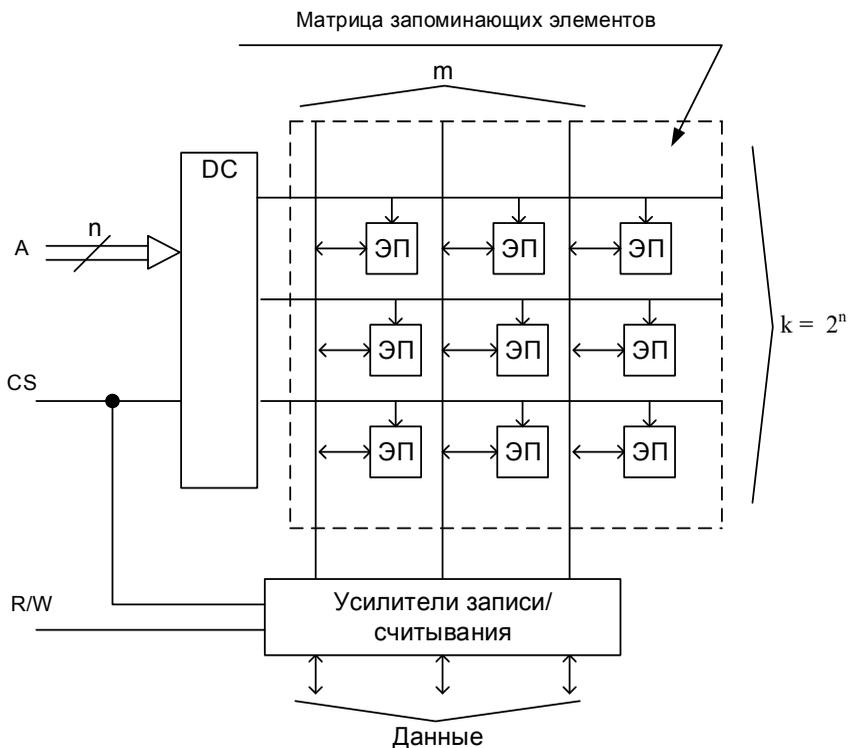


Рис. 2.19. Структура 3У типа 2D

Дешифратор адресного кода DC при наличии разрешающего сигнала CS (Chip Select – сигнала выбора микросхемы) активизирует одну из выходных линий.

Таким образом, разрешается доступ ко всем (m) элементам выбранной строки, хранящей слово, адрес которого соответствует номеру строки.

Элементы одного столбца соединены вертикальной линией, которая является внутренней линией данных (иначе разрядной линией или линией записи/считывания).

Элементы столбца хранят одноименные биты всех слов (1 столбец – первые биты, 2 столбец – вторые биты и т. д.).

Направление обмена определяется усилителями чтения/записи под воздействием сигнала R/W (Read – чтение/Write – запись).

Структура 2D применяется только в ЗУ малой информационной емкости. Если емкость ЗУ увеличивается, то дешифратор адреса усложняется, т. к. число выходов дешифратора равно числу хранимых слов.

2.5.2. Структура 3D

Структура 3D (рис. 2.20) позволяет упростить дешифраторы адреса с помощью двух координатной выборки запоминающих элементов.

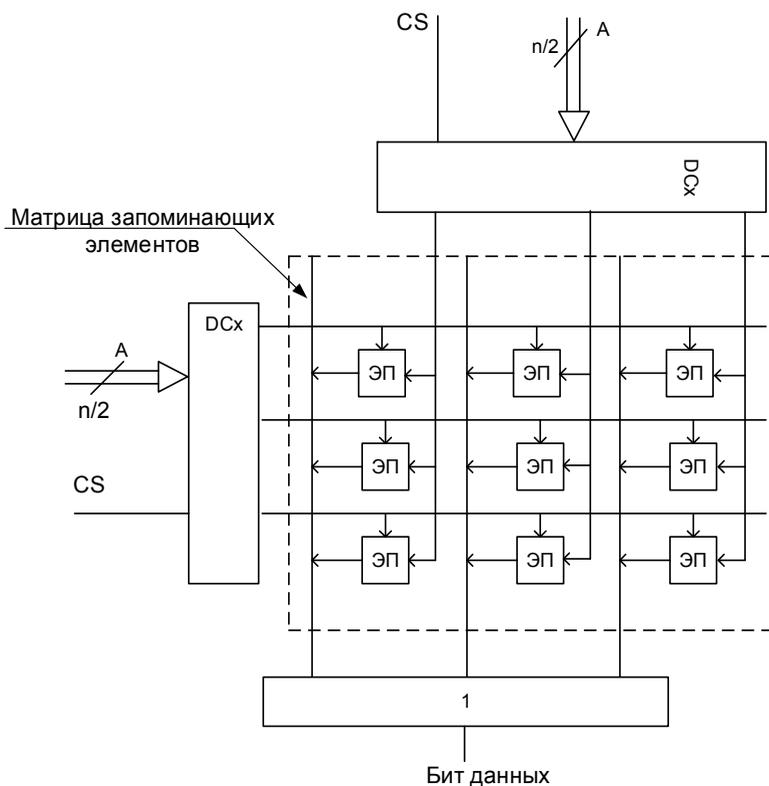


Рис. 2.20. Структура ЗУ типа 3D с одноразрядной организацией

На рис. 2.20 приведен пример структуры ЗУ типа ROM только для операции чтения (операция записи не представлена).

В данной структуре код адреса разрядностью n делится на две равные части, каждая из которых декодируется отдельно.

При обращении к памяти (сигнал CS – активный) выбирается запоминающий элемент, который находится на пересечении активных линий выходов обоих дешифраторов.

Таких пересечений будет:

$$2^{n/2} \cdot 2^{n/2} = 2^n.$$

Суммарное число выходов обоих дешифраторов составляет:

$$2^{n/2} + 2^{n/2} = 2^{n/2+1}.$$

Это число гораздо меньше, чем 2^n при реальных значениях n .

Например, для 3У структурой 2D при хранении 1К (1024) слов потребовался бы дешифратор с 1024 выходами, а для структуры 3D нужны два дешифратора с 32 выходами каждый.

Недостаток структуры 3D заключается в том, что элементы памяти усложняются, т. к. требуется реализация двух координатной выборки.

Обе приведенные структуры позволяют считывать только один элемент памяти, когда на практике требуется считывание целиком слова (слов).

2.5.3. Структура 2DM

На рис. 2.21 приведена структура 3У 2DM для матрицы запоминающих элементов с адресацией от дешифратора DCx когда возбужденный выход дешифратора выбирает целую строку.

При этом длина строки не равна разрядности хранимых слов, а многократно ее превышает.

Число строк матрицы уменьшается, а значит, уменьшается и число выходов дешифратора.

Для выбора одной из строк служат не все разряды адресного кода, а их часть $A_{n-1} \dots A_k$.

Остальные разряды адреса (от A_{k-1} до A_0) используются, чтобы выбрать необходимое слово из того множества слов, которое содержится в строке.

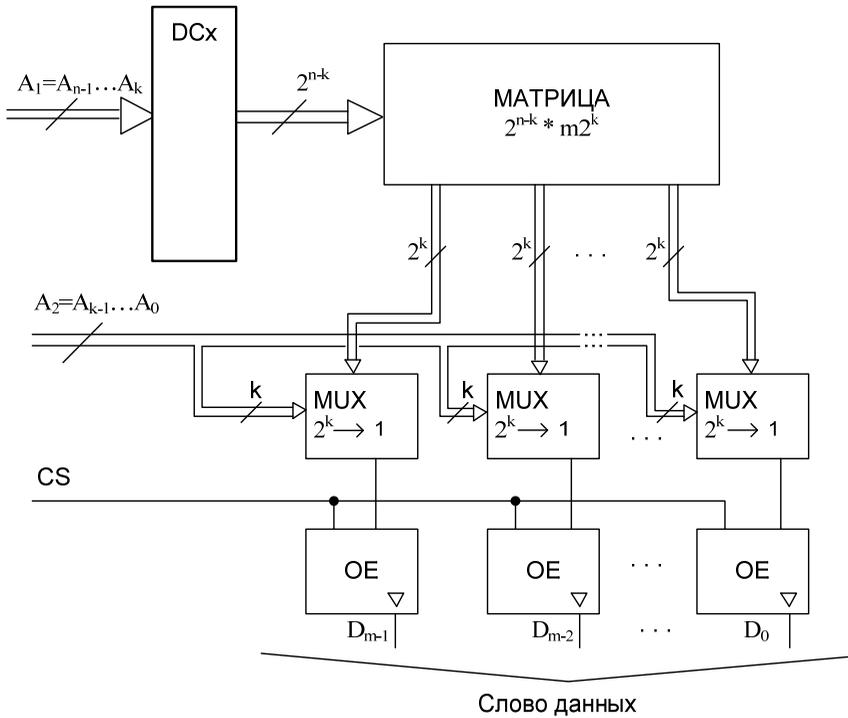


Рис. 2.21. Структура ЗУ типа 2DM для ROM

Это выполняется с помощью мультиплексов, на адресные входы которых подаются коды $A_{k-1} \dots A_0$.

Длина строки равна $m2^k$, где m – разрядность хранимых слов.

Из каждого «отрезка» строки длиной 2^k мультиплексор выбирает один бит. На выходах мультиплексов формируется выходное слово.

По разрешению сигнала CS, поступающего на входы OE управляемых буферов с тремя состояниями, выходное слово передается на внешнюю шину.

2.6. Схемотехнический принцип построения элемента памяти

Схемотехнический принцип построения элемента памяти в значительной степени определяет способ хранения информации в накопителе.

- По этому признаку микросхемы памяти можно разделить на:
- статические;
 - динамические.

2.6.1. Статические запоминающие устройства

В микросхемах статических ЗУ информация в режиме хранения неподвижна, т. е. находится в статическом состоянии.

В этот класс микросхем памяти входят микросхемы ОЗУ, у которых элементом памяти является статический триггер, и микросхемы ПЗУ.

Статические ЗУ относительно дорогостоящие, но они имеют высокое быстродействие, поэтому, например, они используются в кэш-памяти, которая при сравнительно малой емкости имеет максимальное быстродействие.

Статические ОЗУ (SRAM), как правило, имеют структуру 2DM, часть их при небольшой информационной емкости строится по структуре 2D.

Запоминающими элементами статических ОЗУ служат триггеры с цепями установки и сброса.

В связи с этим статические ОЗУ называют также триггерными.

Триггеры могут быть реализованы любой технологией (ТТЛ(Ш), И²Л, ЭСЛ, *n*-МОП, КМОП, FsGa и др.), соответственно которой существуют разнообразные схемы ЗУ. Различие в параметрах этих ЗУ отражает специфику той или иной технологии.

В последнее время наиболее интенсивно развиваются статические ЗУ, выполненные по технологии КМОП, которая по мере уменьшения топологических норм технологического процесса приобретает высокое быстродействие при сохранении своих традиционных преимуществ.

Запоминающий элемент ЗУ на *n*-МОП транзисторах (рис. 2.22) представляет собой RS-триггер на транзисторах Т1 и Т2 с ключами выборки Т3 и Т4.

При обращении к данному запоминающему элементу появляется высокий потенциал на шине выборки ШВ_{*i*} (через *i* и *j* соответственно обозначены номера строки и столбца на пересечении которых расположен запоминающий элемент *ij*).

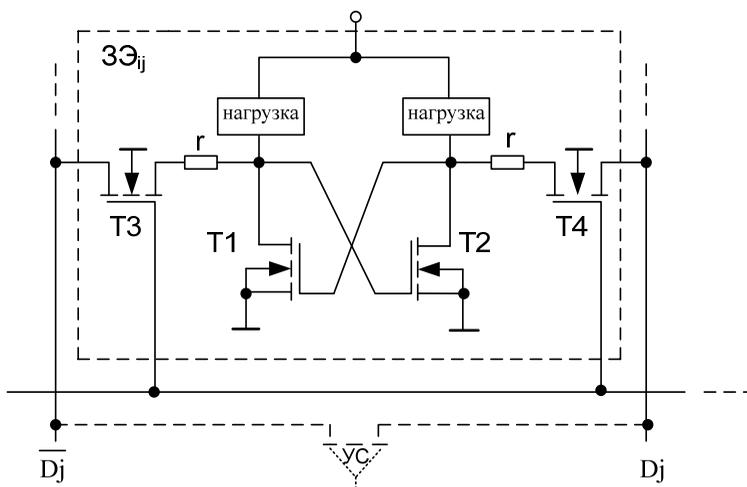


Рис. 2.22. Схема триггерного запоминающего элемента на n -МОП транзисторах

Этот потенциал открывает ключи выборки (транзисторы T3, T4) по все строке, выходы триггеров строки соединяются с шинами столбцов считывания-записи.

Одна из шин столбца связана с прямым выходом триггера (обозначена через D_j), другая – с инверсным (обозначена через $\overline{D_j}$).

Через шины столбцов можно считывать состояние триггера (штриховыми линиями показан дифференциальный усилитель считывания). Через них же можно записывать данные в триггер, подавая низкий потенциал логического нуля на ту или иную шину.

При подаче нуля на выход $\overline{D_j}$ снижается стоковое напряжение транзистора T1, что запирает транзистор T2 и повышает напряжение на его стоке. Это открывает транзистор T1 и фиксирует созданный на его стоке низкий уровень даже после снятия сигнала записи. Триггер установлен в состояние логической единицы.

Аналогичным образом нулевым сигналом по шине D_j можно установить триггер в нулевое состояние.

При выборке строки со своими шинами столбцов соединяются все триггеры строки, но только одна пара шин связывается с выходными цепями считывания или входной цепью записи в соответствии с адресом столбца.

Резисторы r служат для уменьшения емкостных токов в моменты открывания ключевых транзисторов и реализуются как части диффузионных областей транзисторов.

В качестве нагрузки могут использоваться двухполюстники, представленные на рис. 2.23. В первом случае (рис. 2.23, *а*) это n -МОП транзистор со встроенным каналом и нулевым напряжением затвора, т. е. обычный элемент нагрузки в схемах с n -каналом.

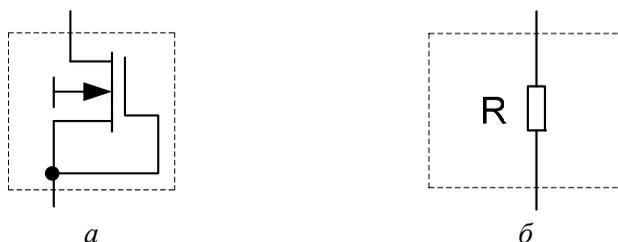


Рис. 2.23. Варианты нагрузок для схемы триггера

Стремление к режиму микротоков привело к схеме с нагрузочным поликремниевым резистором (рис. 2.23, *б*). Высокоомные нагрузочные резисторы изготавливаются из поликристаллического кремния и пространственно расположены над областью транзисторов, что придает схеме также и высокую компактность.

Режим микротоков нужен для кристаллов высокого уровня интеграции, но данный режим создает и дополнительные трудности:

- низкую скорость переключения триггера (микротоки не в состоянии быстро перезаряжать паразитные емкости схемы);
- маломощность выходных сигналов.

Первый недостаток преодолевается тем, что триггер переключается под воздействием мощных сигналов записи информации через ключевые транзисторы, а не за счет только внутренних токов цепей обратных связей.

Вторая особенность требует применения высокочувствительных усилителей считывания. Это объясняется использованием так называемых усилителей-регенераторов в статических ЗУ.

На рис. 2.24 показан выходной каскад с третьим состоянием, используемый в КМОП ЗУ.

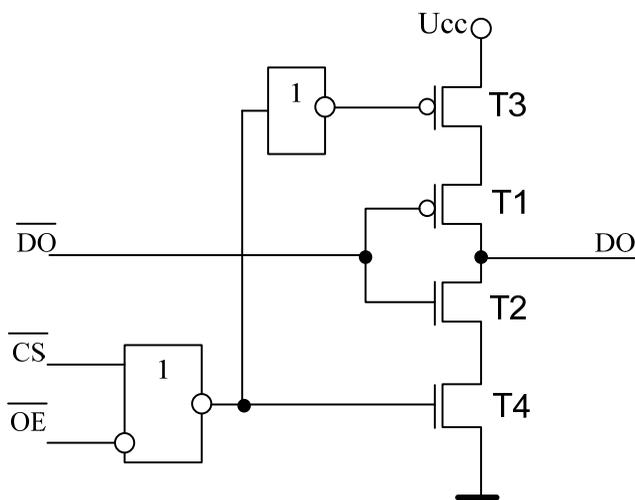


Рис. 2.24. Схема выходного каскада с третьим состоянием

Низкий уровень сигнала \overline{CS} и высокий уровень сигнала R/W, разрешающие операцию чтения, создают на выходе элемента ИЛИ–НЕ высокий уровень логической единицы, который открывает транзисторы T3 и T4. В результате инвертор на транзисторах T1 и T2 обеспечивает передачу данных на выход.

При всех остальных комбинациях сигналов \overline{CS} и R/W выход элемента ИЛИ–НЕ имеет низкий уровень логического нуля, при котором транзисторы T3 и T4 заперты и выход DO находится в состоянии «отключено».

В схемах статических ЗУ представлены ИС с одноразрядной и словарной организацией.

Внешняя организация статического ЗУ емкостью 64 Кбита (8К×8) показана на рис. 2.25.

Состав и функциональное назначение сигналов адреса A_{12-0} , выборки кристалла \overline{CS} , чтения/записи R/W соответствуют рассмотренным выше сигналам аналогичного типа. Входы и выходы ИС совмещены и обладают свойством двунаправленной передачи, что обеспечивается входами и выходами с тремя состояниями.

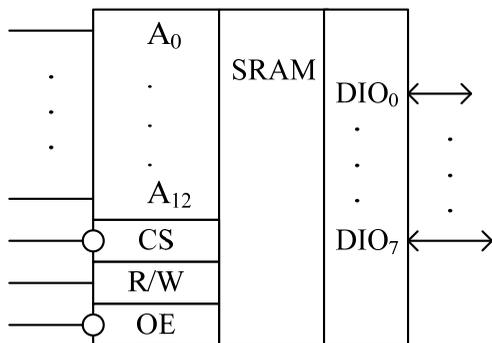


Рис. 2.25. Внешняя организация статического ЗУ

Имеется также вход \overline{OE} разрешения по выходу. Если на вход \overline{OE} подается уровень логической единицы, то выходы переводятся в третье состояние.

Работа ЗУ отображается табл. 2.1.

Таблица 2.1

\overline{CS}	\overline{OE}	R/W	A	DIO	Режим
1	X	X	X	Z	Хранение
0	X	0	A	DI	Запись
0	0	1	A	DO	Чтение

Функционирование ЗУ во времени регламентируется временными диаграммами, устанавливаемыми изготовителем (рис. 2.26 и 2.27). В основу кладутся определенные требования.

Например, чтобы исключить возможность обращения к другой ячейке, рекомендуется подавать адрес раньше, чем другие сигналы, с опережением на время его декодирования. Адрес должен держаться в течение всего цикла обращения к памяти.

Затем следует подавать сигналы, определяющие направление передачи данных и, если предполагается запись, то записываемые данные, а также сигналы выборки кристалла и, при чтении, разрешения выхода.

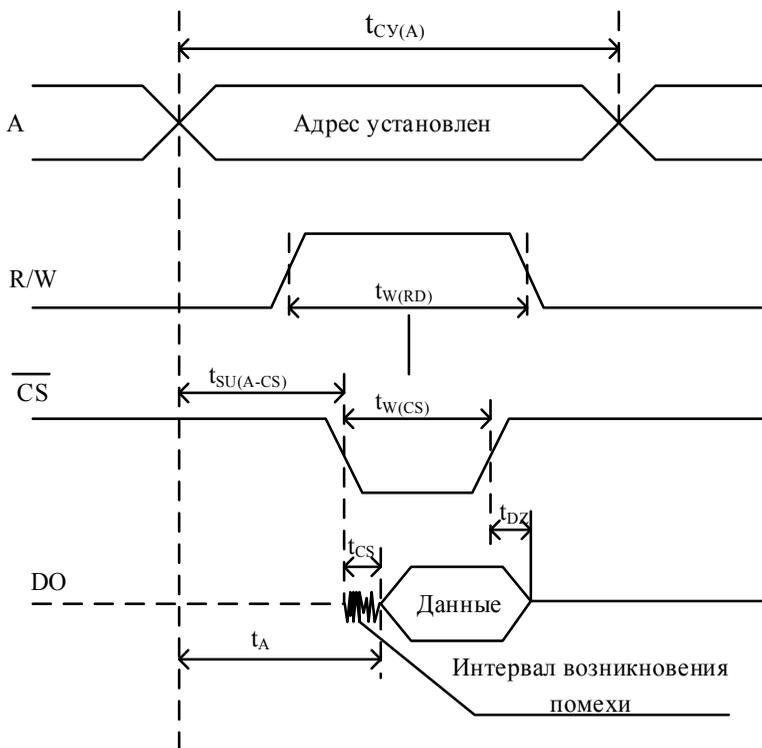


Рис. 2.26. Временная диаграмма процесса чтения в статическом ЗУ

Среди этих данных будет и стробирующий сигнал, т. е. выделяющий временной интервал непосредственного выполнения действия. Таким сигналом для разных ЗУ может служить как сигнал R/W, так и сигнал \overline{CS} .

На временных диаграммах процессов чтения (рис. 2.26) и записи (рис. 2.27) показаны:

- время выборки относительно адреса (t_A);
- время выбора (t_{CS});
- время длительности импульсов (t_w) различных сигналов;
- время цикла адреса ($t_{CY(A)}$);
- время задержки (t_{DZ}) перехода выхода из активного состояния в состояние отключено;
- времена предустановки t_{SU} ;

- время удержания t_H с указанием сигналов, для которых они отсчитываются;
- время восстановления $t_{rec}(WR)$.

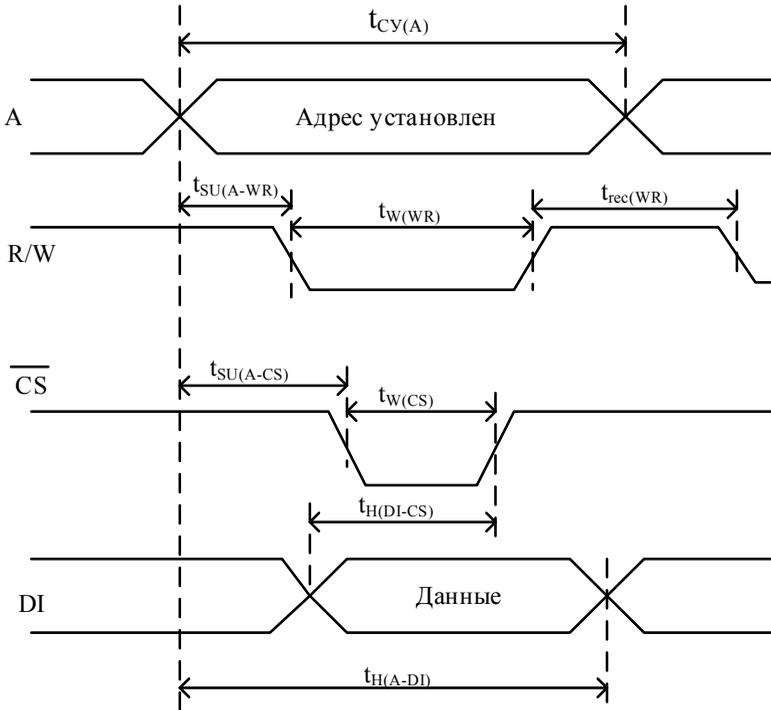


Рис. 2.27. Временная диаграмма процесса записи в статическом ЗУ

Приведенное время восстановления $t_{rec}(WR)$ отсчитывается как необходимая пауза между повторениями активных интервалов сигнала WR.

Для правильного проектирования модулей памяти и использования в них конкретных микросхем необходимо также знать емкости их входов C_I , выходов C_O , и предельно допустимую емкость нагрузки $C_{L\max}$.

Статические ЗУ подразделяются на:

- асинхронные;
- тактируемые.

В тактируемых ЗУ к определенным сигналам (как правило, к сигналу \overline{CS}) предъявляется требование импульсного характера, согласно которому после активизации сигнала он обязательно должен вернуться к пассивному уровню и только после этого возможна его активизация в следующем цикле обращения к памяти.

В асинхронных ЗУ такие требования отсутствуют и, например, разрешение работы может производиться постоянным уровнем $\overline{CS} = 0$ на протяжении множества циклов обращения к памяти.

Статические ОЗУ энергозависимы, т. е. при снятии питания информация в триггерах запоминающих элементов теряется.

С помощью резервного источника питания может быть искусственно реализована их энергонезависимость.

Это наиболее пригодно для ЗУ на элементах КМОП, т. к. они в режиме хранения потребляют чрезвычайно малую мощность.

Для подключения к накопителю ЗУ резервного источника питания рекомендуется схемотехническое решение, приведенное на рис. 2.28.

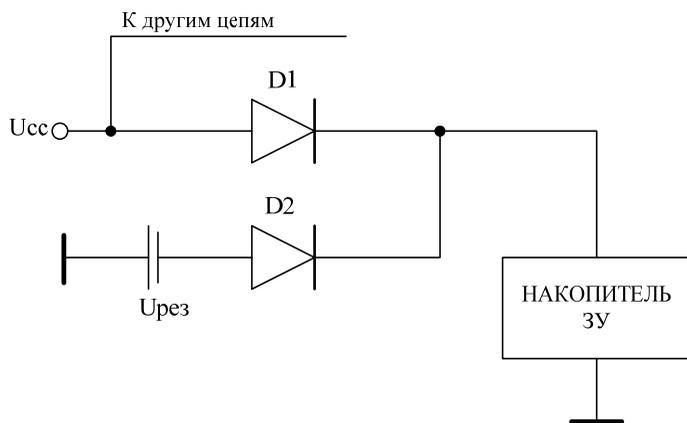


Рис. 2.28. Схема подключения резервного источника питания к ЗУ

В этой схеме напряжение резервного источника питания несколько ниже напряжения основного источника питания U_{cc} .

В рабочем режиме накопитель питается от напряжения U_{cc} , при этом диод $D1$ проводит, а диод $D2$ – заперт.

При снижении рабочего напряжения к накопителю автоматически подключается источник резервного питания $U_{рез}$. При этом про-

водит диод D2, а диод D1 запирается, т. к. при малых значениях U_{cc} он попадает под обратное смещение.

Однако при разработке микропроцессорных систем этот вариант недостаточно надежен, так как напряжение питания системы U_{cc} вырабатывается источником, на выходе которого обычно имеется сглаживающий фильтр со значительной инертностью. Поэтому при аварии питания напряжение U_{cc} не исчезает сразу, а относительно медленно снижается. На начальном этапе система продолжает работать, но в ее работе возможны ошибки. Желательно быстро отреагировать на аварию питания.

2.6.2. Динамические запоминающие устройства

В динамических ЗУ (DRAM) данные хранятся в виде зарядов емкостей МОП-структур и основой ЗЭ является просто конденсатор небольшой емкости.

Такой ЗЭ значительно проще триггерного, содержащего шесть транзисторов, что позволяет разместить на кристалле намного больше ЗЭ (в 4–5 раз) и обеспечивает динамическим ЗУ максимальную емкость.

В то же время конденсатор неизбежно теряет со временем свой заряд, и хранение данных требует их периодической регенерации (через несколько миллисекунд).

Конденсаторные элементы могут быть разной сложности. Чаще всего применяют однотранзисторные ЗЭ, которые имеют очень малые размеры.

Электрическая схема запоминающего элемента динамического ЗУ представлена на рис. 2.29.

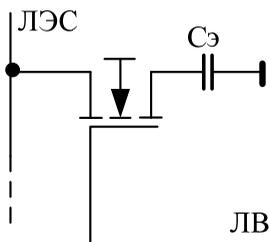


Рис. 2.29. Схема ЗЭ динамического ЗУ

Ключевой транзистор отключает запоминающий конденсатор от линии записи-считывания или подключает его к ней.

Сток транзистора не имеет внешнего вывода и образует одну из обкладок конденсатора. Другой обкладкой служит подложка. Между обкладками расположен тонкий слой диэлектрика – оксида кремния SiO_2 (рис. 2.30).

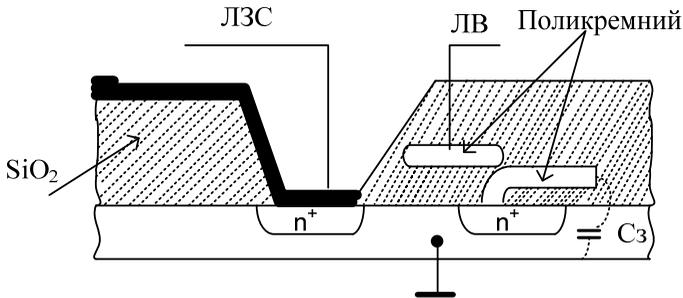


Рис. 2.30. Конструкция запоминающего элемента динамического ЗУ

В режиме хранения ключевой транзистор заперт.

При выборке данного ЗЭ на затвор подается напряжение, которое отпирает транзистор. Запоминающая емкость через проводящий канал подключается к линии записи-считывания и в зависимости от заряженного или разряженного состояния емкости различно влияет на потенциал линии записи-считывания.

При записи потенциал линии записи-считывания передается на конденсатор, определяя его состояние

Рассмотрим процесс чтения состояния запоминающего элемента.

Фрагмент ЗУ, представленный на рис. 2.31, показывает ЗЭ, усилитель считывания, а также ключи К1 и К (соответственно записи единицы и нуля).

К линии записи-считывания (ЛЗС) подключено столько ЗЭ, сколько строк имеется в запоминающей матрице.

Особое значение имеет емкость линии записи-считывания $C_{л}$, в силу большой протяженности линии и большого числа подключенных к ней транзисторов. Она многократно превышает емкость ЗЭ.

Перед считыванием производится предзаряд ЛЗС.

Существуют варианты ЗУ с предзарядом ЛЗС до уровня напряжения питания и до уровня его половины.

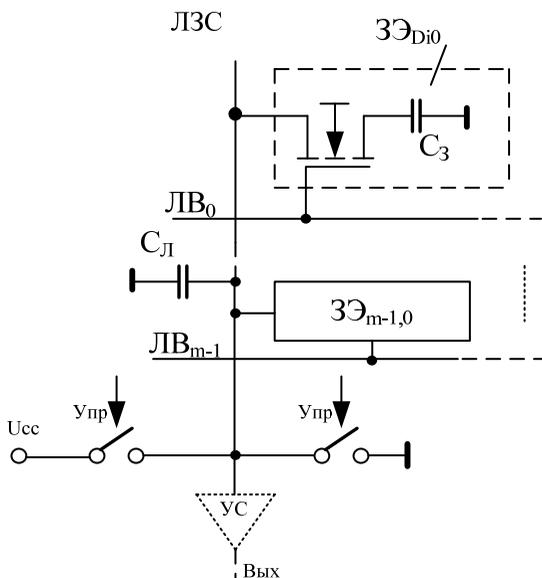


Рис. 2.31. Фрагмент схемы динамического 3У

Вариант 3У с предзарядом ЛЗС до половины уровня напряжения питания отличается схемной простотой.

Перед считыванием емкость $C_{л}$ заряжается до уровня $U_{cc}/2$. Пусть хранение 3Э уровня логической 1 соответствует заряженной емкости $C_{л}$, а хранение логического нуля – разряженной.

При считывании нуля к ЛЗС подключается емкость $C_{з}$, имевшая нулевой заряд. Часть заряда емкости $C_{л}$ перетекает в емкость $C_{з}$, и напряжения на них уравниваются.

Потенциал ЛЗС снижается на величину ΔU , которая и является сигналом, поступающим на усилитель считывания.

При считывании единицы, напротив, напряжение на $C_{з}$ составляло вначале величину U_{cc} и превышало напряжение на ЛЗС. При подключении $C_{з}$ к ЛЗС часть заряда стекает с запоминающей емкости в $C_{л}$ и напряжение на ЛЗС увеличивается на ΔU .

Графики сигналов при считывании нуля и единицы представлены на рис. 2.32.

Значение ΔU вычисляется на основе анализа любого из процессов – считывания нуля или считывания единицы.

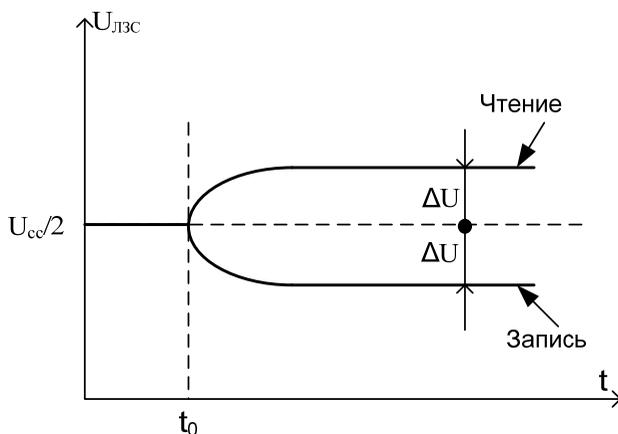


Рис. 2.32. Временные диаграммы сигналов при считывании данных в динамических ЗУ

Для считывания нуля справедливы следующие рассуждения. До выборки ЗЭ емкость ЛЗС имела заряд:

$$Q = C_{\text{Л}} U_{\text{cc}} / 2.$$

После выборки этот же заряд имеет суммарную емкость $C_{\text{Л}} + C_{\text{З}}$ и можно записать следующее соотношение:

$$Q = (C_{\text{Л}} + C_{\text{З}}) (U_{\text{cc}} / 2 - \Delta U).$$

Приравняв выражения для одного и того же значения заряда Q , получим соотношение:

$$C_{\text{Л}} U_{\text{cc}} / 2 = (C_{\text{Л}} + C_{\text{З}}) (U_{\text{cc}} / 2 - \Delta U),$$

из которого следует выражение

$$\Delta U = U_{\text{cc}} C_{\text{З}} / [2(C_{\text{Л}} + C_{\text{З}})] \approx U_{\text{cc}} C_{\text{З}} / 2C_{\text{Л}}.$$

В силу неравенства $C_{\text{З}} \ll C_{\text{Л}}$ сигнал ΔU оказывается слабым.

Кроме того, считывание является разрушающим – подключение запоминающей емкости к ЛЗС изменяет ее заряд.

Указанные недостатки могут быть устранены следующими мерами:
– увеличения емкости C_3 без увеличения площади запоминающего элемента;

– уменьшения емкости ЛЗС;

– применение усилителей регенераторов для считывания данных.

Особенностью динамических ЗУ является мультиплексирование шины адреса.

Адрес делится на два полуадреса, один из которых представляет собою адрес строки, а второй – адрес столбца матрицы ЗЭ.

Полуадреса подаются на одни и те же выводы корпуса интегральной схемы поочередно.

Подача адреса строки сопровождается соответствующим стробом RAS (Row Address Strobe), а адреса столбца – стробом CAS (Column Address Strobe).

Причиной мультиплексирования адресов служит стремление уменьшить число выводов корпуса интегральной схемы (удешевить ее), а также то обстоятельство, что полуадреса и сигналы RAS и CAS в некоторых режимах и схемах используются различно. Например, в режимах регенерации адрес столбца вообще не нужен.

Сокращение числа внешних выводов корпуса для динамических ЗУ особенно актуально, так как они имеют максимальную емкость и, следовательно, большую разрядность адресов.

Например, ЗУ с организацией 16Мх1 (ЗУ содержит 16 мегабайт одноразрядных слов) имеет 24-разрядный адрес, а мультиплексирование сократит число адресных линий на 12.

Внешняя организация динамического ЗУ представлена на рис. 2.33, а его временные диаграммы на рис. 2.34.

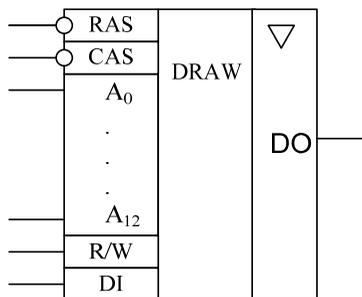


Рис. 2.33. Внешняя организация динамического ЗУ

Циклы обращения к ЗУ начинаются сигналом $\overline{\text{RAS}}$ и заканчиваются относительно него сигналом $\overline{\text{CAS}}$.

Отрицательным фронтам этих сигналов соответствуют области подачи на адресные линии ЗУ полуадресов, адресующих строки и столбцы матрицы соответственно (рис. 2.34).

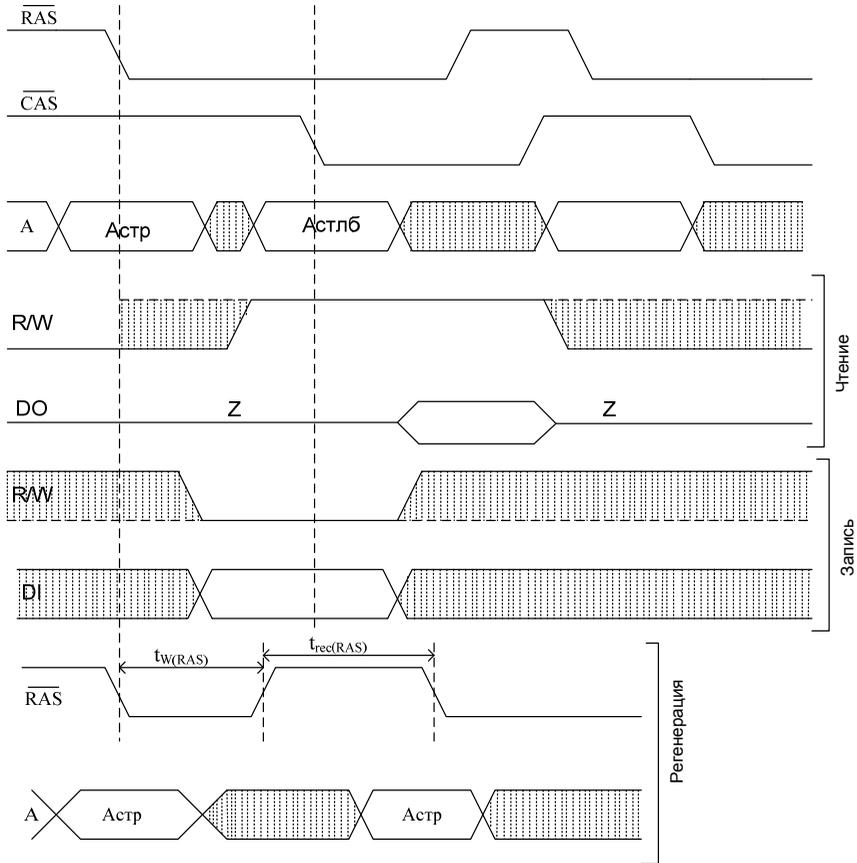


Рис. 2.34. Временные диаграммы динамического ЗУ

Согласно указанию выполняемой операции (сигналу R/W) либо вырабатываются выходные данные DO, либо принимаются входные данные DI.

В циклах регенерации подаются только импульсные сигналы \overline{RAS} и адреса строк.

Области безразличных значений сигналов на рис. 2.34 заштрихованы.

Как указывалось выше, во избежание потери информации динамические ЗУ нуждаются в постоянной регенерации.

Без обновления информация в виде зарядов конденсаторов может сохраняться только в течение нескольких миллисекунд (от 1 до 15 мс).

Режим регенерации является режимом строчной регенерации путем осуществления циклов чтения по всем строкам матрицы ЗУ.

При этом процесс не сопровождается выдачей данных на выходные буферы, а целиком проходит внутри ЗУ. Используются только адреса строк, а адреса столбцов не требуются.

Если длительность цикла чтения t_{CY} , а число строк матрицы ЗУ $N_{стр}$, то на регенерацию данных потребуется время:

$$t_{пер} = t_{CY} \cdot N_{стр}.$$

Относительные потери времени на регенерацию составят величину:

$$\tau_{пер} = (t_{пер} / T_{пер}),$$

где $T_{пер}$ – период повторения операции регенерации.

Например, в ЗУ емкостью 1 Мбит с организацией $1M \times 1$, для которого длительность цикла чтения равна 100 нс, а период регенерации составляет 5 мс, потери времени на регенерацию составят:

$$\tau_{пер} = (100 \cdot 10^{-9} \cdot 2^{10} / 5810^{-3}) \cdot 100 \% = 2 \%$$

($2^{10} = 1024$ – число строк в квадратной матрице, содержащей 1 М запоминающих элементов).

2.7. Обозначения микросхем памяти

Информацию о принадлежности микросхемы к определенной серии содержит ее условное буквенное обозначение.

В соответствии с принятой системой обозначение микросхемы представляет собой цифробуквенный код, состоящий из следующих частей:

а) трех-, четырехзначное число, обозначающее номер серии, в котором первая цифра указывает на конструктивно-технологическое исполнение микросхемы:

- 1, 5, 6, 7 – полупроводниковые;
- 2, 4, 8 – гибридные;
- 3 – пленочные, керамические и прочие.

Последующие две-три цифры являются порядковым номером разработки.

При четырехзначном номере серии вторая цифра указывает на область применения или на функциональное предназначение микросхем серии:

- 0 – бытовая радиоэлектронная аппаратура;
- 1 – аналоговая техника;
- 4 – операционные усилители;
- 5 – цифровая техника;
- 6 – запоминающие устройства;
- 8 – микропроцессорная техника.

б) двухбуквенный индекс, в котором: первая буква обозначает подгруппу, а вторая – вид микросхемы по функциональному назначению:

- РУ – оперативные ЗУ с управлением;
- РМ – матрицы оперативных ЗУ;
- РЕ – масочные ЗУ;
- РТ – программируемые ПЗУ;
- РР – репрограммируемые ПЗУ со стиранием информации электрическим сигналом (ЭСППЗУ);
- РФ – репрограммируемые ПЗУ со стиранием информации ультрафиолетовым излучением (СППЗУ);
- РЦ – запоминающие устройства на ЦМД;
- ИР – регистры.

в) одно-, двух- или трехзначный номер разработки микросхемы среди ей подобных в данной серии;

г) буква, указывающая тип микросхемы;

д) при необходимости в начале буквенного обозначения располагают двухбуквенный префикс, первая буква которого обозначает микросхемы широкого (общетехнического) применения, а вторая – материал и тип корпуса:

- А – пластмассовый, тип 4;
- Б – бескорпусное исполнение;
- Е – металлополимерный, тип 2;
- И – стеклокерамический, тип 4;
- М – керамический, металлокерамический, тип 2;
- Н – керамический, тип 5;
- Р – пластмассовый типа 2;
- С – стеклокерамический, тип 2;
- Ф – пластмассовый, подтип 43.

Вторая буква в префиксе может отсутствовать.

Микросхемы, предназначенные для экспорта, имеют перед начальной буквой К в условном обозначении букву Э.

Классификация микросхем памяти приведена на рис. 2.35.

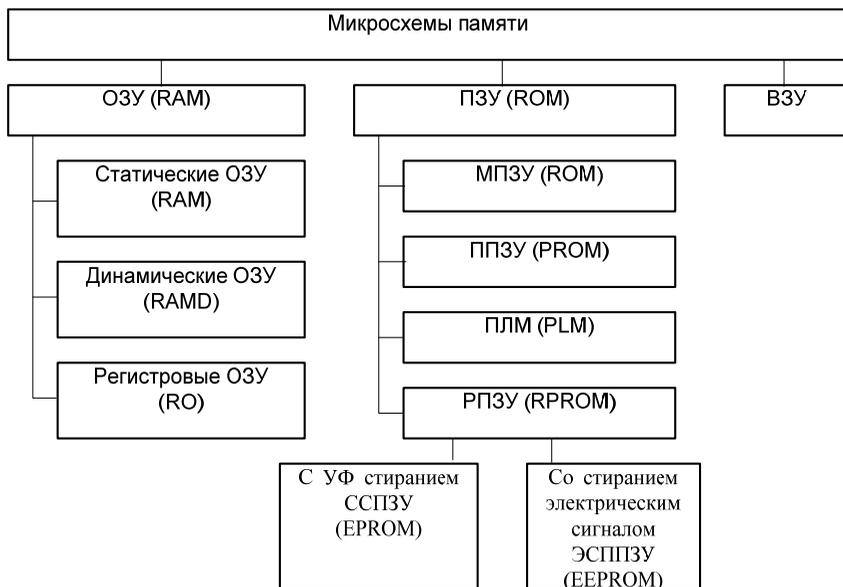


Рис. 2.35. Классификация микросхем памяти

По физико-технологическому признаку микросхемы памяти можно разделить на два класса:

- 1) биполярные;
- 2) униполярные.

Первые изготавливают по технологии биполярных транзисторов, вторые – по технологии полевых транзисторов, в основном МДП-транзисторов.

Существует смешанная БиКМДП-технология, позволяющая объединить положительные свойства биполярной и КМДП-технологий: высокое быстродействие биполярных элементов и малую потребляемую мощность элементов КМДП-структуры

2.8. Типовые структуры и функциональные узлы микросхем памяти

В общем случае любая микросхема памяти имеет следующие информационные выводы (рис. 2.36):

1. Адресные выводы (входные).

Адресные выводы образуют шину адреса памяти.

Код на адресных линиях представляет собой двоичный номер ячейки памяти, к которой происходит обращение в данный момент.

Количество адресных разрядов определяет количество ячеек памяти: при количестве адресных разрядов n количество ячеек памяти равно 2^n .

2. Выводы данных (выходные).

Выводы данных образуют шину данных памяти.

Код на линиях данных представляет собой содержимое той ячейки памяти, к которой производится обращение в данный момент.

Количество разрядов данных определяет количество разрядов всех ячеек памяти (обычно оно бывает равным 1, 4, 8, 16).

Как правило, выходы данных имеют тип выходного каскада ОК или 3С.

3. Входная шина данных.

Данная шина присуща оперативной памяти.

В ней помимо выходной шины данных, может быть еще и отдельная входная шина данных, на которую подается код, записываемый в выбранную ячейку памяти.

Другой возможный вариант – совмещение входной и выходной шин данных, то есть двунаправленная шина, направление передачи информации по которой определяется управляющими сигналами. Двунаправленная шина применяется обычно при количестве разрядов шины данных более четырех.

4. Управляющие выходы (входные).

Управляющие выходы определяют режим работы микросхемы.

В большинстве случаев у памяти имеется вход выбора микросхемы CS (их может быть несколько, объединенных по функции И).

У оперативной памяти также обязательно есть вход записи WR, активный уровень сигнала на котором переводит микросхему в режим записи.

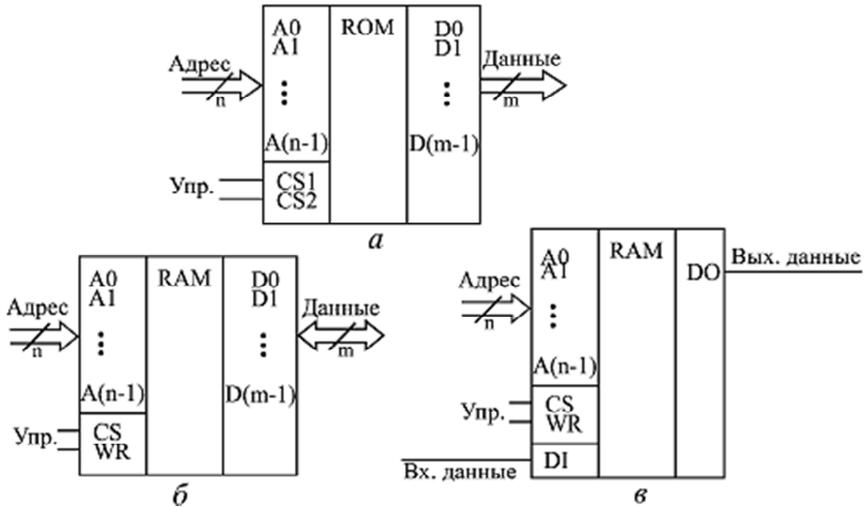


Рис. 2.36. Микросхемы памяти:
а – ПЗУ; б – ОЗУ с двунаправленной шиной данных;
в – ОЗУ с отдельными шинами входных и выходных данных)

2.9. Условные графические обозначения микросхем памяти

На рис. 2.37–2.42 представлены примеры обозначений микросхем.

Приведены следующие микросхемы:

- микросхемы статического ОЗУ с одnorазрядной организацией (рис. 2.37);
- микросхемы статического ОЗУ со словарной организацией и совмещенными входами-выходами (рис. 2.38);
- микросхемы динамического ОЗУ (рис. 2.39);

- микросхемы МПЗУ (рис. 2.40);
- ППЗУ (рис. 2.41);
- РПЗУ (рис. 2.42).

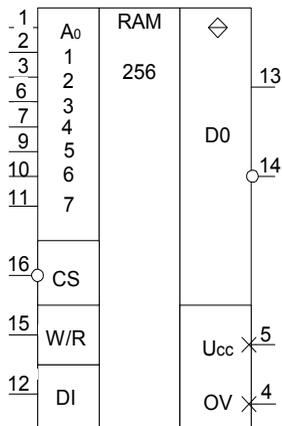


Рис. 2.37. УГО микросхемы памяти статического ОЗУ с одnorазрядной организацией

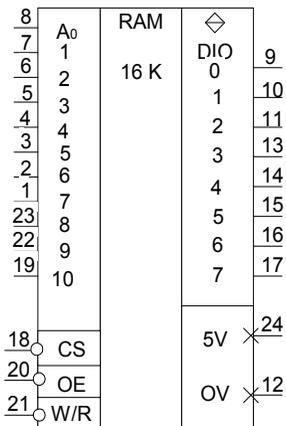


Рис. 2.38. УГО микросхемы памяти статического ОЗУ со словарной организацией и совмещенными входами-выходами

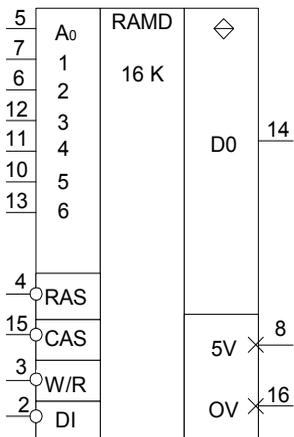


Рис. 2.39. УГО микросхемы памяти динамического ОЗУ

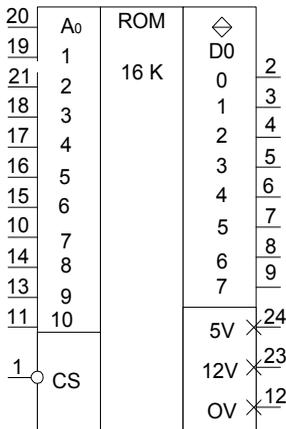


Рис. 2.40. УГО микросхемы памяти масочного ПЗУ

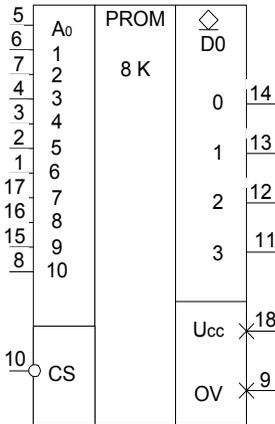


Рис. 2.41. УГО микросхемы памяти программируемого ПЗУ

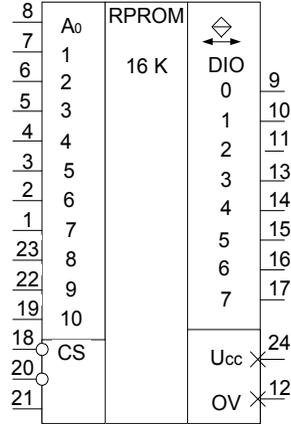


Рис. 2.42. УГО микросхемы памяти репрограммируемого ПЗУ

Условное графическое обозначение содержит три поля.

В среднем поле помещено обозначение вида микросхемы памяти и данные о её информационной емкости в битах.

На левом поле помещены символы, указывающие на назначение выводов и подводимых к ним сигналов.

На правом поле помещены обозначения выводов и соответствующих им подводимых или отводимых сигналов, а также обозначение типа выхода/выходов (рис. 2.43).



Рис. 2.43. Обозначения выходов ИМС памяти

2.10. Применение ПЗУ

К основным временным характеристикам микросхем ПЗУ, как отмечалось ранее, относятся две величины задержки:

– задержка выборки адреса памяти, которая представляет собой время от установки входного кода адреса до установки выходного кода данных;

– задержка выборки микросхемы, которая соответствует времени от установки активного разрешающего управляющего сигнала CS до установки выходного кода данных памяти.

Задержка выборки микросхемы обычно в несколько раз меньше задержки выборки адреса.

Содержимое ПЗУ обычно изображается в виде специальной таблицы, называемой картой прошивки памяти.

Пример карты прошивки ПЗУ с организацией 256×8 показан на рис. 2.44 (все биты всех ячеек считаются установленными в единицу).

Адрес	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
00	FF	FF	FF	FF	FF	FF										
10	FF	FF	FF	FF	FF	FF										
20	FF	FF	FF	FF	FF	FF										
30	FF	FF	FF	FF	FF	FF										
40	FF	FF	FF	FF	FF	FF										
50	FF	FF	FF	FF	FF	FF										
60	FF	FF	FF	FF	FF	FF										
70	FF	FF	FF	FF	FF	FF										
80	FF	FF	FF	FF	FF	FF	FF									
90	FF	FF	FF	FF	FF	FF										
A0	FF	FF	FF	FF	FF	FF										
B0	FF	FF	FF	FF	FF	FF										
C0	FF	FF	FF	FF	FF	FF										
D0	FF	FF	FF	FF	FF	FF										
E0	FF	FF	FF	FF	FF	FF										
F0	FF	FF	FF	FF	FF	FF										

Рис. 2.44. Пример карты прошивки ПЗУ

На рисунке показывается содержимое всех ячеек памяти, причем в каждой строке записывается содержимое 16 (или 32) последовательно идущих (при нарастании кода адреса) ячеек. При этом, как правило, используется 16-ричное кодирование.

Для того, чтобы посмотреть содержимое ячейки памяти с 16-ричным адресом 8A, надо взять строку таблицы с номером 80 и столбец таблицы с номером A (данная ячейка в таблице выделена жирным шрифтом).

Любые микросхемы ПЗУ легко можно включать так, чтобы уменьшать или увеличивать количество адресных разрядов, то есть уменьшать или увеличивать количество используемых ячеек памяти.

На рис. 2.45 показано, как используя микросхему ПЗУ с организацией 2К×8 (содержит два килобайта 8-ми разрядных слов), можно сделать накопитель памяти объемом 512×8 (содержит 512 8-разрядных слов), т. е. на базе ИМС имеющей большой объем организуется накопитель меньшего объема.

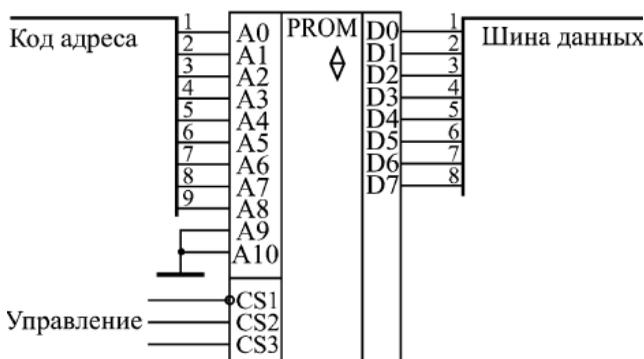


Рис. 2.45. Уменьшение количества адресных разрядов ПЗУ

Требуемый объем накопителя (512) обеспечивается девятиразрядной адресной шиной ($2^9 = 512$).

Поэтому два старших разряда адреса памяти (A9 и A10) не будут использоваться, т. е. на них необходимо подать сигналы уровня логического нуля.

На рис. 2.45 разрядные линии адресной шины A9 и A10 заземлены.

Использоваться будут только младшие (верхние в таблице прошивки) 512 ячеек, и только их надо будет программировать.

Задача увеличения количества адресных разрядов ПЗУ встречается значительно чаще задачи уменьшения количества адресных разрядов.

Для увеличения адресных разрядов обычно применяются микросхемы дешифраторов (рис. 2.46).

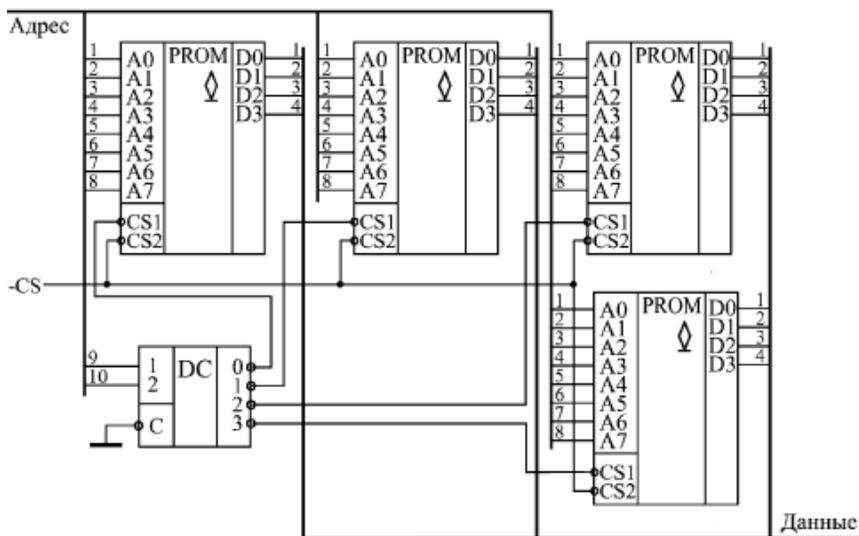


Рис. 2.46. Увеличение количества адресных разрядов ПЗУ с помощью дешифратора

Младшие разряды шины адреса при этом подаются на объединенные адресные входы всех микросхем, а старшие – на управляющие (адресные) входы дешифратора.

Выходные сигналы дешифратора разрешают работу всегда только одной микросхемы памяти.

В результате на общую шину данных всех ПЗУ выдает свою информацию только одна микросхема.

Применение дешифратора 3-8 позволяет объединить 8 микросхем ПЗУ (добавить три адресных разряда).

Часто возникает также задача увеличения количества разрядов данных.

Для этого необходимо объединить одноименные адресные входы нужного количества микросхем ПЗУ.

Выходы данных ПЗУ не объединяются, а образуют код с большим числом разрядов.

Например, при объединении, таким образом, двух микросхем с организацией $8K \times 8$, можно получить ПЗУ с организацией $8K \times 16$.

Одно из самых распространенных применений микросхем ПЗУ – замена ими сложных комбинационных схем.

Если рассматривать адресные входы микросхемы ПЗУ как входы комбинационной схемы, а разряды данных – как выходы этой комбинационной схемы, то можно сформировать любую требуемую таблицу истинности данной комбинационной схемы. Для этого надо составить таблицу прошивки ПЗУ, соответствующую нужной таблице истинности.

В качестве примера рассмотрим комбинационную схему, представленную на рис. 2.47, имеющую восемь входов и четыре выхода.

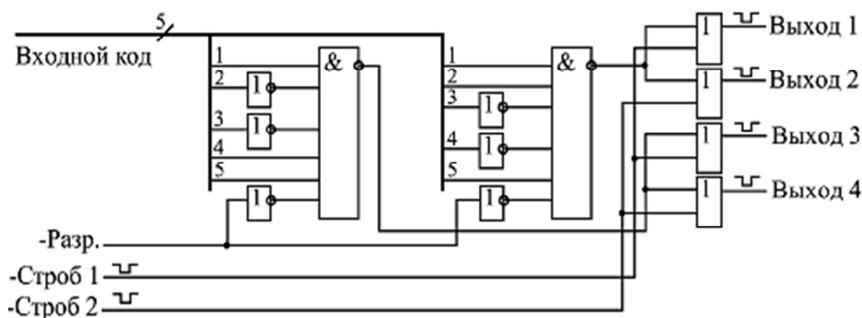


Рис. 2.47. Пример комбинационной схемы, заменяемой ПЗУ

Схема распознает два различных 5-разрядных входных кода (11001 и 10011) в случае, когда на входе разрешения «–Разр.» присутствует нулевой сигнал.

При приходе сигналов «–Строб 1» и «–Строб 2» схема выдает на выход отрицательные импульсы.

Причем:

- первый выходной сигнал вырабатывается в случае, когда входной код равен 11001 и пришел сигнал «–Строб 1»;
- второй выходной сигнал – при том же коде, но по входному сигналу «–Строб 2»;

– третий и четвертый выходной сигналы вырабатываются при входном коде 10011 и при приходе соответственно управляющих сигналов «–Строб 1» и «–Строб 2».

Всю эту схему можно заменить одной микросхемой ПЗУ (рис. 2.48).

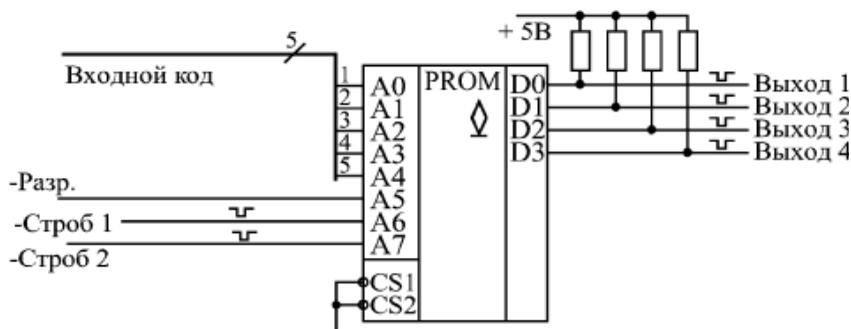


Рис. 2.48. Включение ПЗУ для замены комбинационной схемы, представленной на рис. 2.47

Микросхема ПЗУ всегда выбрана (управляющие сигналы –CS1 и –CS2 – нулевые).

На выходах данных памяти включены резисторы, так как тип выходов микросхемы – ОК (открытый коллектор).

Микросхемы ПЗУ могут заменять собой любые комбинационные микросхемы:

- дешифраторы;
- шифраторы;
- компараторы кодов;
- сумматоры;
- мультиплексоры;
- преобразователи кодов и т. д.

В общем случае ПЗУ можно рассматривать как преобразователь входного кода (кода адреса) в выходной код (код данных) по произвольному закону, задаваемому разработчиком.

Это позволяет не только преобразовывать друг в друга различные стандартные коды, но и выполнять множество других функций, например, использовать ПЗУ как простейший табличный вычислитель.

Одно из наиболее распространенных применений ПЗУ как преобразователя кодов – это построение на их основе всевозможных индикаторов, отображающих на экране буквы и цифры.

ПЗУ в данном случае переводит код (номер) буквы или цифры в ее изображение.

Заменить ПЗУ комбинационной схемой в данном случае невозможно, так как букв и цифр достаточно много, а их изображения очень разнообразны.

Простейший пример данного применения ПЗУ – это управление знаковым семисегментным индикатором, знакомым всем по калькуляторам, кассовым аппаратам, электронным часам, весам и т. д.

В семисегментных индикаторах изображение всех цифр от 0 до 9 (рис. 2.49) строится всего из семи сегментов (отрезков линий).

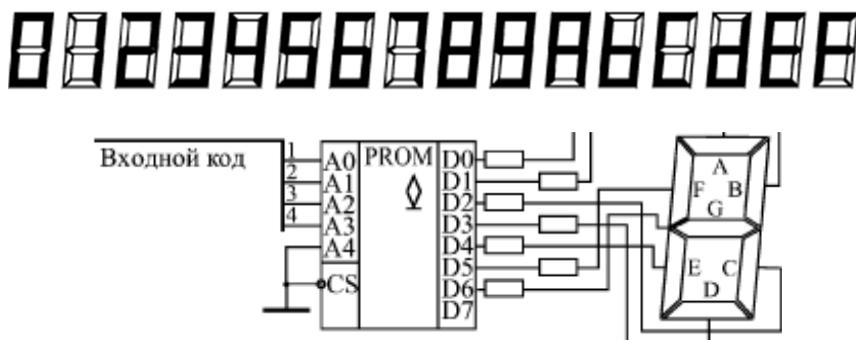


Рис. 2.49. Дешифратор знакового семисегментного индикатора на ПЗУ

Чтобы отобразить в виде цифры 4-разрядный двоичный код, надо этот код преобразовать в 7-разрядный код, каждому разряду которого будет соответствовать один сегмент индикатора.

То есть, например:

- коду 0000 должно соответствовать изображение нуля (6 сегментов, расположенных по периметру);
- коду 0001 должно соответствовать изображение единицы (два правых вертикальных сегмента).

Для повышения универсальности индикатора удобно дополнить десять цифр еще и шестью буквами, использующимися в 16-ричном коде (A, B, C, D, E, F).

Семь сегментов индикатора позволяют сделать и это, однако изображения букв получаются не слишком качественными.

ПЗУ используемое в качестве дешифратора индикатора, имеет 4 входа и 7 выходов (старший разряд адреса и старший разряд данных не используются).

Карта прошивки ПЗУ приведена на рис. 2.50.

Нулевой сигнал на каждом из выходов данных ПЗУ зажигает соответствующий ему сегмент.

Адрес	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
	00	40	79	24	30	19	12	02	78	00	10	08	03	46	21	06	0E
	10	XX															

Рис. 2.50. Карта прошивки ПЗУ для дешифратора знакового индикатора

2.11. Применение ОЗУ

Как уже отмечалось, оперативная память бывает двух основных видов:

- с отдельными шинами входных и выходных данных (в основном это односторонняя память);
- с двунаправленной (совмещенной) шиной входных и выходных данных (многократная память).

Некоторые простейшие примеры условно графического обозначения микросхем памяти обоих этих видов приведены на рис. 2.51.

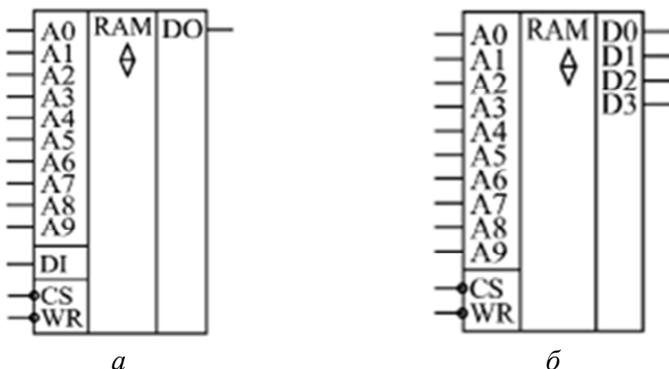


Рис. 2.51. УГО ИМС памяти

Выходы данных микросхем памяти чаще всего имеют тип 3С (три состояния) и довольно редко тип ОК (открытый коллектор/сток).

К управляющим сигналам используемым наиболее часто относятся:

- сигнал выбора микросхемы \overline{CS} (иногда их несколько);
- сигнал записи \overline{WR} (обычно отрицательный);
- сигнал разрешения выхода ОЕ (часто не имеется).

ИМС на рис. 2.51, *а* содержит 1К (1024) одноразрядных слова, имеет выход три состояния (3С) и отдельные входной и выходной сигналы данных. Управление работой микросхемы производится двумя управляющими сигналами \overline{CS} (низкий) и \overline{WR} (низкий).

ИМС на рис. 2.51, *б* относится к другой разновидности микросхем памяти.

У нее четыре двунаправленных вывода данных типа 3С.

Управляющие сигналы те же самые: \overline{CS} и \overline{WR} .

Режимы работы микросхемы приведены на рис. 2.52.

\overline{CS}	\overline{WR}	Входы и выходы			Режим работы
		A0...A9	DI	DO	
1	X	X	X	3С	Хранение
0	0	Адрес	0	3С	Запись 0
0	0	Адрес	1	3С	Запись 1
0	1	Адрес	X	Данные	Чтение

Рис. 2.52. Режимы работы оперативной памяти (рис. 2.51, *а*)

Главное отличие состоит в том, что в режиме записи на входах/выходах данных присутствует записываемая информация.

К таким микросхемам относится, например, микросхема КР541РУ2 (аналог – ИМ7147L-3)

Для микросхем памяти очень важны временные параметры (задержки сигналов относительно друг друга) и порядок выставления и снятия сигналов адреса, данных и управления.

Всю эту информацию дают временные диаграммы циклов записи в память и чтения (считывания) из памяти, приводимые в справочниках.

Самые главные временные параметры оперативной памяти, следующие:

- время выборки адреса (задержка между изменением адреса и выдачей данных);
- время выборки микросхемы (задержка выдачи данных по выставлению сигнала \overline{CS});
- минимальная длительность сигнала записи \overline{WR} ;
- минимальная длительность сигнала \overline{CS} .

Режимы работы микросхемы приведены на рис. 2.53.

\overline{CS}	Входы и выходы			Режим работы
	\overline{WR}	A0...A9	DIO0...DIO3	
1	X	X	3C	Хранение
0	0	Адрес	3C	Запись 0
0	0	Адрес	3C	Запись 1
0	1	Адрес	Данные	Чтение

Рис. 2.53. Режимы работы оперативной памяти (рис. 2.51, б)

Типичные временные диаграммы циклов записи и чтения представлены на рис. 2.54 и 2.55 соответственно.



Рис. 2.54. Типичная временная диаграмма записи в память

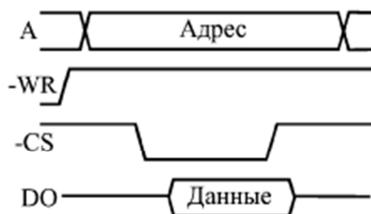


Рис. 2.55. Типичная временная диаграмма чтения из памяти

Конкретные временные диаграммы для каждого типа памяти необходимо смотреть в справочниках.

Для записи информации в память необходимо:

- выставить код адреса на адресных входах;
- выставить код записываемых в этот адрес данных на входах данных;

- подать сигнал записи \overline{WR} ;
- подать сигнал выбора микросхемы \overline{CS} .

Порядок выставления сигналов бывает различным, он может быть существенным или несущественным (например, можно выставлять или снимать \overline{CS} раньше или позже выставления или снятия \overline{WR}).

Запись обычно производится сигналом \overline{WR} или \overline{CS} , причем данные должны удерживаться в течение всего сигнала \overline{WR} (или \overline{CS}) и заданное время после его окончания.

Сигнал \overline{CS} у некоторых микросхем памяти допускается держать активным (нулевым) для всех записываемых адресов и при этом подавать импульсы \overline{WR} для каждого адреса.

Точно так же у некоторых микросхем допускается держать активным (нулевым) сигнал записи \overline{WR} , но при этом подавать импульсы \overline{CS} .

В случае микросхем памяти с двунаправленной шиной данных необходимо использовать источник записываемых данных с выходом ЗС или ОК, чтобы избежать конфликта данных, записываемых в память, с данными, выдаваемыми из памяти в режиме чтения.

Микросхемы оперативной памяти довольно часто объединяются для увеличения разрядности данных или разрядности адреса.

На рис. 2.56 показано объединение четырех микросхем для получения памяти с организацией $1K \times 4$.

Десятиразрядный адрес подается одновременно на входы A_0 – A_9 четырех ИМС.

Входные данные DI с шины «Входные данные» соответственно весу разрядов (1, 2, 3, 4) подаются на входы DI каждой ИМС.

Сигналы управления \overline{CS} и \overline{WR} одновременно подаются на соответствующие входы всех четырех ИМС.

Считываемые данные с выходов DO каждой ИМС передаются на выходную шину.

При таком схемотехническом решении в накопитель ОЗУ записывается 4-разрядное слово в соответствующую ячейку памяти, выбранную адресом A_0 – A_9 или считывается из ячейки памяти.

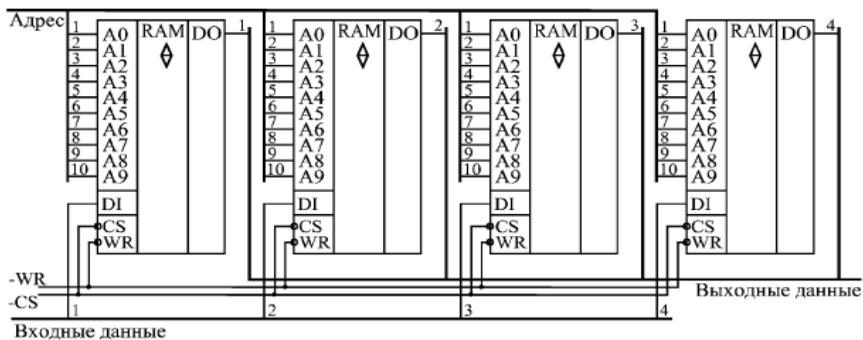


Рис. 2.56. Объединение микросхем памяти для увеличения разрядности шины данных

Точно так же могут быть объединены и микросхемы с двунаправленной шиной данных. К примеру, из четырех микросхем памяти с организацией 1К×4 можно получить память с организацией 1К×12.

Шина данных (рис. 2.57) является двунаправленной (по ней передаются данные, которые записываются в ИМС и на нее поступают данные, считанные с ИМС).

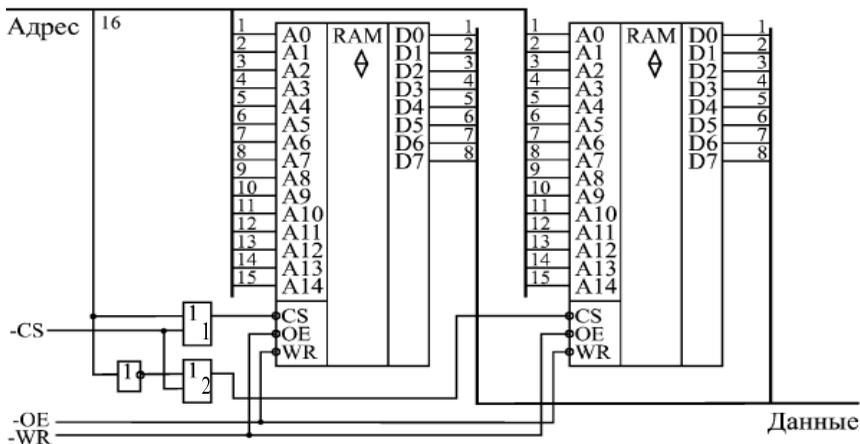


Рис. 2.57. Объединение микросхем памяти для увеличения разрядности шины адреса

Для увеличения количества адресных разрядов используются те же методы, что и в случае ПЗУ.

Если объединяются всего две микросхемы памяти, то можно обойтись без применения дешифраторов, выбирающих одну из объединяемых микросхем (рис. 2.57).

В данном схемотехническом решении младшие разряды адреса A1–A15 подаваемые на входы A0–A14 двух интегральных микросхем обеспечивают выбор 8-разрядного слова из каждой ИМС, что обеспечивает при считывании на выходах D0–D7 двух ИМС восьмиразрядное слово.

Старший разряд адреса A16 (если его значение равно логическому нулю), коммутируемый с сигналом \overline{CS} через логический элемент ИЛИ (1) обеспечивает формирование на входе \overline{CS} первой ИМС уровня логического нуля ($\overline{CS} = 0$ и $A16 = 0$), что обеспечивает перевод выходов первой ИМС из состояния 3С в состояние 2С (выбрана первая ИМС), выходы второй ИМС остаются в состоянии 3С.

Таким образом, обеспечивается запись/чтение в/из первой ИМС.

Если значение старшего разряда адреса A16 соответствует уровню логической 1, то инвертор и логический элемент ИЛИ (2) обеспечивают уровень логического нуля на входе \overline{CS} второй ИМС обеспечивая запись/чтение в/из второй ИМС.

Выходы первой ИМС остаются в состоянии 3С.

3. ВСПОМОГАТЕЛЬНЫЕ ЭЛЕМЕНТЫ ЦИФРОВЫХ УСТРОЙСТВ

К числу вспомогательных элементов цифровых устройств относятся элементы, которые не выполняют логических операций или запоминание данных, но являются необходимыми для их построения.

К таким элементам относятся:

- элементы задержки;
- элементы формирования и генерации импульсных сигналов;
- элементы визуальной индикации.

3.1. Элементы задержки

Задержки цифровых сигналов требуются, прежде всего, для временного согласования распространения сигналов по различным путям в цифровом устройстве с целью борьбы с критическими временными соотношениями, которые нарушают работоспособность автоматов с памятью.

Вариант технической реализации элементов задержки зависит от требуемых значений параметров задержки сигналов, а именно:

- величины;
- стабильности;
- регулируемости и т. д.

На практике применяют различные варианты реализации задержек:

- отрезки обычных или специальных коаксиальных кабелей;
- цепочки логических элементов;
- РС-цепочки;
- одновибраторы;
- схемы деления частоты тактовых сигналов.

Самыми типичными для цифровых устройств вариантами реализации задержек являются:

- цепочки логических элементов;
- РС-цепочки.

В первом случае используется естественная инерционность логических элементов. При составлении из нескольких логических элементов последовательной цепочки можно суммировать задержки отдельных элементов (рис. 3.1).

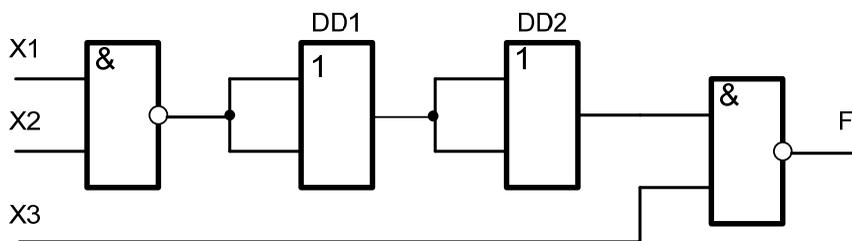


Рис. 3.1. Формирование задержки с помощью логических элементов

На рис. 3.1 логические элементы DD1 и DD2 используются для получения времени задержки между подачей сигнала X3 и результатом операции И–НЕ над сигналами X1 и X2 (рис. 3.2).

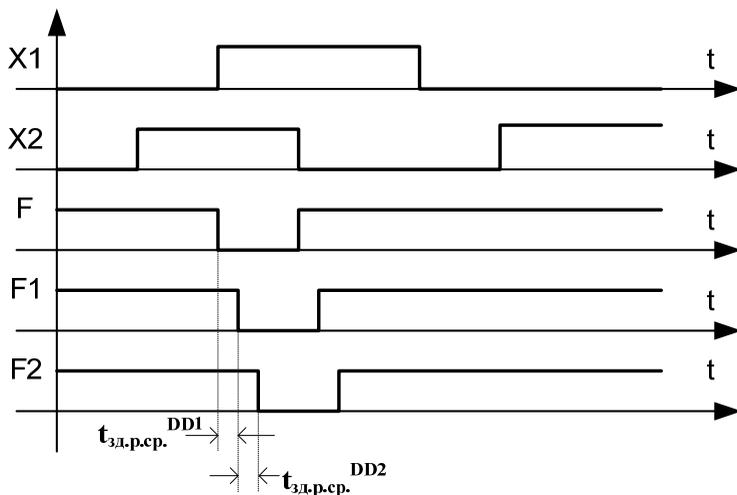


Рис. 3.2. Диаграмма формирования задержки двумя логическими элементами

Для целей задержки естественно применять простейшие элементы-инверторы или повторители. В простейшем корпусе ИМС уже размещены 6 повторителей или инверторов.

Задержку можно регулировать дискретно, изменяя число элементов в цепочке. Если цепочка составлена из инверторов, то при четном их числе получается просто задержка сигнала, а при нечетном – задержка сигнала с инверсией.

Величины получаемых задержек обычно подходят к требуемым, т. к. требуется компенсация разновременности распространения сигналов в цепях, также составленных из логических элементов.

Точность задержки ограничивается разбросом собственных задержек элементов и является невысокой.

Задержку на большее время можно получить с помощью RC-цепочки, которая включается в цепь передачи сигнала (рис. 3.3), где она формирует экспоненциальные процессы перезаряда емкости через резистор R с постоянной времени RC .

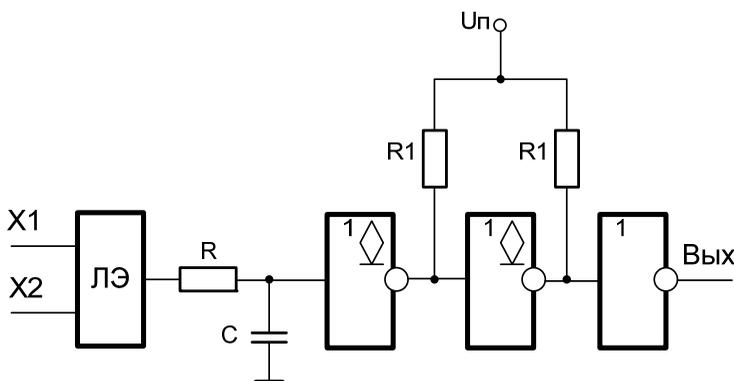


Рис. 3.3. Схема задержки с RC-цепочкой

С увеличением постоянной времени RC напряжение на емкости при переключении становится все более пологим. При этом разброс пороговых напряжений, который является свойственным логическим элементам, будет вызывать все больший разброс задержек. Таким образом, чем больше задержка, тем менее точной она становится.

Имеется существенная разница в условиях применения RC-цепочек в схемах на МОП-транзисторах и в схемах на биполярных приборах.

В первом случае (схема на МОП-транзисторах) входные токи элементов пренебрежимо малы и включение на входе логического элемента даже большого сопротивления вполне допустимо.

Во втором случае (схема на биполярных приборах) входные токи элементов значительны, поэтому в их входные цепи можно включать лишь малые сопротивления, т. к. произойдет недопустимое из-

менение уровней напряжения U^0 и U^1 из-за падений напряжения на резисторе R .

Допустимые значения сопротивления резистора R составляют в этом случае величину порядка сотен Ом.

При малых значениях сопротивления R постоянную времени придется увеличивать за счет больших емкостей C , что не всегда удобно по конструктивным соображениям.

С увеличением постоянной времени RC напряжение на емкости при переключении становится все более пологим.

При этом свойственный логическим элементам разброс пороговых напряжений будет вызывать все больший разброс задержек, т. е. величина задержки становится менее точной.

Для некоторых элементов (типа КМОП) слишком длительные фронты входных сигналов недопустимы по паспортным данным.

Нежелательны затянутые фронты и для элементов ТТЛ(Ш) с их сквозными токами.

Поэтому в схеме, приведенной на рис. 3.3, первые элементы цепи формирования имеют выход ОК, в котором не возникают сквозные токи.

Перед повторным срабатыванием схема должна восстанавливаться, для чего длительность постоянного уровня входного напряжения должна быть около $3RC$.

В схемах цифровых устройств задержки на RC -цепочках могут составлять величины до единиц миллисекунд.

Цепочки RC используются не только непосредственно, но и в форме времязадающих цепей одновибраторов которые также являются элементами, которые пригодны для использования в качестве задержек цифровых сигналов (фронтов).

Одновибраторы имеют одно устойчивое состояние, которое является исходным.

Входной сигнал переводит одновибратор в квазиустойчивое состояние, в котором он находится в течение времени, определяемого параметрами схемы одновибратора.

Затем одновибратор возвращается в свое устойчивое состояние.

При этом формируется фронт, который служит выходным сигналом. Значит, длительность квазиустойчивого состояния одновибратора, т. е. длительность формируемого им одиночного импульса и есть время задержки сигнала.

Одновибратор является релаксационной схемой, способной формировать крутые фронты благодаря наличию в ней положительной обратной связи.

Задержку сигналов в цифровых устройствах при наличии обычных для них синхросигналов можно получить с помощью счетчиков или пересчетных схем (пункт 5.2 часть 1 данного пособия). При этом входной сигнал должен разрешить работу счетчика (пересчетной схемы), находящегося в нулевом состоянии.

Счетчик начнет подсчитывать синхросигналы, а при его переполнении (двоичный счетчик требуемой разрядности) или подсчете требуемого числа сигналов (пересчетная схема, так называемый недвоичный счетчик) выработается выходной сигнал.

На рис. 3.4 приведена схема недвоичного счетчика, который обеспечивает задержку формирования сигнала.

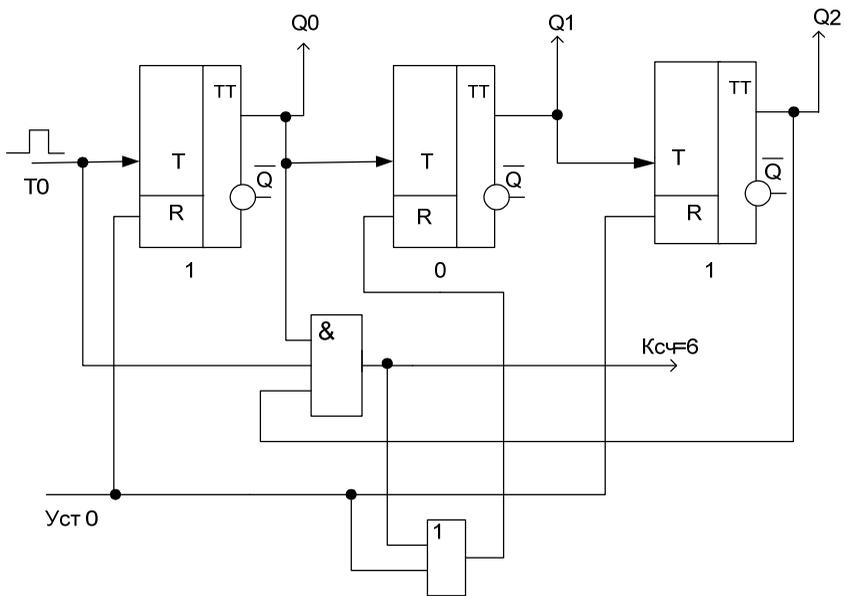


Рис. 3.4. Схема недвоичного счетчика, используемого для формирования задержки сигнала

Таким образом, будет выработана задержка:

$$t_d = NT,$$

где N – емкость счетчика, которая в данной схеме соответствует C ;
 T – период синхроимпульсов, которые подсчитывает счетчик.

В номенклатуре интегральных схем имеются специальные элементы задержки.

На рис. 3.5 представлен фрагмент схемы такого элемента, который предназначен для задержки отрицательного фронта.

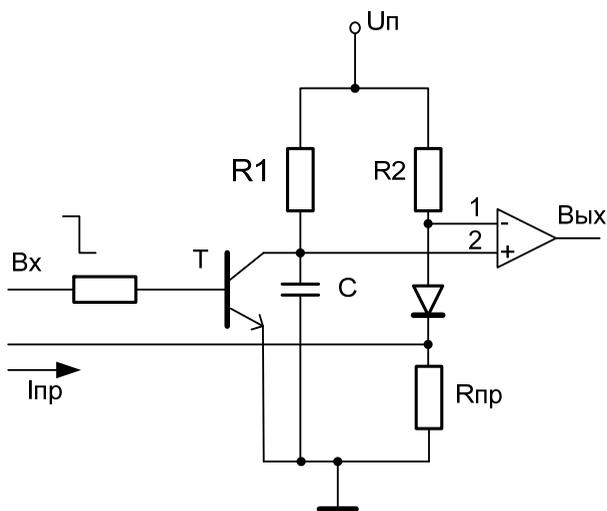


Рис. 3.5. Фрагмент схемы интегрального элемента задержки

В схеме, приведенной на рис. 3.5, в исходном состоянии высокий уровень входного напряжения насыщает транзистор T , и на инверсный вход 2 дифференциального усилителя-компаратора поступает малое напряжение «коллектор-эмиттер» этого транзистора.

На инверсный вход 1 поступает более высокое напряжение с делителя, образованного резисторами $R2$ и $R_{пр}$, причем в схеме имеется возможность регулирования этого напряжения, т. к. сопротивление $R_{пр}$ может программироваться пропусканием через него тока $I_{пр}$.

После завершения режима программирования значение $R_{пр}$ остается неизменным.

Поступление отрицательного фронта входного напряжения запирает транзистор T , и емкость начинает заряжаться от источника питания через резистор $R1$ с постоянной времени $R1C$.

Когда напряжение на емкости достигнет напряжения, установленного на верхнем входе усилителя-компаратора, он переключится и выработает выходной сигнал.

Положительные фронты входного импульсного сигнала задерживаются другой схемой подобного вида.

3.2. Элементы формирования и генерации импульсных сигналов

3.2.1. Формирователи импульсов по длительности

К задачам формирования импульсов по длительности относятся:

- расширение;
- сужение;
- стандартизация их длительности.

Эти операции реализуются схемой приведенной на рис. 3.6.

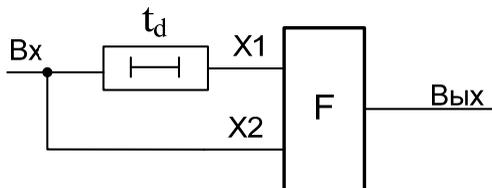


Рис. 3.6. Схема формирования импульса по длительности

Допустим, что функция F является операцией «дизъюнкция» (логическое сложение). Тогда, как видно из диаграммы, приведенной на рис. 3.7 схема будет расширять входной импульс на интервал равный t_d .

Допустим, что функция F является операцией «конъюнкция» (логическое умножение). Тогда, как видно из диаграммы, приведенной на рис. 3.8, схема будет сужать входной импульс на интервал равный t_d .

Если допустить, что функция F выполняет операцию $F = X_1 \cdot \overline{X_2}$, то будет выполнена стандартизация длительности импульса (рис. 3.9).

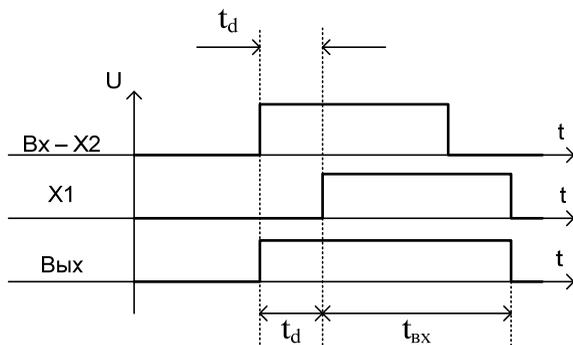


Рис. 3.7. Временная диаграмма реализации операции «расширение»

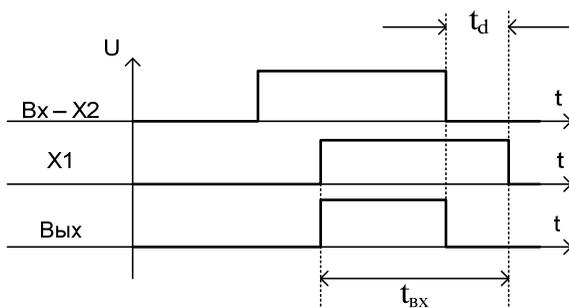


Рис. 3.8. Временная диаграмма реализации операции «сужение»

Выходной импульс будет иметь длительность t_d независимо от длительности входного импульса (при $t_{\text{ВХ}} > t_d$).

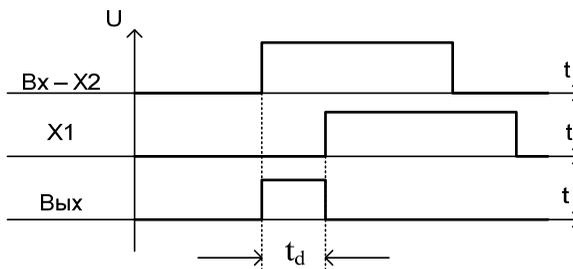


Рис. 3.9. Временная диаграмма стандартизации импульса

Если допустить, что функция F выполняет операцию $F = X_1 \cdot \overline{X_2}$, то схема может быть заменена сочетанием обычного конъюнктора и инвертирующей задержки.

3.2.2. Генераторы импульсов

На элементах задержки и логических элементах строятся генераторы импульсных последовательностей.

На рис. 3.10 проведена схема симметричного генератора.

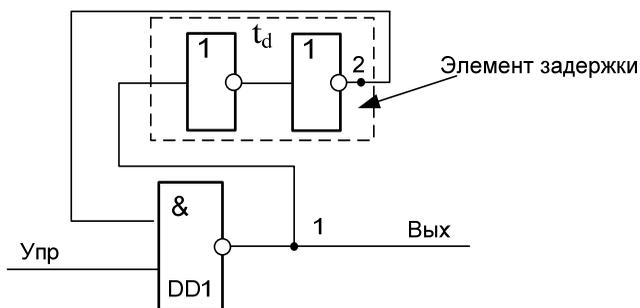


Рис. 3.10. Схема симметричного генератора

При нулевом значении сигнала $U_{\text{пр}}$ на выходе элемента И–НЕ (DD1) имеется логическая единица (точка 1), которая через обратную связь с задержкой на величину t_d (обеспечена двумя логическими элементами НЕ) передается на верхний вход элемента DD1.

Таким образом, в исходном состоянии вход 1 находится в состоянии «логическая 1».

Изменение управляющего сигнала является командой для начала работы генератора.

Если сигнал $U_{\text{пр}}$ равен уровню «логическая единица», то на двух входах логического элемента DD1 (И–НЕ) присутствуют логические 1, что обеспечивает формирование логического 0 в точке 1.

Это состояние длится в течение интервала времени t_d .

После чего значение логического нуля в выходе схемы (точка 1) по обратной связи через два логических элемента НЕ, формирующих время задержки t_d , пройдет на верхний вход логического элемента DD1.

В результате чего выход логического элемента DD1 будет соответствовать состоянию логической 1, которое также сохранится на время t_d , после чего изменится из-за воздействия по цепи обратной связи.

Следовательно, схема будет генерировать симметричные импульсы с длительностью импульса и паузы, равными t_d (рис. 3.11).

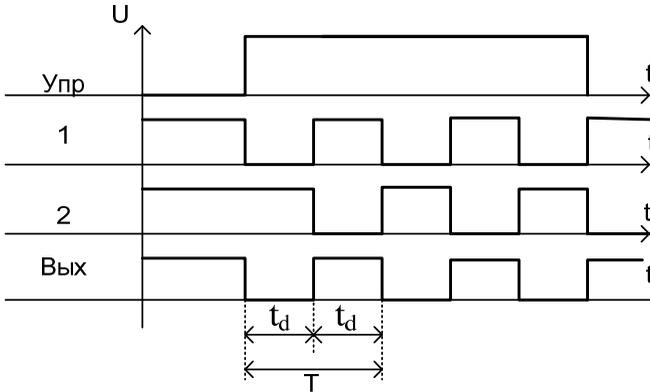


Рис. 3.11. Временная диаграмма несимметричного генератора

Очень часто требуются импульсы, в которых длительности импульса и паузы должны быть различны.

На рис. 3.12 проведена схема генератора импульсов, в которой возможно задать разную длительность импульса и паузы.

Такие генераторы называются несимметричными.

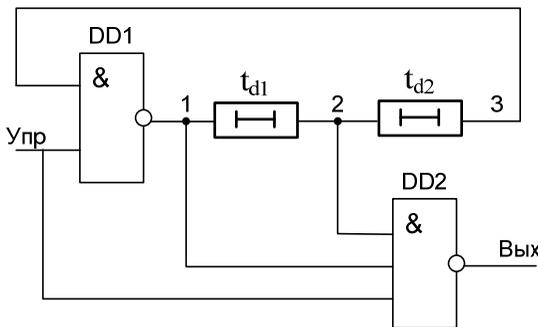


Рис. 3.12. Схема несимметричного генератора

Временная диаграмма такого генератора представлена на рис. 3.13.

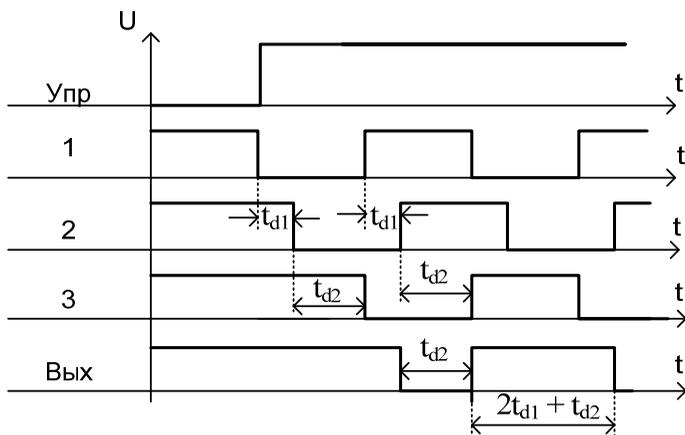


Рис. 3.13. Временная диаграмма несимметричного генератора

Видно, что длительность паузы устанавливается элементом задержки 2 (t_{d2}), после чего элементом задержки 1 можно задать необходимую длительность импульса (t_{d1}).

При этом длительность паузы равна $t_{п} = t_{d2}$, а длительность импульса соответствует $t_{и} = 2t_{d1} + t_{d2}$. Т. е. в данном случае пауза короче импульса.

В случае, если требуется обратное соотношение, сигналы можно проинвертировать.

На логических элементах и элементах задержки строят генераторы импульсов, к которым не предъявляются жесткие требования по стабильности частоты (допустимы отклонения порядка процентов).

Генераторами прямоугольных импульсов служат также типовые микросхемы мультивибраторов, стабильность частоты которых практически соответствует стабильности частоты генераторов на логических элементах и элементах задержки.

Для получения импульсных последовательностей с высокой стабильностью частоты применяют кварцевые генераторы, для которых, не применяя специальные меры, можно получить стабильность частоты с отклонением порядка 10^{-5} и выше.

Микросхемы одновибраторов и генераторов занимают промежуточное положение между комбинационными микросхемами и микросхемами с внутренней памятью.

Их выходные сигналы не определяются однозначно как у комбинационных микросхем. Но вместе с тем они и не хранят информацию длительное время.

Одновибраторы («ждущие мультивибраторы», английское название «Monostable Multivibrator») представляют собой микросхемы, которые в ответ на входной сигнал (логический уровень или фронт) формируют выходной импульс заданной длительности.

Длительность выходного импульса определяется внешними времязадающими резисторами и конденсаторами. Т. е. можно считать, что у одновибраторов есть внутренняя память, но эта память хранит информацию о входном сигнале строго заданное время, а потом информация исчезает.

На схемах одновибраторы обозначаются буквами G1.

В стандартные серии микросхем входят одновибраторы двух основных типов:

1. Одновибраторы без перезапуска (рис. 3.14).
2. Одновибраторы с перезапуском (рис. 3.15).

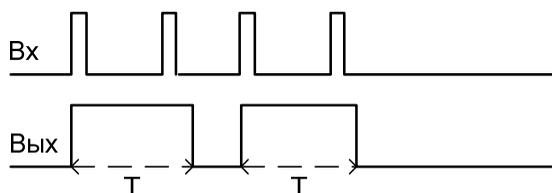


Рис. 3.14. Одновибратор без перезапуска

Одновибратор без перезапуска не реагирует на входной сигнал до окончания своего выходного импульса.

Одновибратор с перезапуском начинает отсчет нового времени выдержки T с каждым новым входным сигналом независимо от того, закончилось ли предыдущее время выдержки.

В случае, когда период следования входных сигналов меньше времени выдержки T , выходной импульс одновибратора с перезапуском не прерывается.

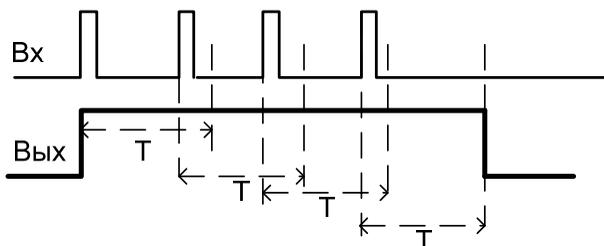


Рис. 3.15. Одновибратор с перезапуском

Если период следования входных запускающих импульсов больше времени выдержки одновибратора T , то оба типа одновибраторов работают одинаково.

На рис. 3.16 приведены обозначения микросхем одновибраторов стандартных серий.

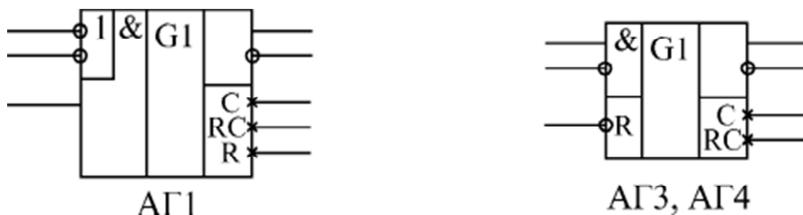


Рис. 3.16. Микросхемы одновибраторов

Микросхемы АГ3 и АГ4 отличаются друг от друга только тем, что АГ3 работает с перезапуском, а АГ4 – без перезапуска.

Микросхемы имеют входы запуска, объединенные по И/ИЛИ, прямые и инверсные выходы, а также выводы для подключения внешних времязадающих цепей (резисторов и конденсаторов).

Запускается работа всех одновибраторов по фронту результирующего входного сигнала.

Использованная логика объединения входов микросхем позволяет запустить все одновибраторы как по положительному, так и по отрицательному фронту входного сигнала (рис. 3.17 и 3.18).

На неиспользуемые входы при этом надо подавать сигналы логического нуля или логической единицы, которые являются неактивными относительно уровня входа.

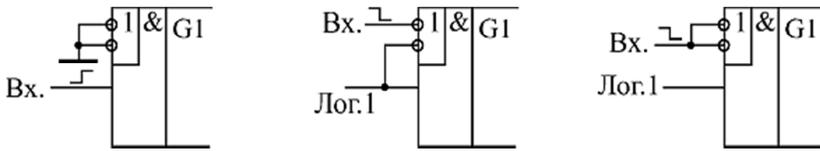


Рис. 3.17. Варианты запуска одновибратора АГ1

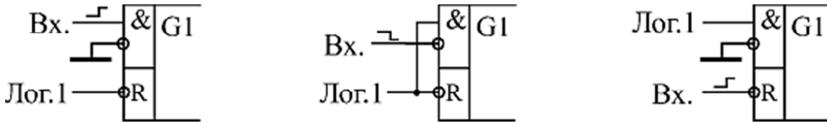


Рис. 3.18. Варианты запуска одновибраторов АГ3 и АГ4

Можно также использовать остающиеся входы для разрешения или запрещения входного запускающего сигнала.

Одновибраторы АГ3 и АГ4 имеют также дополнительный вход сброса \bar{R} , логический ноль на котором не только запрещает выработку выходного сигнала, но и прекращает его. Вход \bar{R} можно также использовать для запуска одновибратора.

Стандартное включение одновибраторов предполагает подключение внешнего резистора и внешнего конденсатора (рис. 3.19).

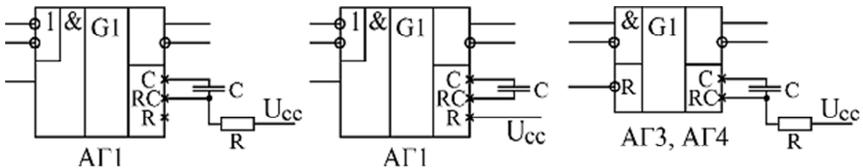


Рис. 3.19. Стандартные схемы включения одновибраторов

Для одновибратора АГ1 длительность выходного импульса можно оценить по формуле:

$$T = 0,7 \cdot R \cdot C.$$

Эта формула действительна при величине сопротивления резистора в пределах от 1,5 кОм до 43 кОм. Емкость конденсатора может быть любой.

Внутри микросхемы имеется внутренний резистор сопротивлением около 2 кОм, подключенный к выводу R, поэтому можно включить одновибратор без внешнего резистора, подключая вывод R к напряжению питания.

Повторный запуск одновибратора невозможен сразу после окончания выходного импульса, до повторного запуска обязательно должен пройти интервал $t = C$ (если емкость измеряется в нанофарадах, то временной интервал получается в микросекундах).

Для одновибраторов АГ3 и АГ4 длительность импульса можно оценить по формуле:

$$T = 0,32 \cdot C \cdot (R + 0,7),$$

где сопротивление резистора измеряется в килоомах.

Сопротивление резистора может находиться в пределах от 5,1 кОм до 51 кОм, емкость конденсатора может быть любая.

Перезапуск одновибратора возможен только в том случае, когда интервал между входными запускающими импульсами больше $0,224 C$ (если емкость измеряется в нанофарадах, то временной интервал – в микросекундах).

Наиболее распространенные применения одновибраторов следующие (рис. 3.20):

- увеличение длительности входного импульса;
- уменьшение длительности входного импульса;
- деление частоты входного сигнала в заданное число раз;
- формирование сигнала огибающей последовательности входных импульсов.

Увеличение или уменьшение длительности входного сигнала (рис. 3.20, *a* и *b*) осуществляется выбором сопротивления резистора и емкости конденсатора, исходя из требуемой длительности выходного сигнала.

В этом случае можно использовать одновибратор любого типа: как с перезапуском, так и без перезапуска.

Для деления частоты входных импульсов в заданное число раз (рис. 3.20, *в*) применяется только одновибратор без перезапуска.

При этом надо выбрать такую длительность выходного сигнала, чтобы одновибратор пропускал нужное количество входных импульсов.

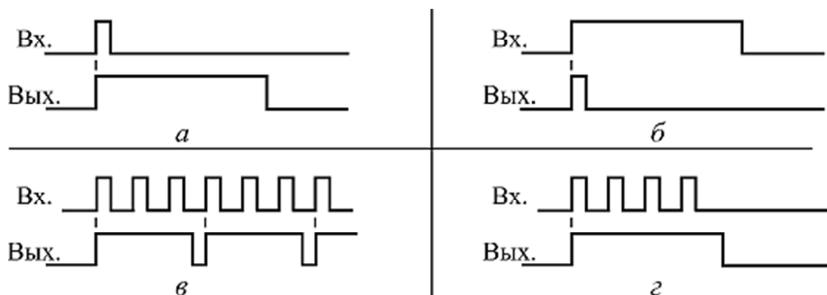


Рис. 3.20. Стандартные применения одновибраторов

Например, если требуется разделить на 3 частоту входных импульсов f , то длительность выходного сигнала одновибратора надо выбрать в пределах от $2/f$ до $3/f$.

При этом одновибратор будет пропускать два входных импульса из каждых трех.

Для формирования огибающей входного сигнала (рис. 3.20, г) используется только одновибратор с перезапуском.

При этом длительность его выходного импульса должна быть выбрана такой, чтобы каждый следующий входной сигнал перезапускал одновибратор.

Если частота входного сигнала равна f , то длительность выходного сигнала одновибратора должна быть не меньше, чем $1/f$.

Одновибраторы также используются в случае, когда требуется обеспечить подавление дребезга контактов кнопки.

Одновибратор с большим временем выдержки (порядка нескольких десятых долей секунды) надежно подавляет паразитные импульсы, возникающие из-за дребезга контактов, и формирует идеальные импульсы на любое нажатие кнопки (рис. 3.21).

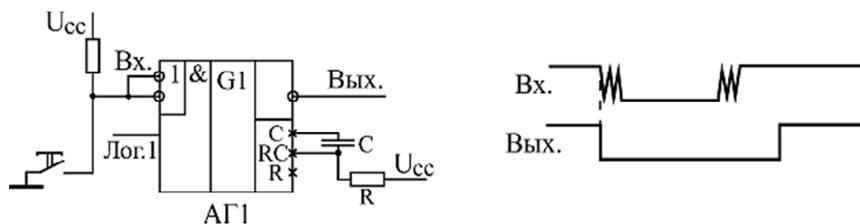


Рис. 3.21. Использование одновибратора для подавления дребезга контактов кнопки

Для этого можно использовать как одновибратор с перезапуском, так и одновибратор без перезапуска (рис. 3.22).

Можно также подобрать время выдержки так, что одновибратор будет давать один импульс по нажатию кнопки, а другой импульс – по отпусканию кнопки.

Одновибраторы можно также применять для построения генераторов (мультивибраторов) прямоугольных импульсов с различными значениями длительности импульсов и паузы между ними.

При этом два одновибратора замыкаются в кольцо так, что каждый из них запускает другой после окончания своего выходного импульса (рис. 3.22).

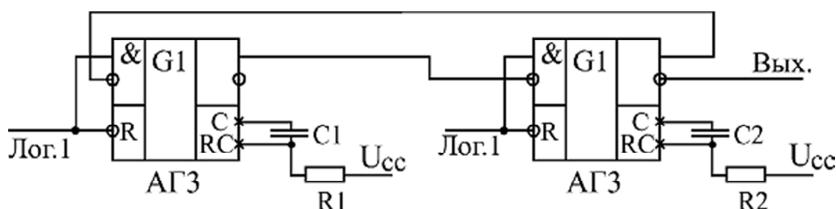


Рис. 3.22. Генератор импульсов на двух одновибраторах

Один одновибратор формирует длительность импульса, а другой определяет паузу между импульсами.

Изменяя номиналы резисторов и конденсаторов, можно получить нужные соотношения импульса и паузы.

Применение одновибраторов ограничивается тем, что длительность их выходных импульсов нельзя задать очень точно, т. к. одновибраторы имеют аналоговые цепи.

На длительность выходного импульса одновибратора влияют разбросы номиналов резисторов и конденсаторов, температура окружающей среды, старение элементов, помехи по цепям питания и другие факторы.

Поэтому применение одновибраторов нужно по возможности ограничивать только теми случаями, когда время выдержки можно задавать с не слишком высокой точностью (погрешность не менее 20–30 %).

Любую функцию одновибратора может выполнить синхронное тактируемое устройство (на основе кварцевого генератора, триггеров, регистров, счетчиков), причем выполнить гораздо точнее и надежнее.

Задержки запуска одновибраторов примерно в 2–3 раза превосходят задержку логического элемента.

Точные величины задержек приводятся в справочной литературе.

Помимо одновибраторов, в стандартные серии включены также специализированные генераторы («мультивибраторы», «multivibrator»).

Обозначаются они на схемах буквой Г. В отечественных сериях этот тип микросхемы кодируется буквами ГГ.

Микросхемы генераторов используют довольно редко, чаще заменяют генераторы на инверторах или на триггерах Шмитта.

Однако в некоторых случаях генераторы не могут быть заменены ничем. Дело в том, что они допускают изменение частоты выходных импульсов с помощью уровней двух входных управляющих напряжений.

Поэтому они называются также «генераторы, управляемые напряжением» или ГУН.

Эффект изменения частоты можно использовать, например, в системах автоподстройки частоты (АПЧ) или в устройствах с частотной модуляцией (ЧМ).

Стандартная схема включения генератора ГГ1 приведена на рис. 3.23.

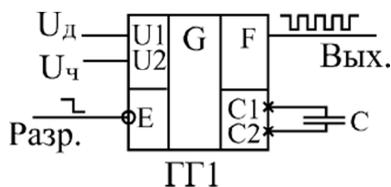


Рис. 3.23. Схема включения генератора ГГ1

Генератор имеет выводы для подключения внешнего конденсатора C1 и C2, к которым можно также подключать кварцевый резонатор, но при этом уже нельзя управлять частотой.

Имеется два входа управления частотой U1 и U2, а также вход разрешения \bar{E} , при подаче на который логической единицы генерация прекращается и на выходе F устанавливается единица.

Один из входов управления (U1) обычно называется диапазоновым или Uд, а другой (U2) – входом управления частоты или Uч.

При увеличении напряжения $U_{\text{ч}}$ частота увеличивается, при увеличении напряжения на входе $U_{\text{д}}$ – уменьшается.

Рекомендуемый диапазон изменения напряжения $U_{\text{д}}$ составляет от 2 до 4,5 В, а диапазон изменения $U_{\text{ч}}$ – от 0 до 5 В. В зависимости от напряжения $U_{\text{д}}$, меняется диапазон изменения частоты из-за изменения напряжения $U_{\text{ч}}$.

Например, при $U_{\text{д}} = 2$ В и изменении $U_{\text{ч}}$ от 1 до 5 В частота изменится примерно на 15 %, а при $U_{\text{д}} = 4$ В – приблизительно в 4 раза.

Частота выходного сигнала ГГ1 определяется также внешним конденсатором, например, при $U_{\text{д}} = U_{\text{ч}} = 2$ В и при $C = 1$ мкФ частота будет около 100 Гц, а при $C = 100$ пФ – порядка 10 МГц.

Максимально возможное значение частоты генератора составляет около 80 МГц.

В справочниках приводятся графики зависимости частоты выходного сигнала ГГ1 от уровней управляющих напряжений и от величины внешнего конденсатора.

Однако точно определить значение частоты по этим графикам невозможно, в любом случае требуется подстройка. К тому же наличие в схеме аналоговых узлов делает генератор ГГ1 чувствительным к разбросу номиналов конденсаторов, к изменению температуры окружающей среды, к старению элементов, к помехам по цепям питания и к другим факторам. Именно поэтому использование этих генераторов крайне ограничено.

В микросхеме ГГ1 существует взаимное влияние двух генераторов друг на друга, хотя в ней и приняты меры по снижению этого влияния. Поэтому не рекомендуется использовать одновременно два генератора одной микросхемы в режиме генерации частоты, управляемой напряжением.

3.3. Элементы визуальной индикации

Для общения с оператором цифровые устройства могут снабжаться средствами визуальной индикации символьных данных. Среди них имеются как сложные устройства (экранные дисплеи), так и простые (светодиодные индикаторы).

Различают точечные, цифровые, буквенно-цифровые, шкальные, мозаичные и другие светоизлучающие индикаторы.

Преобразование электрических сигналов в видимое изображение может быть основано на разных явлениях:

- светоизлучении полупроводниковых структур;
- оптических явлениях в жидких кристаллах;
- электролюминисценции;
- процессах в газовом разряде и др.

Светодиоды изготавливаются на основе полупроводниковых материалов (арсенида галлия, фосфида галлия, арсенид-фосфида галлия и др.) которые при пропускании через них тока светятся.

Яркость свечения светоизлучающего диода непосредственно зависит от величины пропускаемого тока.

Используя различный материал, можно получить индикаторы с различным цветом свечения: от инфракрасного для датчиков и систем управления до ультрафиолетовых.

При этом цвет свечения светодиода связан с прямым падением напряжения на светодиоде (рис. 3.24).



Рис. 3.24. Вольтамперные характеристики светодиодов

Светодиоды применяются в качестве световых индикаторов, а ИК-диоды (инфракрасные диоды) в качестве источников излучения в оптоэлектронных приборах и в качестве первичных преобразователей информации.

Существуют два принципа управления работой индикаторов: статический и динамический.

В первом случае каждый индикатор управляется своей схемой.

Во втором случае каждая цифра подключается поочередно с частотой более 30 Гц.

При этом из-за инерционности глаза изображение выглядит неподвижно.

При динамическом управлении и большом количестве разрядов значительно уменьшается количество выводов с индикаторного табло.

Обычно при количестве разрядов, меньше 4 используется статический принцип управления, а если больше 4 – динамический.

Последовательно со светоизлучающим диодом включается резистор, который задает и стабилизирует ток светодиода.

При подключении светодиода, необходимыми для расчетов характеристиками будут прямой ток и прямое напряжение.

Возьмем светодиод с параметрами $U = 2,2$ В (среднее для стандартного желтого светодиода), $I = 20$ мА (0,02 А).

Данные параметры означают, что к источнику питания с такими характеристиками можно подключать светодиод напрямую. Но в реальной жизни такой источник найти крайне сложно.

Поэтому в большинстве случаев, светодиод «запитывается» от более мощного источника через токоограничительный резистор. Резистор должен погасить избыточное напряжение ($U_{\text{входное}} - U_{\text{светодиода}}$) и ограничить ток до нужного значения.

В каком месте стоит сопротивление, до или после светодиода, не важно (рис. 3.25).

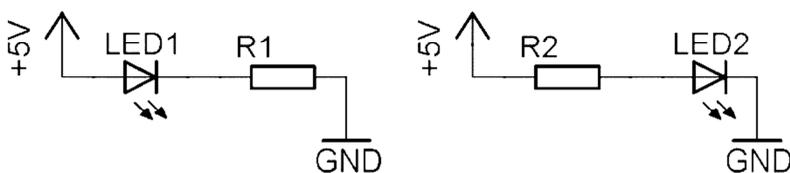


Рис. 3.25. Схемы расположения резистора для ограничения тока

Для примера возьмем источник питания с напряжением 5 вольт:

$$R = (U_{\text{входное}} - U_{\text{светодиода}}) / I = (5 - 2,2) / 0,02 \text{ А} = 140 \text{ Ом.}$$

При значении сопротивления резистора в 140 Ом светодиод работает в номинальном режиме.

Сопротивление менее 140 Ом будет пропускать больше тока, светодиод будет «гореть» ярче, будет греться и в итоге «сгорит», чем меньше будет сопротивление – тем быстрее.

Сопротивление более 140 Ом будет пропускать меньше тока, светодиод будет «гореть» тусклее, будет меньше греться и срок его службы увеличится, но если величина сопротивления будет очень велика, то свечение светодиода будет незаметно.

Из нескольких светоизлучающих диодов составляются индикаторы и матрицы, которые отображают буквы и цифры.

Широкое применение нашли семисегментные индикаторы, в которых семь сегментов-светодиодов расположены таким образом, что при зажигании определенной их комбинации будет высвечиваться тот или иной символ (рис. 3.26).

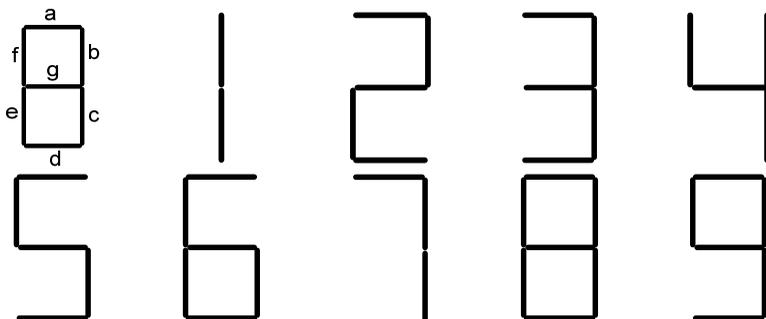


Рис. 3.26. Семисегментный индикатор и отображаемые им цифры

Семисегментные индикаторы выпускаются с общим анодом (рис. 3.27) или общим катодом (рис. 3.28).

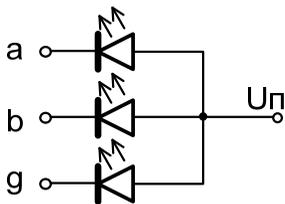


Рис. 3.27. Индикатор с общим анодом

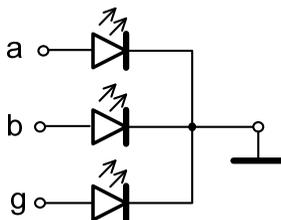


Рис. 3.28. Индикатор с общим катодом

Для зажигания сегмента в схеме с общим анодом, подключенным к источнику питания ($U_{п}$) нужно снизить напряжение на его катоде, т. е. в данном случае «зажигание» осуществляется уровнем логического нуля.

Для зажигания сегмента в схеме с общим катодом, подключенным к общей точке схемы (Общий) необходимо повысить напряжение на его аноде, т. е. в данном случае «зажигание» осуществляется уровнем логической единицы.

Для управления сегментами удобны логические элементы с выходом ОК/ОС (открытый коллектор/открытый сток).

Функциональная схема ЛЭ с выходом ОС семейства МОП приведена на рис. 3.29.

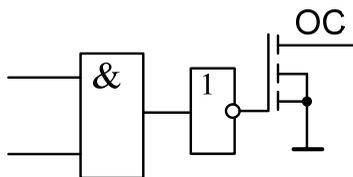


Рис. 3.29. ЛЭ с выходом ОС семейства МОП

Приведенный на рис. 3.30 ЛЭ (ЛА 2И–НЕ) имеет особенность, состоящую в том, что на ее выходе включен МДП-транзистор с каналом n типа, сток которого соединен с выходом ЛЭ.

К ее выходу ОС может быть подключена любая нагрузка с номинальным током 16–34 мА (при $U_{п} = 5–10$ В), например светоизлучающий диод для индикации состояния логической схемы.

Так как данная интегральная схема имеет дополнительный усилительный элемент, ее быстродействие несколько ниже, чем у других интегральных схем типа ЛА

На рис. 3.30 приведена упрощенная схема ТТЛ элемента с открытым коллектором.

Свободный коллектор такой схемы (коллектор транзистора VT3) является ее выходом и подключается к источнику питания через внешнее нагрузочное сопротивление.

Его роль может выполнять светоизлучающий диод.

Транзистор VT3 управляется от предыдущей части схемы элемента так, что может находиться в насыщенном или запертом состоянии.

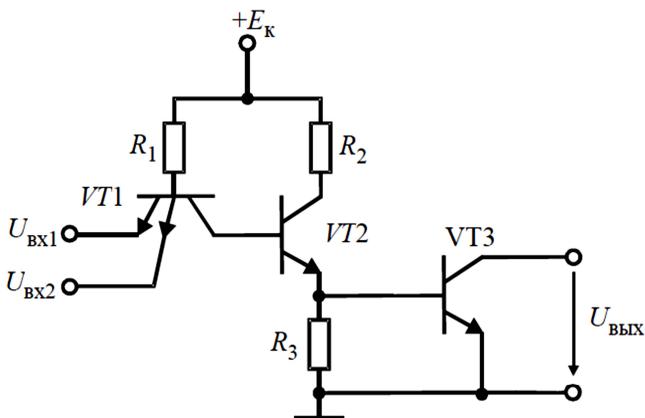


Рис. 3.30. Принципиальная схема ТТЛ-элемента с открытым коллектором

Насыщенное состояние транзистора трактуется как отображение логического нуля, запертое, как логической единицы.

Поэтому для формирования высокого уровня напряжения на выходе элементов с открытым коллектором требуется подключение внешних резисторов величиной порядка сотен Ом (или другие нагрузки), соединенные с источником питания.

На рис. 3.31 приведена схема управления сегментом индикатора «а» с общим анодом.

Светоизлучающий диод D1 (сегмент а) «зажигается», когда на выходе управляющего логического элемента DD1 уровень логического нуля (U^0).

Расчет токоограничивающего сопротивления (R) в цепи светоизлучающего диода D1 (сегмент индикатора «а» на рис. 3.31) осуществляется по формуле:

$$R = \Delta U / I_D,$$

где R – позиционное обозначение резистора;

ΔU – падение напряжения на резисторе;

I_D – постоянный прямой ток светоизлучающего диода D1, определяемый по справочной литературе. Т. е.:

$$R = \Delta U / I_D = (U_n - U_D - U^0) / I_D,$$

где U_n – напряжение питания;

U_D – постоянное прямое напряжение светоизлучающего диода D1 сегмента индикатора а определяемое по справочной литературе;

U^0 – выходное напряжение логического нуля микросхемы DD1 при токе нагрузки I (допускается при расчете использовать максимально допустимое значение U^0). Т. е.:

$$R = \Delta U / I_D = (U_n - U_D - U^0) / I_D.$$

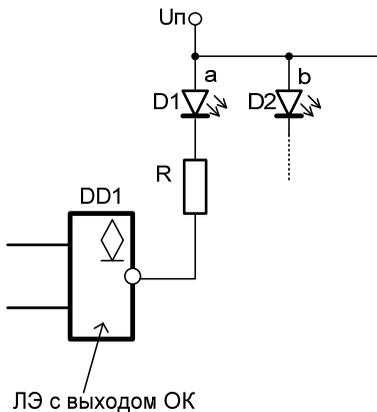


Рис. 3.31. Схема управления сегментом индикатора с общим анодом

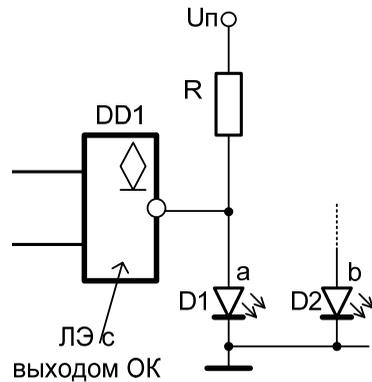


Рис. 3.32. Схема управления сегментом индикатора с общим катодом

Для этой схемы требуются семисегментные индикаторы с общим анодом.

Управляющий логический элемент должен иметь достаточно большой выходной ток в нулевом состоянии ($I_{\text{вых}}^0 \geq I_D$).

В схеме, представленной на рис. 3.32, светоизлучающий диод D1 (сегмент индикатора а) зажигается, когда выходной транзистор управляющего логического элемента DD1 запирается, т. е. на выходе будет логическая 1 (напряжение соответствует $U_{\text{вых}}^1$).

Через светоизлучающий диод D1 течет ток, определяемый по формуле:

$$I_D = (U_n - U_D) / R.$$

Из предыдущей формулы следует, что:

$$R = (U_n - U_D) / I_D.$$

Для этой схемы требуется семисегментный индикатор с общим катодом.

Если выходные токи управляющих элементов недостаточны для управления светоизлучающим диодом, между выходом элемента и сегментом индикатора можно включить буферный каскад на транзисторе (рис. 3.33, 3.34).

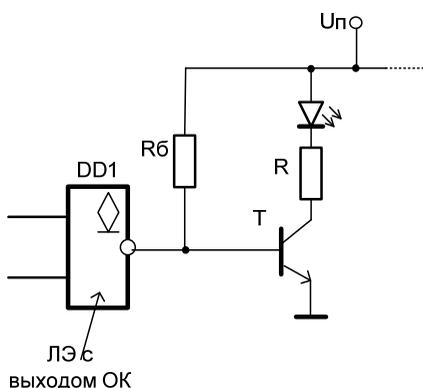


Рис. 3.33. Схема управления сегментом индикатора с общим анодом

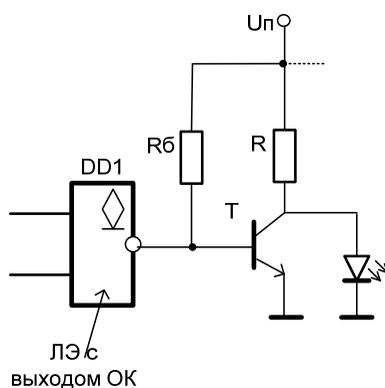


Рис. 3.34. Схема управления сегментом индикатора с общим катодом

Для логического управления семисегментными индикаторами имеются стандартные ИМС (интегральные микросхемы) дешифраторов двоично-десятичного кода в семисегментный код, которые работают в соответствии с табл. 3.1.

УГО подобных дешифраторов семейства ТТЛ представлено на рис. 3.35.

Дешифратор имеет 4 входа данных D0–D3. На данные входы подается позиционный BCD код (двоично-десятичный код). Вход C2 – «Регулировка яркости», вход C1 – «Запрет», вход V – «Контроль».

Таблица 3.1

Десятичная цифра	Входной двоичный код	Возбуждаемые сегменты						
		a	b	c	d	e	f	g
0	0000	1	1	1	1	1	1	0
1	0001	0	1	1	0	0	0	0
2	0010	1	1	0	1	1	0	1
3	0011	1	1	1	1	0	0	1
.								
8	1000	1	1	1	1	1	1	1
9	1001	1	1	1	1	0	1	1

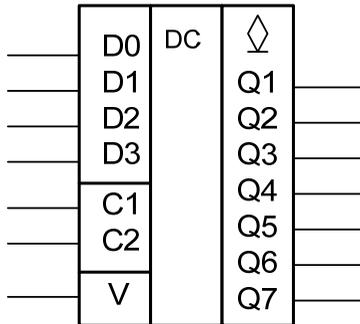


Рис. 3.35. УГО ИМС дешифратора двоично-десятичного кода в семисегментный код

Второй тип индикаторов, имеющих обычные для интегральных схем уровни управляющих сигналов – жидкокристаллические.

В отличие от светодиодных индикаторов, обеспечивающих единичную, квазилинейную или сегментную индикацию, жидкокристаллические индикаторы (ЖКИ) конструктивно легко можно выполнить в виде матрицы.

Каждое знакоместо матрицы представляет собой прямоугольник, образованный матрицей из 5×8 точек (рис. 3.36).

Матричные ЖКИ обеспечивают вывод разнообразной информации с более высоким разрешением, чем семисегментные светодиодные индикаторы.

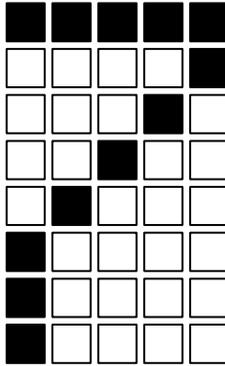


Рис. 3.36. Знакоместо матрицы

Они характеризуются низким энергопотреблением, но требуют более сложных алгоритмов управления, чем светодиодные. Поэтому многие фирмы (Optrex Corporation, Powertip, Seiko Instruments, Batron и др.) выпускают жидкокристаллические индикаторы со встроенными контроллерами, облегчающими реализацию последовательного интерфейса ЖКИ и микропроцессора.

Однако применение таких индикаторов с микросхемами средней степени интеграции затруднено.

С управляющим микроконтроллером ЖКИ обменивается информацией при помощи 14-контактного разъема. Микроконтроллер (МК) посылает в ЖКИ команды, управляющие режимами его работы, и ASCII-коды выводимых символов.

В свою очередь, ЖКИ может посылать микроконтроллеру по его запросу информацию о своем состоянии и данные из своих внутренних блоков памяти.

3.4. Дополнительные узлы электронных систем

Кроме основных узлов обработки информации электронная система сбора и обработки информации содержит ряд дополнительных узлов, непосредственно не участвующих в обработке данных, но необходимых для обеспечения работоспособности устройства. К таким дополнительным узлам можно отнести узлы источников питания, тактовые генераторы (устройства синхронизации) и т. д.

3.4.1. Узлы питания

Питание устройств обработки информации делится на цифровую (V_{dd}) и аналоговую (V_{ad}) часть.

Их напряжения могут совпадать и обычно их можно смело объединить, но в случаях повышенных требований к помехозащищенности и прецизионности устройства цепи питания аналоговой и цифровой частей разделяют и питают от различных стабилизаторов, даже если они имеют одинаковые значения по напряжению.

В любом случае для фильтрации высокочастотных помех (ВЧ помех) рекомендуется устанавливать безындуктивный конденсатор емкостью около 0,1 мкФ на каждый корпус ИС между питанием контроллера и землей непосредственно вблизи корпуса ИС (не дальше 3–5 см).

Если к параметрам источника питания не предъявляется особых требований, то схема стабилизированного источника питания может быть построена на основе трехвыводной ИС стабилизатора типа 7805 (аналог – КР142ЕН).

Эти микросхемы выпускаются на широкий диапазон номинальных напряжений стабилизации (от 3,3 до 24 В), имеют защиту от перегрева и короткого замыкания. При рассеиваемой мощности до 1 Вт могут использоваться без радиатора.

Типовая схема включения приведена на рис. 3.37.

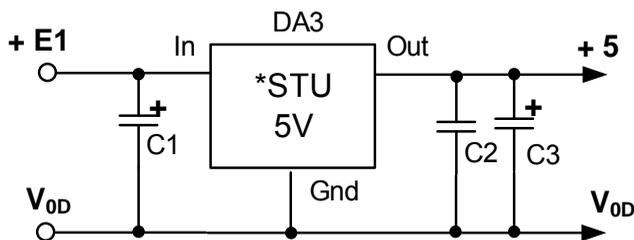


Рис. 3.37. Типовая схема включения ИС стабилизатора напряжения КР142ЕН5

Существуют ИС стабилизаторов напряжения отрицательной полярности и регулируемых стабилизаторов.

На рис. 3.38 приведена схема вторичного двухполярного источника питания со стабилизацией выходных напряжений.

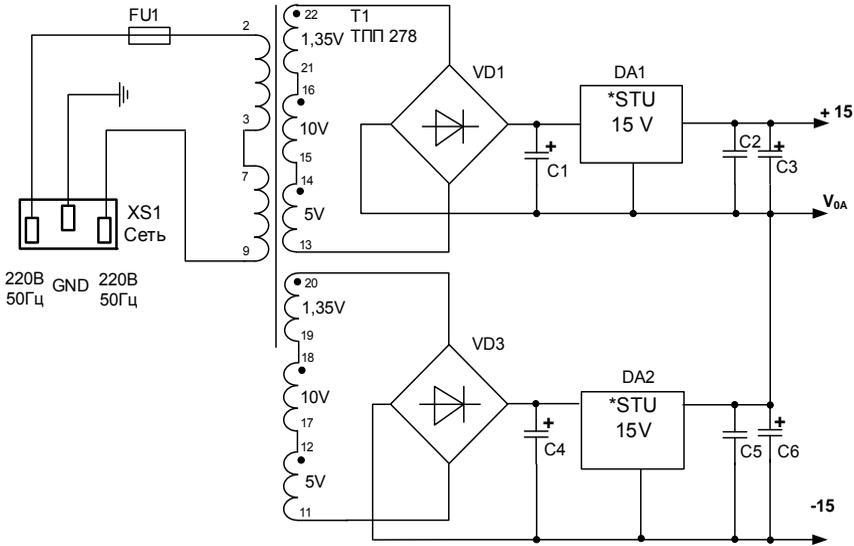


Рис. 3.38. Двухполярный источник питания

При необходимости получения источника питания противоположной полярности, например, источника отрицательной полярности из напряжения источника положительного напряжения, напряжения питания с более высоким значением на выходе, чем на входе, например, 12 В при питании от источника 6 В, или источника питания с очень высоким КПД, используют схемы импульсных источников питания.

3.4.2. Устройства синхронизации

При разработке цифрового устройства на его первоначальной стадии используют логическую модель, которая описывает идеальную схему и не учитывает задержек, которые возникают в схеме. Это может привести к тому, что в некоторый момент времени основные аксиомы алгебры логики $A \cdot \bar{A} = 0$ и $A + \bar{A} = 1$ не подтверждаются.

На рис. 3.39 приведена схема, реализующая выражение $A + \bar{A}$ на элементах И–НЕ с использованием теоремы Де-Моргана.

Из временной диаграммы на рис. 3.40 видно, что на выходе имеется ложный сигнал уровня «0», длительность которого определяется величиной задержки в ЛЭ1 (логический элемент инвертор).

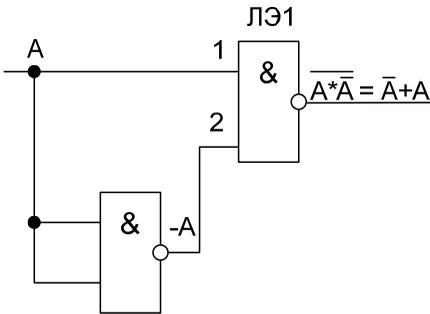


Рис. 3.39. Схема, реализующая выражение $A + \bar{A}$

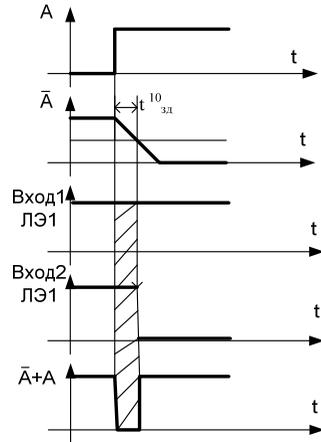


Рис. 3.40. Диаграмма работы схемы

Подобная ситуация может возникнуть тогда, когда при изменении входного сигнала выходной остается постоянным.

Возможность появления состязаний требует, чтобы были приняты меры, исключающие вызванные ими сбои.

Основным средством, позволяющим исключить последствия состязаний, является стробирование. Под стробированием понимают выделение из информационного сигнала той его части, которая свободна от ложных сигналов, вызванных состязаниями.

Всякая комбинационная логическая цепь заканчивается запоминающим элементом (триггером). Поэтому стробирование целесообразно вводить на входе в триггер.

Триггерные схемы, входные сигналы которого стробируются специальными периодическими импульсами, называются синхронными.

Введение синхронизации позволяет также создать условия для одновременного изменения состояний многих триггерных схем, т. е. обеспечивать синхронную работу всего устройства.

В зависимости от требований к абсолютному значению частоты синхронизации и ее стабильности обычно используют либо простые схемы на базе RC-мультивибраторов, либо схемы с кварцевой стабилизацией частоты.

Для отладки систем используют схему синхронизации с так называемой нулевой тактовой частотой. При этом тактирование производится от кнопки со схемой подавления дребезга.

В качестве генератора тактирования удобно использовать ИС аналогового таймера типа NE555 (К1006ВИ1), которая может работать в широком диапазоне питающих напряжений.

На рис. 3.41 приведена схема включения ИС таймера для генерации тактовых импульсов с частотой 1 кГц.

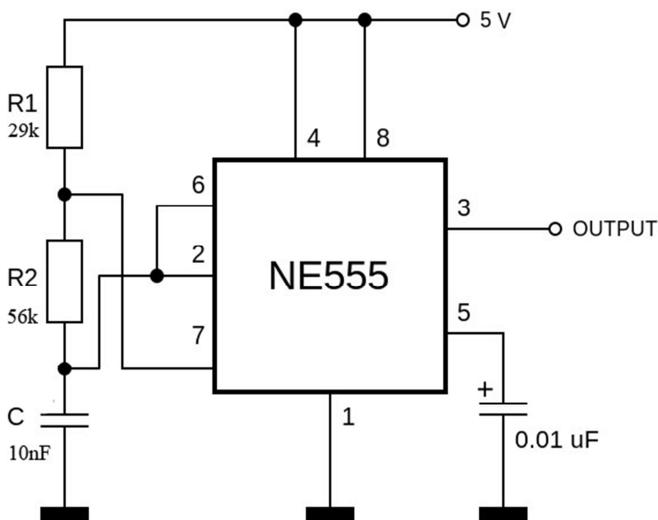


Рис. 3.41. Схема генератора тактовых импульсов на ИС NE555

4. ПАРАЗИТНЫЕ СВЯЗИ ЦИФРОВЫХ ЭЛЕМЕНТОВ ПО ЦЕПЯМ ПИТАНИЯ. ФИЛЬТРАЦИЯ ПИТАЮЩИХ НАПРЯЖЕНИЙ В СХЕМАХ ЦУ

Одной из задач при проектировании и эксплуатации цифровых устройств является борьба со сбоями из-за помех.

Типовой проблемой здесь является наличие токовых импульсов в цепях питания ИС.

При переключении элементов в цепях питания создаются кратковременные импульсные токи, благодаря чему сами эти элементы становятся источниками помех для соседних элементов.

Токовые импульсы в цепях питания создаются сквозными токами выходных каскадов типов ТТЛ(Ш) и КМОП, а также помехами перезарядки емкостей, что свойственно и всем другим типам элементов.

Импульс сквозного тока переключающего элемента 1 (рис. 4.1) $I_{СКВ}$ протекает через транзисторы выходного каскада от источника питания U_{CC} на общую точку GND через линии, имеющие полное сопротивление Z_{CC} и Z_{GND} .

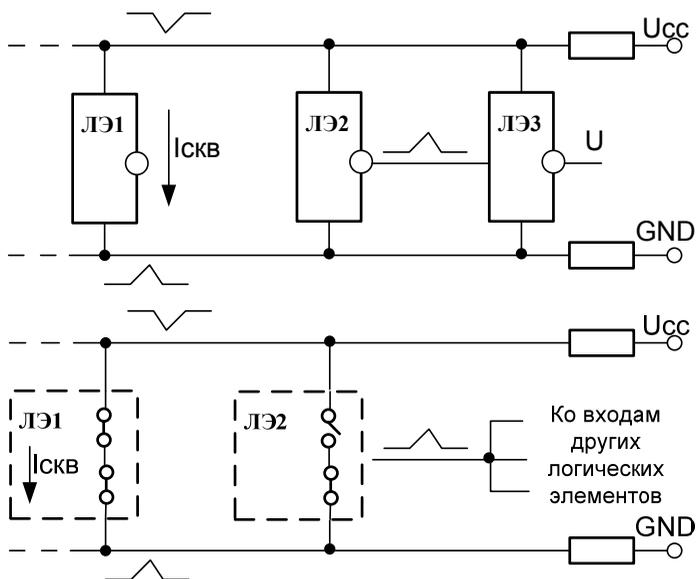


Рис. 4.1. Схемы, поясняющие процесс возникновения импульсных помех при переключении цифрового элемента

Главную часть сопротивления составляют индуктивности линий, на которых выделяются напряжения U_L .

Протекание сквозного тока создает на линии питания отрицательный импульс, а на общей точке («земле») – положительный.

Эти импульсы воздействуют на подключенный вблизи элемента 1 элемент 2.

Если, как показано на рис. 4.1., логический элемент 2 находится в состоянии логического нуля, то его выход через насыщенный транзистор выходного каскада, отображаемый замкнутым ключом, связан с линией GND, следовательно, импульс с этой линии попадает на выход логического элемента 2, откуда сможет распространяться далее по обычным сигнальным цепям.

При единичном состоянии логического элемента 2 на его выход пройдет отрицательный импульс помехи с линии источника питания.

Для борьбы с этими опасными помехами нужна «хорошая» земля и фильтрация напряжений питания.

«Качество земли» улучшается конструктивными мерами, снижающими сопротивление Z_{GND} :

- шины «земли» делают утолщенными;
- нередко для их реализации отводят целые плоскости многослойных конструкций (плат и кристаллов);
- систему «заземления» соединяют с несколькими выводами корпуса, чтобы сократить пути прохождения токов в этой системе и др.

Для шин питания схемы наряду с конструктивными методами применяют и схемотехнические:

- в цепи выходных каскадов добавляют небольшие сопротивления, ограничивающие сквозные токи и токи перезаряда емкостей;
- используют элементы с управляемой крутизной фронтов для уменьшения производных сигнальных напряжений и токов;
- применяют развязывающие каскады на выходах ИС для ограничения емкостных нагрузок на этих выходах;
- используют фильтрацию питающих напряжений.

Для фильтрации напряжений питания между линиями U_{cc} и «землей» включают конденсаторы.

Высокая эффективность этого метода борьбы с паразитными связями элементов через цепи питания связана со следующим обстоятельством. Цифровые узлы и устройства питают от высококачественных блоков питания со стабилизированным выходным

напряжением. Такие источники имеют очень малые выходные сопротивления за счет применения глубоких обратных связей в схемах блоков питания. Однако цепь обратной связи инерционна и не успевает обрабатывать короткие импульсные помехи. Поэтому для коротких помех выходное сопротивление источника не обеспечивает того низкого уровня, которое оно имеет в статике.

Установка фильтрующих конденсаторов $C_{\text{ф}}$ создает путь (рис. 4.2), по которому замыкаются импульсы сквозного тока и токи перезарядки емкостей, минуя сопротивление $Z_{\text{сс}}$.

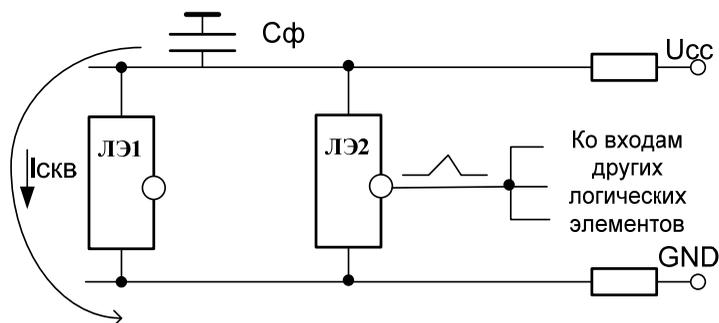


Рис. 4.2. Пути протекания сквозного тока при наличии в схеме фильтрующего конденсатора

Естественно, конденсаторы должны иметь малое сопротивление для высокочастотных сигналов, поэтому для фильтрации выбирают те ее типы конденсаторов, которые имеют малые паразитные индуктивности.

Рекомендации по числу, типу и емкости фильтрующих конденсаторов приводятся в руководящих материалах по применению конкретных типов ИС.

5. ПЕРЕДАЧА СИГНАЛОВ В ЦИФРОВЫХ УЗЛАХ И УСТРОЙСТВАХ. ПОМЕХИ В СИГНАЛЬНЫХ ЛИНИЯХ. СИГНАЛЬНЫЕ ЛИНИИ ПОВЫШЕННОГО КАЧЕСТВА

Все помехи, которые могут явиться причиной ложного срабатывания чувствительных цепей аппаратуры можно разделить на несколько видов:

- внешние помехи, проникающие в систему из окружающей среды от различного рода излучателей электромагнитных сигналов, а также обусловленные действием электромагнитных и электростатических полей;
- токовые помехи, по цепи питания, возникающие в результате выброса тока при коммутационных помехах;
- перекрестные помехи, наводимые одними сигнальными линиями в других сигнальных линиях;
- отражения в линиях связи при несогласованных нагрузках.

5.1. Внешние помехи

Для защиты от внешних помех используется экранирование от сигналов внешних и внутренних мощных каскадов, создающих помехи электромагнитного или электростатического характера.

Каждый экранирующий кожух должен быть подсоединен к общему заземлению низкоомным проводом.

5.2. Токовые помехи

Средством защиты интегральных схем от помех по цепи питания является включение конденсаторов развязки между шинами питания и общей шиной (рис. 5.1).

Для качественной развязки необходимы конденсаторы, имеющие большую емкость для низких частот (С1) и малую емкость для высоких частот (С2).

Конденсатор С1 (1,0 мкФ) устанавливается из расчета один конденсатор на каждые 5–10 интегральных схем.

Электролитические конденсаторы следует устанавливать возможно ближе к контактному разъему.

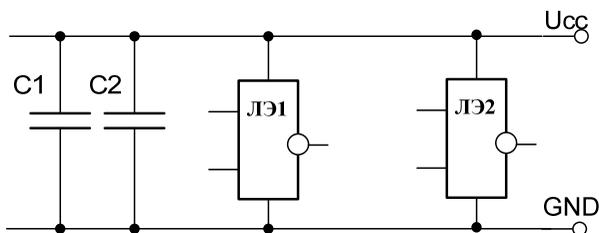


Рис. 5.1. Включение конденсаторов развязки

Конденсаторы $C2$ должны быть распределены по всей площади печатной платы равномерно относительно ИС из расчета один конденсатор на группу не более чем 10 ИС, емкостью на одну ИС $0,002\text{--}0,001\text{ мкФ}$.

5.3. Перекрестные помехи

Перекрестные помехи являются следствием электромагнитных полей, которые возникают в соединительных линиях под действием положительных и отрицательных токов.

Связанные электромагнитные поля оказывают воздействие на близко расположенные линии и наводят в них перекрестные помехи, которые могут привести к нарушению правильного функционирования аппаратуры.

Пусть линия (источник помехи) является близлежащей для линии, испытывающей воздействие помехи.

Тогда между ними существует связь через паразитную емкость (рис. 5.2).

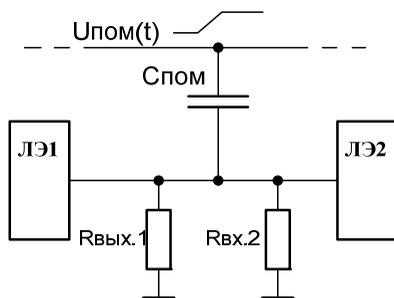


Рис. 5.2. Схема, поясняющая процесс возникновения перекрестных помех в цифровых устройствах

Схема замещения рассматриваемой цепи может быть представлена в виде рис. 5.3, где:

$$R = R_{\text{вых. 1}} R_{\text{вх. 2}} / (R_{\text{вых. 1}} + R_{\text{вх. 2}}).$$

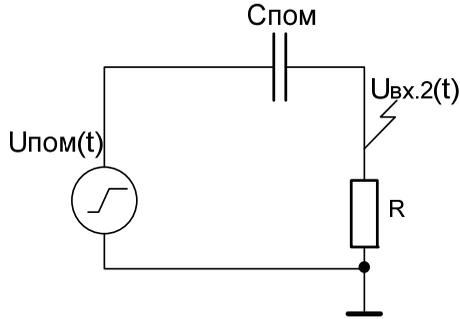


Рис. 5.3. Схема замещения

Если считать фронт помехи линейным, изменяющимся по закону:

$$U_{\text{пом}}(t) = \alpha t,$$

где $\alpha = (U_1 - U_0) / t_{\text{ф}} = U / t_{\text{ф}}$,

то напряжение помехи на входе ЛЭ2 будет определяться соотношением (для времен от 0 до $t_{\text{ф}}$)

$$U_{\text{вх. 2}}(t) = f [1 - \exp(-t / RC)] RC,$$

т. е. пропорционально крутизне фронта.

Борьба с перекрестными помехами осуществляется:

- запрещением параллельного расположения близких и длинных сигнальных линий;
- размещением между такими линиями экранирующих заземленных проводников (так, в частности, поступают при применении плоских кабелей)
- применением коаксиальных кабелей;
- применением витых пар.

Для уменьшения перекрестных помех на печатных платах вводится проводник массы между двумя сигнальными проводниками. Тогда влияние перекрестных помех уменьшается в несколько раз. При этом «земляной» провод должен быть в 3 раза шире сигнальных проводников, а расстояния между проводниками должны быть равны ширине сигнальных проводников.

5.4. Искажения сигналов в несогласованных линиях

Паразитные колебания из-за несогласованности волновых сопротивлений возникают в связях, которые именуется длинными, причем речь не идет об абсолютных значениях длины, важно лишь соотношение длины линии и длины волны передаваемого сигнала.

Так как импульсные сигналы характеризуются широким спектром гармонических частот, говорить о длине волны сигнала для них затруднительно, и рекомендации по отнесению линий связи к коротким или длинным в значительной мере вырабатываются практикой.

Например, граничную длину линии часто определяют по условию: время прохождения сигнала по линии должно быть на порядок меньше длительности передаваемого фронта.

Скорость распространения сигналов в линии равна:

$$V = v_c \cdot \sqrt{\varepsilon},$$

где v_c – скорость света в вакууме (30 см/нс);

ε – диэлектрическая постоянная среды, в которой распространяется сигнал.

Практически $V = 15\text{--}20$ см/нс.

Поведение длинной линии резко отличается от поведения короткой.

Схема замещения длинной линии без потерь состоит из цепочки LC звеньев, где L и C – погонные параметры индуктивности и емкости (т. е. приходящиеся на единицу длины).

Такая линия (рис. 5.4) имеет волновое сопротивление, величина которого зависит от конструкции линии:

$$Z = \sqrt{\frac{L}{C}}.$$

Фактически волновое сопротивление соответствует отношению напряжения к току в точке линии, которой достигается распространяющаяся волна.

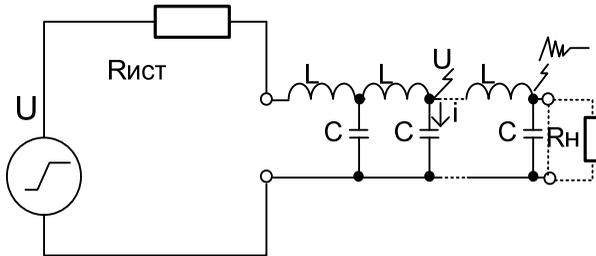


Рис. 5.4. Схема замещения длинной линии без потерь

Пока волна распространяется в линии, отношение $u / i = Z_0$ остается неизменным.

Если в конце линии подключено сопротивление $R_n = Z_0$, то отношение u / i сохраняется, падающая волна не встречает неоднородности и целиком поглощается нагрузкой.

Если в конце линии $R_n \neq Z_0$, то отношение u / i сохраняться не может, и должно произойти искажение волны. Оно трактуется как появление отраженной волны, параметры которой таковы, что сумма падающей и отраженной волн соответствует условиям в конце линии.

Отношение амплитуд отраженной и падающей волн равно коэффициенту отражения:

$$\rho = (R_n - Z_0) / (R_n + Z_0).$$

Отраженная волна распространяется обратно к началу линии.

Если в начале линии подключено сопротивление, равное Z_0 , то отраженная волна поглощается целиком, и режим линии устанавливается окончательно.

В противном случае в начале линии также происходит отражение волны, которая вновь пойдет по линии от ее начала к концу.

Возможное многократное отражение способно затянуть переходные процессы в линии на время, равное десяткам T_0 , где T_0 – время распространения сигнала по линии ($T_0 = l / V$, где l – длина линии).

Для устранения паразитных колебаний в длинной линии используются параллельное или последовательное согласование волновых сопротивлений.

Схема реализации линии (рис. 5.4) в виде коаксиального кабеля приведена на рис. 5.5.

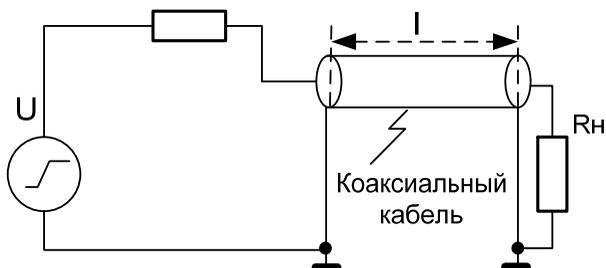


Рис. 5.5. Схема с реализацией линии в виде коаксиального кабеля

5.5. Параллельное согласование волновых сопротивлений

При параллельном согласовании в конце линии включают резистор, чтобы сделать сопротивление нагрузки линии равным волновому сопротивлению.

Это дает полное устранение паразитных колебаний, и время передачи сигналов становится равным T_0 .

Недостатком данного способа является потребление значительных токов от источника сигнала.

После завершения переходных процессов на выходе линии должно установиться напряжение U_1 или U_0 , в зависимости от логического состояния элемента – источника сигнала.

Под этим напряжением находится резистор, включенный в конце линии, сопротивление которого мало (типичное значение волновых сопротивлений линий передачи сигналов 50–100 Ом). Ток через такой резистор может оказаться неприемлемо большим.

Для поиска наиболее подходящего варианта включения резистора на выходе линии можно использовать один из схемных вариантов представленный на рис. 5.6.

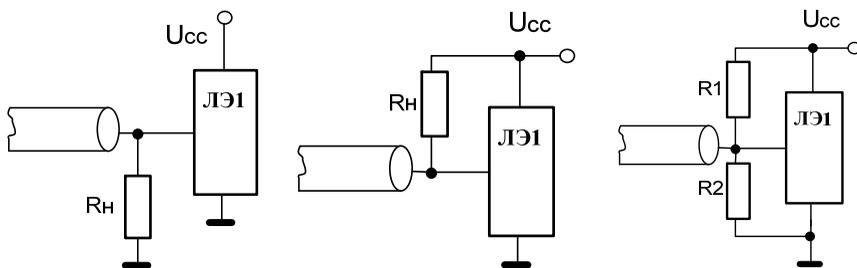


Рис. 5.6. Варианты согласования волновых сопротивлений при передаче цифровых сигналов

Возможно также осуществить включение емкости C , которая предотвращает потребление тока в статическом режиме (рис. 5.7).

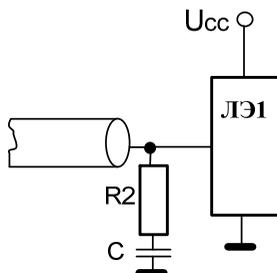


Рис. 5.7. Схематехническое решение включения емкости C

5.6. Последовательное согласование волновых сопротивлений

При последовательном согласовании в начале линии последовательно включается резистор $R_{\text{доп}}$, сопротивление которого совместно с выходным сопротивлением источника сигнала $R_{\text{ист}}$ дает величину Z_0 (рис. 5.8).

При этом на выходе линии действует высокое входное сопротивление элемента-приемника, следовательно, там коэффициент отражения приблизительно равен единице, и амплитуда отраженной волны приблизительно равна амплитуде падающей.

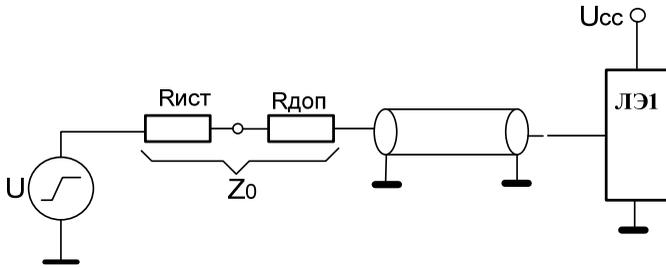


Рис. 5.8. Последовательное согласование волновых сопротивлений

Переходной процесс в этом случае протекает следующим образом. Ступенчатое изменение напряжения источника сигнала U создает на входе линии перепад напряжения $U/2$ (т. к. $R_{\text{ист}} + R_{\text{доп}} = Z_0$).

Перепад половинной амплитуды распространяется по линии и через время T_0 достигает ее конца.

Коэффициент отражения в конце линии равен единице ($R_{\text{вх}} \gg Z_0$ и влиянием $R_{\text{вх}}$ пренебрегаем).

Амплитуда отражения волны равна $U/2$, в итоге в конце линии устанавливается напряжение U .

Отраженная волна возвращается к началу линии, где поглощается.

Таким образом, на выходе линии процесс заканчивается через время T_0 , а на входе через $2T_0$.

Реальное положение в технике борьбы с отражениями в длинных линиях несколько сложнее, т. к. выходное сопротивление цифровых элементов зачастую непостоянно и зависят от логического состояния элемента, уровня сигнала и т. д. То же самое можно сказать о входном сопротивлении элементов.

5.7. Линии передачи сигналов

Для обеспечения работоспособности цифровых устройств (ЦУ) следует уделять большое внимание линиям связи (межсоединениям элементов).

Это важно при проектировании печатных плат, и становится особенно острой проблемой в БИС/СБИС, где преобладающая часть площади кристалла, задержек сигналов и потребляемой мощности зачастую относится именно к системе межсоединений.

Рассмотрим особенности основных вариантов технической реализации межсоединений.

На платах межсоединения выполняются одиночными проводниками над «земляной» плоскостью, двумя проводниками, витыми парами, микрополосковыми линиями, коаксиальными кабелями малого диаметра и др.

Схема соединения одиночным проводником (рис. 5.9) изображена с учетом напряжения помехи, которая возникает между «землями» двух элементов.

В этом случае помеха передается на вход приемника сигнала.

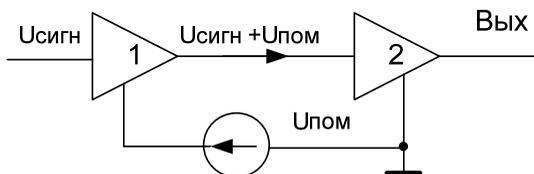


Рис. 5.9. Простейшая схема передачи цифрового сигнала

Помехоустойчивость передачи повышается, если элемент-приемник обладает гистерезисными свойствами, как, например, триггер Шмитта (рис. 5.10).

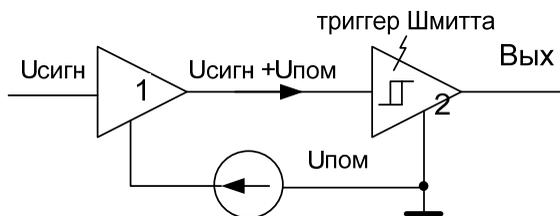


Рис. 5.10. Схема передачи сигнала с гистерезисным приемником

Благодаря гистерезисной характеристике приемника, для переключения в состояние логической «1» нужно подать на вход напряжение, значительно превышающее пороговое, а для переключения в «0» – значительно меньше, чем пороговое. Это повышает уровень допустимых помех, причем тем больше, чем шире петля гистерезиса.

Значительное улучшение может дать передача парафазного сигнала по двум линиям (дифференциальная передача), показанная на рис. 5.11.

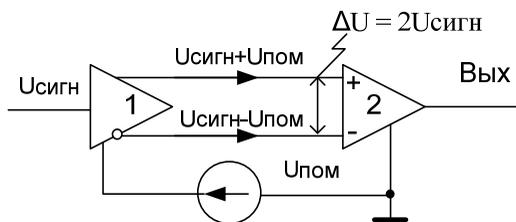


Рис. 5.11. Схема передачи сигнала дифференциальным способом

Приемником сигнала служит дифференциальный усилитель (или компаратор). На его верхнем входе действует напряжение $U_{\text{сигн}} + U_{\text{пом}}$, а на нижнем $-U_{\text{сигн}} + U_{\text{пом}}$.

Дифференциальный приемник воспринимает разность напряжений между входами, которая равна $2U_{\text{сигн}}$ и не содержит напряжения помех.

Перекрестные помехи в данном случае также значительно ослабляются, поскольку появляются в обоих проводниках близкими по величине, так что их разность, ощущаемая приемником, мала.

На рис. 5.12 приведена схема помехоустойчивой передачи сигнала дифференциальным способом по витой паре. По волновому сопротивлению витая пара согласуется резистором, выполненным в виде делителя из резисторов 180 и 390 Ом, эквивалентное сопротивление которого относительно выхода равно 120 Ом.

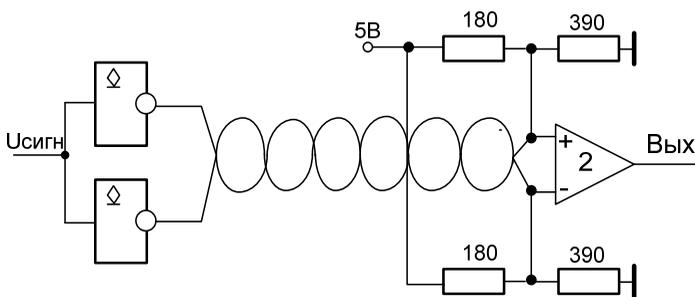


Рис. 5.12. Схема помехоустойчивой передачи сигнала дифференциальным способом по витой паре

Витая пара, часто применяемая в ЦУ, представляет собою как бы упрощенную конструкцию коаксиального кабеля, в которой один из проводов можно рассматривать как некоторый аналог оплетки кабеля.

На рис. 5.13. изображен буфер с третьим состоянием и регулировкой крутизны нарастания выходного сигнала. Введением/снятием третьего состояния управляет вход OE (Output Enable), крутизной фронтов – сигнал SRC (Slew Rate Control).

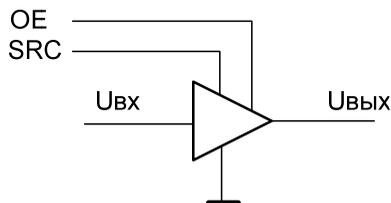


Рис. 5.13. Буфер с регулируемой крутизной фронта

Пологий фронт желателен, поскольку замедление изменений токов и напряжений снижает помехи из-за токовых импульсов в цепях питания, перекрестные помехи и др.

В то же время в критичных для быстродействия устройства путях замедленные переключения элементов нежелательны, и поэтому в них устанавливают режимы крутых фронтов.

Буферные каскады с регулировкой крутизны фронтов достаточно часто применяются в современных СБИС. В них встречаются и более изощренные способы регулировок скоростей изменения сигналов в буферных элементах по специально подобранным нелинейным законам.

Большие проблемы связаны с реализацией межсоединений в СБИС. Уменьшение размеров схемных элементов, одинаковое для размеров в плане и толщин, ведет к уменьшению поперечного сечения проводников по квадратичной зависимости, что увеличивает их погонное сопротивление.

Резистивность и емкость связей ограничивают гипотезу их эквивалентности. Распространение потенциала вдоль проводника подчиняется уравнению диффузии, чему соответствует падение скорости распространения сигнала по мере удаления от источника и квадратичная зависимость задержки от длины проводника. Удлинение длины проводника приводит к учетверению задержки и т. д.

Поэтому в длинных связях иногда включают через определенные расстояния усилители-повторители сигналов.

ЛИТЕРАТУРА

Основная

1. Монк, С. Электроника. Теория и практика / С. Монк. – СПб. : BHV, 2018. – 1168 с.
2. Электротехника и электроника : иллюстрированное учебное пособие / под ред. П. А. Бутырина – М. : Academia, 2018. – 892 с.
3. Воронков, Э. Н. Твердотельная электроника : учебное пособие / Э. Н. Воронков. – М. : Академия, 2018. – 192 с.
4. Кириченко, П. Г. Цифровая электроника для начинающих / П. Г. Кириченко. – СПб. : BHV, 2019. – 176 с.
5. Онищенко, Г. Б. Силовая электроника : учебное пособие / Г. Б. Онищенко, О. М. Соснин. – М. : Инфра-М, 2018. – 159 с.
6. Ямпурин, Н. П. Электроника : учебное пособие / Н. П. Ямпурин. – М. : Академия, 2019. – 320 с.
7. Опадчий, Ю. Ф. Аналоговая и цифровая электроника (Полный курс) : для вузов / Ю. Ф. Опадчий, О. П. Глудкин, А. И. Гуров. – М. : Горячая линия – Телеком, 2005. – 768 с.
8. Прянишников, В. А. Электроника : полный курс лекций / В. А. Прянишников – 4-е изд. – СПб. : КОРОНА принт, 2004. – 415 с.
9. Волович, Г. И. Схемотехника аналоговых и аналого-цифровых электронных устройств / Г. И. Волович. – 2-е изд. – М. : Издательский дом Додэка-XXI, 2007. – 528 с.
10. Аналого-цифровое преобразование / под ред. Уолта Кестера: пер. с нем. – М. : Техносфера, 2007. – 1016 с.
11. Метрология и радиоизмерения / В. И. Нефёдов [и др.]; под ред. В. И. Нефёдова. – М. : Высшая школа, 2003. – 516 с.
12. Атамалян, Э. Г. Приборы и методы измерения электрических величин : учебное пособие для студентов втузов. – М. : Высшая школа, 2005. – 416 с.

Дополнительная

1. Новиков, Ю. В. Основы цифровой схемотехники. – М. : Мир, 2001. – 379 с.
2. Наундорф, У. Аналоговая электроника : пер. с нем. – М. : Техносфера, 2008. – 472 с.

3. Морозова, Н. Ю. Электротехника и электроника : учебник / Н. Ю. Морозова. – М. : Академия, 2018. – 320 с.
4. Картер, Б., Манчини Р. Операционные усилители для всех / Б. Картер, Р. Манчини. – М. : Додека-XXI, 2011. – 544 с
5. Бойт, К. Цифровая электроника : пер. с нем. / К. Бойт. – М. : Техносфера, 2007. – 472 с.
6. Титце, У. Полупроводниковая схемотехника / У. Титце, К. Шенк. – М. : ДМК пресс, 2008. – Т. 1. – 827с.
7. Карлашук, В. И. Электронная лаборатория на IBM PC. Программа Electronics Workbench и ее применение. – М. : Солон-Р, 2000. – 506 с.
8. Владимирова, Т. Л. Электроника (цифровая электроника) : метод. пособие по курсовому проектированию / Т. Л. Владимирова, Г. Ф. Жердева, И. Е. Зуйков. – Минск : БНТУ, 2009. – 63 с.
9. Зуйков, И. Е. Электроника (цифровая электроника) : метод. пособие для студентов заочной формы обучения специальности 1-38 02 03 «Техническое обеспечение безопасности» / И. Е. Зуйков, Т. Л. Владимирова, Н. В. Кондратюк. – Минск : БНТУ, 2011. – 241 с.
10. Владимирова, Т. Л. Электроника (цифровая электроника) : лабораторный практикум / Т. Л. Владимирова, Г. Ф. Жердева, И. Е. Зуйков. – Минск : БНТУ, 2013. – 109 с.
11. Покотило, С. А. Электротехника и электроника : учебное пособие / С. А. Покотило. – Ростов н/Д : Феникс, 2018. – 283 с.

ОГЛАВЛЕНИЕ

1. АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ	3
1.1. Аналого-цифровые преобразователи	5
1.1.1. Аналого-цифровые преобразователи последовательного типа	9
1.1.2. Аналого-цифровые преобразователи параллельного типа.....	12
1.1.3. Аналого-цифровые преобразователи с промежуточным преобразованием	20
1.1.4. Следящие АЦП.....	34
1.1.5. Интегрирующие АЦП.....	34
1.1.6. Многоканальные АЦП	39
1.1.7. Погрешности АЦП.....	40
1.2. Цифро-аналоговые преобразователи.....	45
2. ЗАПОМИНАЮЩИЕ УСТРОЙСТВА	66
2.1. Основные сведения, структура памяти ЭВМ	66
2.2. Обобщенная структурная схема ЗУ.....	68
2.3. Важнейшие параметры ЗУ	71
2.4. Классификация ЗУ	72
2.5. Структуры адресных статических ЗУ	92
2.5.1. Структура 2D.....	92
2.5.2. Структура 3D.....	94
2.5.3. Структура 2DM	95
2.6. Схемотехнический принцип построения элемента памяти	96
2.6.1. Статические запоминающие устройства	97
2.6.2. Динамические запоминающие устройства.....	105
2.7. Обозначения микросхем памяти.....	111
2.8. Типовые структуры и функциональные узлы микросхем памяти	114
2.9. Условные графические обозначения микросхем памяти	115
2.10. Применение ПЗУ.....	118
2.11. Применение ОЗУ.....	124
3. ВПОМОГАТЕЛЬНЫЕ ЭЛЕМЕНТЫ ЦИФРОВЫХ УСТРОЙСТВ	130
3.1. Элементы задержки.....	130
3.2. Элементы формирования и генерации импульсных сигналов	136

3.2.1. Формирователи импульсов по длительности.....	136
3.2.2. Генераторы импульсов.....	138
3.3. Элементы визуальной индикации.....	148
3.4. Дополнительные узлы электронных систем.....	157
3.4.1. Узлы питания.....	158
3.4.2. Устройства синхронизации.....	159
4. ПАРАЗИТНЫЕ СВЯЗИ ЦИФРОВЫХ ЭЛЕМЕНТОВ ПО ЦЕПЯМ ПИТАНИЯ. ФИЛЬТРАЦИЯ ПИТАЮЩИХ НАПРЯЖЕНИЙ В СХЕМАХ ЦУ.....	162
5. ПЕРЕДАЧА СИГНАЛОВ В ЦИФРОВЫХ УЗЛАХ И УСТРОЙСТВАХ. ПОМЕХИ В СИГНАЛЬНЫХ ЛИНИЯХ. СИГНАЛЬНЫЕ ЛИНИИ ПОВЫШЕННОГО КАЧЕСТВА.....	165
5.1. Внешние помехи.....	165
5.2. Токовые помехи.....	165
5.3. Перекрестные помехи.....	166
5.4. Искажения сигналов в несогласованных линиях.....	168
5.5. Параллельное согласование волновых сопротивлений.....	170
5.6. Последовательное согласование волновых сопротивлений.....	171
5.7. Линии передачи сигналов.....	172
Литература.....	176

Учебное издание

ВЛАДИМИРОВА Татьяна Леонидовна
ТЯВЛОВСКИЙ Константин Леонидович
МИКИТЕВИЧ Владимир Александрович

ЭЛЕКТРОНИКА
(ЦИФРОВАЯ ЭЛЕКТРОНИКА)

Учебно-методическое пособие
для студентов специальностей
1-38 02 01 «Информационно-измерительная техника»,
1-38 02 03 «Техническое обеспечение безопасности»,
1-54 01 02 «Методы и приборы контроля качества
и диагностики состояния объектов»

В 2 частях

Часть 2

Редактор *П. П. Горбач*
Компьютерная верстка *Н. А. Школьниковой*

Подписано в печать 22.09.2022. Формат 60×84 ¹/₁₆. Бумага офсетная. Ризография.
Усл. печ. л. 10,46. Уч.-изд. л. 8,18. Тираж 100. Заказ 203.

Издатель и полиграфическое исполнение: Белорусский национальный технический университет.
Свидетельство о государственной регистрации издателя, изготовителя, распространителя
печатных изданий № 1/173 от 12.02.2014. Пр. Независимости, 65. 220013, г. Минск.