

Рис.2 Диаграммы  $V$  и КДЧ в звукопроводах из монокристаллического арсенида галлия  $\{111\}$ .

1, 1', 1'' -  $V$ ; 2, 2', 2'' - КДЧ<sub>||</sub>; 3, 3', 3'' - КДЧ<sub>⊥</sub>;  
1', 2', 3' - рэлеевская мода; 1'', 2'', 3'' - объёмная волна.

УДК 621.3.049.77

В.М. Колешко, В.В. Ковалевский

## ИЕРАРХИЧЕСКОЕ ПРОЕКТИРОВАНИЕ ТОПОЛОГИИ ИНТЕЛЛЕКТУАЛЬНЫХ МИКРОСИСТЕМ

*Белорусский национальный технический университет  
Минск, Беларусь*

В то время как схемотехнические проблемы уходят на второй план, разработка топологии, верификация и тестирование становятся более критичными этапами проектирования интеллектуальных микросистем. Стремительное развитие микротехнологии (когда технологический процесс заходит ниже 0,13 микрон) затрудняет достижение требуемых временных характеристик и площади, а также интегрирование сигналов.

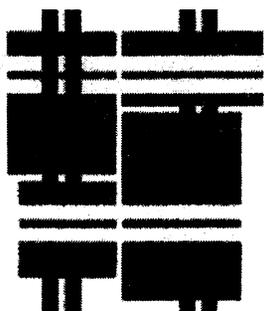
До недавнего времени, для достижения временной сходимости, применялся интегрированный синтез и размещение топологических блоков. Это позволяло топологии мегавентильной системы оставаться не иерархичной (flat design), и, таким образом, упрощать методологию САПР и минимизировать стоимость разработки. Однако при увеличении размера схемы возрастает количество итераций, т.е. требуется значительно больше времени, для операций размещения/трассировки, следующих за синтезом. Более того, сверх-субмикронный технологический процесс часто вносит новые, сложно решаемые проблемы в топологию — «целостность» сигнала, обусловленная емкостной связью (coupling capacitance) и индуктивными эффектами.

**Физическая иерархия** — разбиение системы на несколько уровней топологической иерархии — предоставляет возможность усовершенствовать процесс разработки топологии интеллектуальных микросистем. Основным достоинством такой методологии проектирования является то, что модули или блоки схемы могут быть созданы, с учетом требуемых временных параметров, независимо.

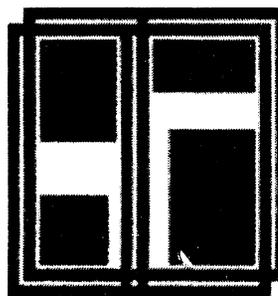
На верхнем топологическом уровне располагаются и связываются воедино все блоки иерархии. На этом уровне происходит потеря части полезной площади каналов, — областей кристалла, используемых для разводки соединений между блоками, — что считается недостатком иерархической топологии. Однако, при использовании процессов с объемной интеграцией, например, шестью уровнями разводки, интеллектуальное размещение каждого слоя, сокращает подобную проблему [1]. Кроме того, для увеличения площади каналов и равномерного распределения энергии в блоках верхнего уровня, применяется кольцевая разводка силовых шин, а не трассировка методом «сетки» (рис.1).

Проектирование верхнего уровня топологии можно начинать сразу после того, как станет доступным «список связей» (нетлист), даже если *RTL-описания* блоков (описание на уровне регистровых передач RTL (register-transfer-level)) находятся в стадии разработки и не доступны. Подобная «обратная связь» задается путем оценки размера блока, с учетом незавершенного *RTL-кода*. [2]

*Разводка силовых шин на верхнем уровне иерархии топологии*



метод «сетки»



кольцевая

Рис. 1

Для создания иерархической топологии, микросистема разбивается на две (или более) составляющие: *верхний уровень* и *уровень блоков*. Предъявляемые к ним требования различны, они влияют на переход от *RTL-описания* к топологии с требуемыми временными характеристиками.

Каждый блок может содержать жесткие модули (ПЛИМ, ОЗУ и т.п.), а также нижние уровни иерархии. Для разработки топологии блока применяется автоматическое размещение и трассировка, как стандартных ячеек, так и новых топологически синтезируемых решений. На этом уровне иерархии доступна экстракция временных параметров, управление размещением при помощи «дерева задержек», жесткая связь с программами синтеза *RTL-кода*. Поэтому при моделировании временных параметров, каждый блок может быть представлен в виде независимо функционирующей схемы.

Верхний уровень топологической иерархии содержит следующий функциональный набор: системные макроблоки и наиболее критичные, как по площади, так и по задержкам, части — ПЛУ (программируемое логическое устройство), площадки ввода-вывода, повторители и т.п.

Последовательность иерархического проектирования интеллектуальных микросистем приведена на рис. 2.

**Последовательность иерархического проектирования интеллектуальных микро-систем**



Рис. 2

*RTL-описание* блока синтезируется в нетлист вентильного уровня, а *RTL-описание* верхнего уровня -- в нетлист, содержащий список системных блоков и их межсоединений. Временные ограничения, применяемые при синтезе, а также в топологии, ускоряют сходимость по времени. Размещение элементов внутри блока, интерактивно генерируется с учетом компоновки верхнего уровня, влияющей на конфигурацию нижних уровней иерархии. Каждая часть системы проходит операции временного анализа и повторных итераций (они необходимы, если топология не удовлетворяет требуемым временным параметрам), а также этап заключительной верификации.

Критическим этапом в процессе проектирования иерархической топологии является компоновка верхнего уровня. Так как на этом уровне происходит соединение всех блоков и модулей, то расположение выводов влияет на качество трассировки. Оптимальным решением является управляемое трассировкой размещение выводов блоков, которое минимизирует количество материала для шин и сокращает длину трасс [3]. Подобная операция применима к «мягким» выводам блока (могут перемещаться при компоновке) и к виртуальным (рассчитанным) каналам на верхнем уровне системы.

При глобальной трассировке оценивается расположение выводов и плотность шин в каналах. Затем эти данные используются либо для увеличения размера канала, либо для выделения большей площади критическим или сверх-уплотненным блокам. Таким образом, за счет сокращения неиспользуемой площади канала, достигается увеличение плотности компоновки и улучшается функционирование. Процесс оптимизации расположения выводов как на верхнем уровне, так и в отдельном блоке, представлен на рис.3.

## Процесс оптимизации расположения выводов

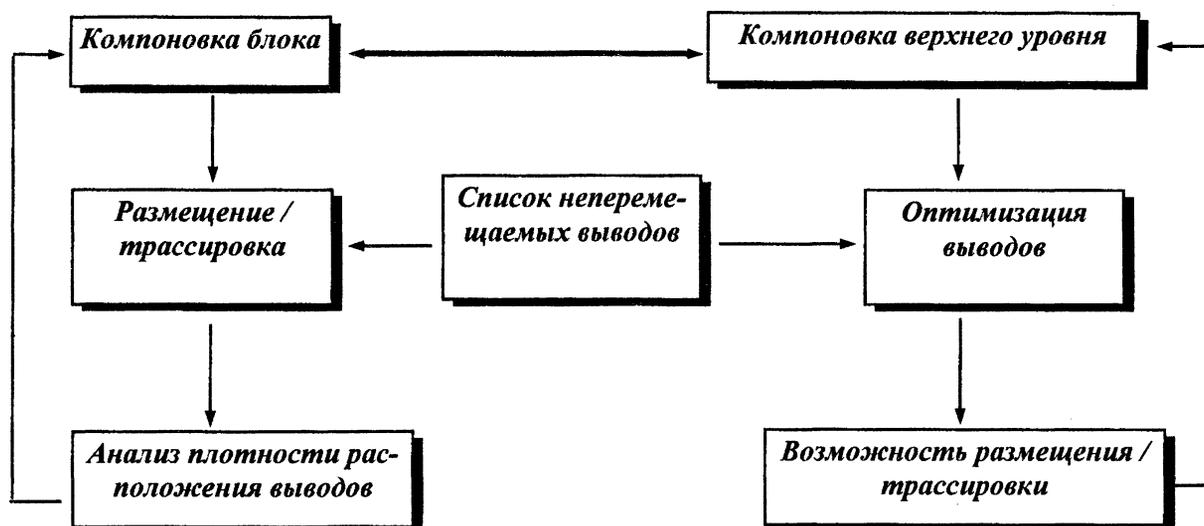


Рис.3

Верхний уровень топологии содержит относительно длинные шины, что может привести к значительной емкостной связи между примыкающими границами контуров, а также к шуму и паразитным задержкам сигналов. Величина эффектов зависит от связанной емкости, а также сопротивления в драйвере (источнике сигнала).

Иерархическое проектирование без привязки к сетке, позволяет изменять расстояние между шинами (связанную емкость), расширять шину (уменьшать сопротивление источника), добавлять повторители (сокращать расстояние от источника). Что способствует целостной адресации сигнала на длинных, параллельно проведенных шинах. Это невозможно при трассировке с привязкой к определенному шагу, когда приходится выбирать либо целостность сигнала с требуемой задержкой, либо плотность компоновки топологии.

Таким образом, методология иерархического проектирования топологии позволяет создать интеллектуальную микросистему, отвечающую как требованиям по площади кристалла, так и по временным характеристикам.

**Литература.** 1. Колешко В.М. Способ изготовления полупроводниковых приборов и интегральных микросхем. Авторское свидетельство СССР №1227052, 1984. 2. Appleton S.: Hierarchical Physical Design for Megagate ASICs, *Integrated System Design*, 2001, No. 8, pp. 50–53 3. Upesh J.: Flat design management comes up short as gate counts push past 1 million -- Chip complexity demands hierarchical design, *Eetimes*, 2000, No. 1119, pp. 2349–2358.