

УДК 621.382

## МОДЕЛИРОВАНИЕ МЕТОДОМ МОНТЕ-КАРЛО ОТНОСИТЕЛЬНОЙ ВЕЛИЧИНЫ ПАРАЗИТНОГО ТУННЕЛЬНОГО ТОКА В ЭЛЕМЕНТАХ ФЛЕШ-ПАМЯТИ

Жевняк О.Г., Борздов А.В., Борздов В.М.

Белорусский государственный университет  
Минск, Республика Беларусь

**Аннотация.** В настоящей работе с помощью численного моделирования методом Монте-Карло электронного переноса в короткоканальных МОП-транзисторах с плавающим затвором, лежащих в основе функционирования современных элементов флеш-памяти, рассмотрено влияние ряда конструктивно-технологических параметров данных транзисторов на величину паразитных токов, проникающих на плавающий затвор. Показано, что с уменьшением длины проводящего канала, а также глубины залегания истоковой и стоковой областей величина этого тока увеличивается, что необходимо учитывать при проектировании перспективных элементов флеш-памяти.

**Ключевые слова:** элемент флеш-памяти, МОП-транзистор с плавающим затвором, туннелирование электронов, метод Монте-Карло.

## MONTE CARLO SIMULATION OF EFFECT OF PHONON'S AND ION'S SCATTERINGS ON ELECTRON MOBILITY IN FLASH MEMORY ELEMENTS

Zhevnyak O.G., Borzdov A.V., Borzdov V.M.

Belarusian State University  
Minsk, Republic of Belarus

**Abstract.** In present paper the effects of constructive parameters on parasitic tunnel current in short-channel MOSFETs with floating gate are studied by Monte Carlo simulation of electron transport. Such transistors are the base of contemporary flash-memory cells. Obtained data show that parasitic current is increased as result of the decreasing of channel length as well as drain region depth.

**Key words:** flash memory cell, MOS-transistor with floating gate, electron tunneling, Monte Carlo simulation.

Адрес для переписки: Жевняк О. Г., ул. Коржа, 1, 39, г. Минск, 220036, Республика Беларусь  
e-mail: zhevnyakog@mail.ru

**Введение.** Повышение плотности упаковки микросхем флеш-памяти приводит к значительному уменьшению областей протекания электрического тока в кремниевых МОП-транзисторах с плавающим затвором, являющихся базовым элементом этих микросхем [1]. Это сопровождается резким возрастанием величин паразитных токов утечки, которые в конечном счете могут способствовать искажению хранящейся в элементах флеш-памяти информации (см., например, [2; 3]). Недопустимо высокое значение величины паразитного тока возникнет при одновременном стечении двух факторов: сильного разогрева электронов тянущим полем стока МОП-транзистора с плавающим затвором и скапливанием большого количества электронов у поверхности раздела Si/SiO<sub>2</sub>. Поэтому весьма важно при разработке перспективных элементов флеш-памяти высокой плотности упаковки стараться предупреждать появление у данной поверхности раздела большого количества горячих электронов.

Целью настоящего исследования явилось моделирование паразитных туннельных токов в короткоканальных МОП-транзисторах с плавающим затвором методом Монте-Карло. Главными задачами нашей работы было изучение влияния на относительную величину паразитного тун-

нельного тока ряда конструктивно-технологических параметров данного транзистора, в частности, длины проводящего канала, глубины залегания истоковой и стоковой областей в подложку и концентрации акцепторной примеси в подложке.

**Приборная структура.** На рисунке 1 приведена структурная схема моделируемого транзистора.

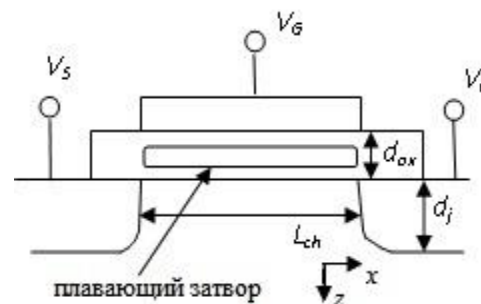


Рисунок 1 – Структурная схема моделируемого элемента флеш-памяти на основе МОП-транзистора с плавающим затвором

Рассматривался прибор со следующими конструктивно-технологическими параметрами: толщина подзатворного окисла  $d_{ox} = 7$  нм, толщина туннельного окисла  $d_{tun} = 2$  нм, толщина плавающего затвора  $d_{float} = 2$  нм, концентрация донорной примеси в областях истока и стока

$N_D = 10^{26} \text{ м}^{-3}$ , концентрация акцепторной примеси в подложке  $N_A = 10^{24} \text{ м}^{-3}$ , Длина канала  $L_{\text{ch}}$  изменялась от 0,1 до 0,3 мкм, а глубина залегания истоковой и стоковой областей в подложку  $d_j$  от 10 до 100 нм. Значения напряжения на затворе  $V_G$  и на стоке  $V_D$  равнялись 2 В (стандартные значения для режима считывания информации).

**Используемая модель.** Паразитный туннельный ток образуют электроны, находящиеся в проводящем канале у границы раздела Si/SiO<sub>2</sub> и туннелирующие на плавающий затвор через туннельный оксид. Плотность этого тока численно может быть рассчитана согласно

$$j = eN_n D v_{\text{др}},$$

где  $e$  – заряд электрона,  $N_n$  и  $v_{\text{др}}$  – концентрация и дрейфовая скорость электронов, находящихся у границы раздела Si/SiO<sub>2</sub>,  $D$  – коэффициент туннелирования, определяемый величиной энергии электронов  $E$  и высотой барьера  $H$  на границе раздела Si/SiO<sub>2</sub>. Так как вдоль канала изменяются и значения величин  $N_n$  и  $v_{\text{др}}$ , то величина паразитного туннельного тока будет также существенно изменяться вдоль канала и может быть рассчитана только на основании моделирования электронного переноса методом Монте-Карло.

Расчет плотности электронных токов, в том числе паразитных, осуществлялся на основе моделирования электронного переноса в канале МОП-транзистора методом Монте-Карло и самосогласованного решения соответствующего уравнения Пуассона. Алгоритмы такого моделирования описаны в работе [4], а процедура расчета туннельного тока через барьер трапецидального типа, который возникает в туннельном оксиде, рассмотрена в работе [5].

**Результаты моделирования и их обсуждение.** На рисунке 2 приведены полученные в результате численного моделирования изменения вдоль проводящего канала транзистора относительной величины паразитного туннельного тока к величине дрейфового тока стока в зависимости от длины канала ( $a$ ) и глубины залегания истоковой и стоковой областей ( $b$ ). Полученные результаты свидетельствуют о заметном влиянии данных параметров.

**Закключение.** Таким образом, в настоящей работе с помощью численного моделирования методом Монте-Карло электронного переноса проанализировано влияние длины проводящего канала, а также глубины залегания истоковой и стоковой областей в МОП-транзисторах с плавающим затвором на величину паразитного туннельного тока. Показано, что в рассматриваемых условиях это влияние существенно: с уменьшением данных параметров плотность паразитного туннельного тока увеличивается.

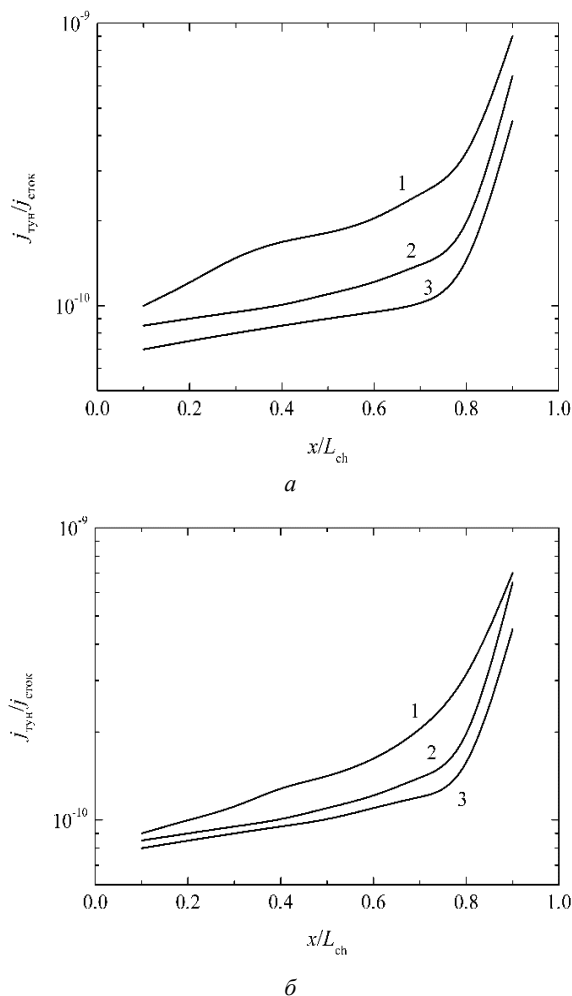


Рисунок 2 – Изменение вдоль канала относительной величины плотности туннельного тока: а) 1 –  $L_{\text{ch}} = 0,1$  мкм, 2 –  $L_{\text{ch}} = 0,2$  мкм, 3 –  $L_{\text{ch}} = 0,3$  мкм;  $d_j = 50$  нм; для б) 1 –  $d_j = 10$  нм, 2 –  $d_j = 50$  нм, 3 –  $d_j = 100$  нм;  $L_{\text{ch}} = 0,2$  мкм

## Литература

1. Hu, C. Nonvolatile semiconductor memories: Technologies, design, and applications. Piscataway, NJ: IEEE Press, 1991. – 167 p.
2. De Salvo, B. Silicon Non-Volatile Memories: paths of innovation / B. De Salvo. – London : Wiley-ISTE Ltd, 2009. – 256 p.
3. Ghetti, A. Low-voltage hot electrons and soft programming lifetime prediction in nonvolatile memory cells / A. Ghetti, L. Selmi and R. Bez // IEEE Trans. Electron. Dev. – 1999. – Vol. 46, № 4. – P. 696–702.
4. Борздов, В. М. Моделирование методом Монте-Карло приборных структур интегральной электроники / В.М. Борздов, О.Г. Жевняк, Ф.Ф. Комаров, В.О. Галенчик. – Минск : БГУ, 2007. – 175 с.
5. Жевняк, О.Г. Моделирование влияния глубины залегания стока на паразитные туннельные токи в элементах флеш-памяти / О.Г. Жевняк, В.М. Борздов, А.В. Борздов // Евразийский Союз ученых. Серия: техн. и физ.-мат. науки. – 2021. – Том. 1, № 12. – С. 58–61.