

ПРОГРАММНОЕ УПРАВЛЕНИЕ ИСПОЛНИТЕЛЬНЫМИ ОРГАНАМИ В ИНТЕЛЛЕКТУАЛЬНЫХ МЕХАТРОННЫХ СИСТЕМАХ

к.т.н. Гулай А.В., к.т.н. Зайцев В.М.

Белорусский национальный технический университет, Минск

Системы технического назначения, в том числе мехатронные системы, при введении в их состав процессорных и программных средств цифровой обработки информации приобретают существенные функциональные преимущества по гибкости системных настроек, точности преобразования сигналов, сокращению состава оборудования и улучшению показателей надежности [1, 2]. В указанных мехатронных системах для организации циклов управления исполнительными органами применяется типовая (по сути классическая) функциональная схема: формирование векторных параметров текущего состояния исполнительных органов; прием требуемых значений задающих параметров функционирования; выработка соответствующих параметров текущего управления; физическая отработка управляющих воздействий [3]. Интеллектуализация управления путем введения процессоров цифровой обработки сигналов и необходимых программных средств в прямые цепи управления и в цепи обратной связи превращают мехатронную систему в технический комплекс гибридного типа.

Однако при этом возникает ряд специфических проблем, касающихся технического построения прямой цепи управления и цепи обратной связи, а также ряд вопросов программной поддержки процессов функционирования мехатронной системы. В связи с этим в работе проанализирована обобщенная схема организации автоматического управления исполнительными органами в интеллектуальных мехатронных системах. Рассмотрены особенности построения прямой цепи управления и цепи обратной связи при введении в их состав процессоров цифровой обработки сигналов. Для описания функциональных циклов интеллектуальной мехатронной системы построена совокупность рекуррентных разностных уравнений. Предложена схема рациональной организации вычислительного процесса в указанной системе с разложением функциональных циклов на такты преобразования и обработки сигналов. Проанализированы также условия информационной совместимости взаимодействующих компонентов интеллектуальной мехатронной системы.

Структура и функции каналов управления в интеллектуальной мехатронной системе

Один из возможных вариантов построения канала управления интеллектуальной мехатронной системы представлен на рисунок 1. В мехатронных системах различного функционального назначения в качестве исполнительных органов выступают выходные механические звенья. Чаще всего это такие технические средства, как электрические двигатели, муфты, клапаны, регуляторы, а также электромагнитные силовые блоки и другие устройства [3]. Для получения параметров текущего состояния исполнительных органов применяются соответствующие сенсорные блоки. Необходимые интерфейсы между аналоговым и цифровым оборудованием поддерживаются с помощью аналого-цифровых и цифро-аналоговых преобразователей (АЦП и ЦАП).

Задатчик и соответствующий преобразователь обеспечивают ввод в систему исходного электрического сигнала $X(t)$ и получение кода дискретного отсчета этого сигнала $KX[k \cdot dt]$, где k — текущий номер цикла (отсчета); dt — длительность одного

цикла управления. Кодовый параметр $KX[k \cdot dt]$ используется процессорами цифровой обработки сигналов в алгоритме вычисления значения текущего отсчета $U[k \cdot dt]$ и кода $KU[k \cdot dt]$ для возбуждения прямой цепи управления системы. Кодовое представление отсчета $KU[k \cdot dt]$ текущего параметра управления с помощью ЦАП преобразуется в электрический сигнал управляющего воздействия $EU[k \cdot dt]$.

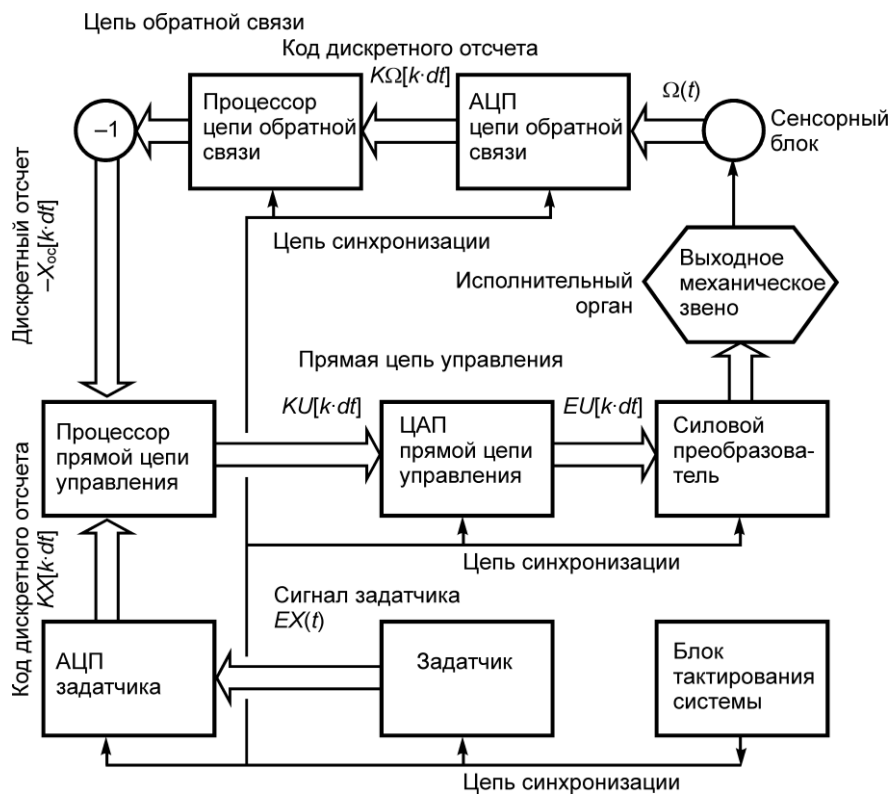


Рисунок 1. – Техническое построение прямой цепи управления и цепи обратной связи интеллектуальной мехатронной системы.

Физическую отработку управляющих воздействий в системе обеспечивает исполнительный орган, результаты функционирования которого отображаются параметром положения или перемещения выходного механического звена $\Omega(t)$. Сенсорный блок на основе параметра $\Omega(t)$ вырабатывает сигнал возбуждения цепи обратной связи. После преобразования в цифровую форму сигнал определенным образом перерабатывается процессором этой цепи и в виде результирующего отрицательного дискретного отсчета $-X_{oc}[k \cdot dt]$ смешивается с сигналом $X[k \cdot dt]$, замыкая тем самым цикл управления. Блок тактирования формирует временную диаграмму функционирования системы и синхронизирует работу всех составных частей в каждом цикле управления. Таким образом, преимущества, достигаемые за счет гибридного построения мехатронной системы, требуют достаточно сложных логических схем преобразования и переработки сигналов.

В математической модели канала управления целесообразно использовать линейную концепцию процессов, а также категории, обычные для систем этого типа, в том числе передаточную функцию прямой цепи управления $W_{пц}(p)$ и передаточную функцию цепи обратной связи $W_{цос}(p)$. Такой подход позволяет избежать излишних усложнений и перенести учет необходимых дополнительных факторов на этап отработки программных средств системы. Если $\Omega(t)$ — выходной параметр положения или перемещения исполнительного органа (например, линейные или угловые

перемещения, скорости или ускорения перемещения), то для изображений по Лапласу непрерывных сигналов основное уравнение системы будет иметь следующий вид:

$$[X(P) - \Omega(P)W_{\text{цос}}(P)]W_{\text{пцу}}(P) = \Omega(P). \quad (1)$$

При разложении цикла управления на отдельные такты уравнение (1) позволяет получить совокупность из пяти рекуррентных разностных уравнений цифрового управления исполнительным органом [4]. Для цикла с номером k уравнения будут иметь следующий вид:

$$\{\Delta\Omega[(q-1)dt] = \Omega[(q-1)dt] - \Omega[(q-2)dt]\}, \quad q = 0, 1, 2, \dots, k, \quad (2)$$

$$\Omega[(-1)dt] = \Omega[(-2)dt] = 0, \quad (3)$$

$$X_{\text{цос}}[k \cdot dt] = \sum_{q=0}^k \Delta\Omega(q-1)\zeta[q-1]h_{\text{цос}}[(q-1)dt], \quad (4)$$

$$\{\Delta X[q \cdot dt] = X[q \cdot dt] - X[(q-1)dt]\}, \quad q = 0, 1, 2, \dots, k, \quad (5)$$

$$X[0] = X(t=0); X[(-1)dt] = 0, \quad (6)$$

$$X[k \cdot dt] = \sum_{q=0}^k \Delta X[q \cdot dt]\zeta[q], \quad (7)$$

$$\begin{aligned} X[k \cdot dt] - X_{\text{цос}}[k \cdot dt] &= \\ &= \sum_{q=0}^k \Delta X[q \cdot dt]\zeta[q] - \sum_{q=0}^k \Delta\Omega[(q-1)dt]\zeta[q-1]h_{\text{цос}}[(q-1)dt], \end{aligned} \quad (8)$$

$$\Omega[k \cdot dt] = \{X[k \cdot dt] - X_{\text{цос}}[k \cdot dt]\}h_{\text{пцу}}[k \cdot dt]. \quad (9)$$

В уравнениях (2)-(9) приняты следующие условные обозначения: $X[0] = X(t=0)$, $X[q \cdot dt]$, $X[(q-1)dt]$ — значения отсчета сигнала задатчика, соответственно, начальное, в цикле q и цикле $q-1$; $X[-1] = 0$; $\zeta[q]$ — функция Хевисайда; $h_{\text{пцу}}(t) = L_{\text{обр}}\{W_{\text{пцу}}(P)/P\}$, $h_{\text{цос}}(t) = L_{\text{обр}}\{W_{\text{цос}}(P)/P\}$ — переходная характеристика, соответственно, прямой цепи управления и цепи обратной связи мехатронной системы; $L_{\text{обр}}$ — обратное преобразование Лапласа. Характеристики $h_{\text{пцу}}(t)$, $h_{\text{цос}}(t)$ могут быть построены на основании своих изображений по Лапласу $W_{\text{пцу}}(P)/P$ и $W_{\text{цос}}(P)/P$, которые образуются из соответствующих передаточных функций цепей управления путем добавления нулевого полюса в каждую из функций.

При построении цифровых систем управления исполнительными органами на основе рассмотренной схемы и рекуррентных уравнений следует акцентировать внимание, прежде всего, на следующих важнейших аспектах:

- создание условий для информационной совместимости оцифрованной информации в цепи прямого управления и в цепи обратной связи;
- обеспечение корректной численной реализации процедур обратного преобразования Лапласа программными компонентами процессоров цифровой обработки информации;
- обоснованный выбор тактовой частоты процессоров.

Обеспечение информационной совместимости компонентов интеллектуальной мехатронной системы

Информационная совместимость должна обеспечиваться во всех элементах мехатронной системы, которые чаще всего оперируют сигналами различной физической природы и разными форматами системного представления. О важности информационной составляющей в проектировании мехатронных систем говорит тот факт, что многие неудачные проекты связаны, прежде всего, с попытками применения готовых программных компонентов во вновь создаваемых гибридных комплексах без

должного изучения авторской документации. Такой подход сопровождается, в частности, рядом нарушений в части условий совместимости и взаимодействия цепей прямого управления и обратной связи.

Условия совместимости указанных взаимодействующих цепей предполагают применение в них одной базы оцифровки сигналов и одинакового формата представления данных. Значения некоторого реального физического сигнала X_i обычно регламентируются следующими уставками:

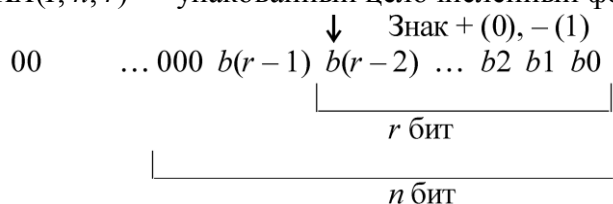
$$X_{\min} \leq X_i \leq X_{\max}; \quad (10)$$

$$X_{\max} - X_{\min} = RX \text{ — размах сигнала.} \quad (11)$$

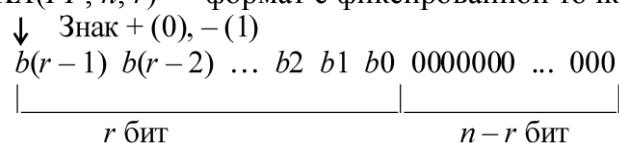
Данные параметры определяют базу оцифровки сигнала с последующим его кодовым представлением с помощью r бит. Для размещения кодовых значений оцифрованного сигнала обычно применяются двоичные кодовые комбинации длиной в n бит, причем $r \leq n$.

На практике обычно используются три типа форматов представления оцифрованного сигнала: $KX(I, n, r)$ — упакованный целочисленный формат; $KX(FP, n, r)$ — формат с фиксированной точкой; $KX(R, n, m, r)$ — формат с плавающей точкой. Упакованный целочисленный формат является базовым интерфейсным форматом при приеме в процессор информации от r -разрядного АЦП и при ее выводе в r -разрядный ЦАП. При необходимости введения знака кода используется его старший разряд. Форматы с фиксированной и с плавающей точкой являются форматами непосредственной цифровой обработки сигналов в процессорах.

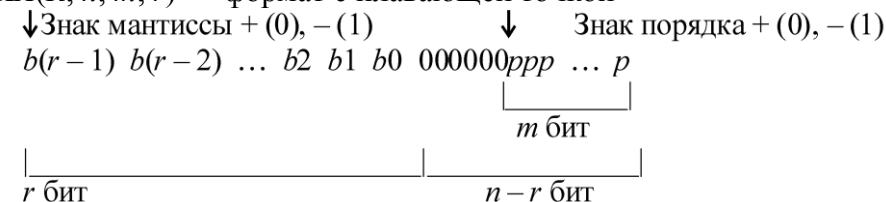
$KX(I, n, r)$ — упакованный целочисленный формат



$KX(FP, n, r)$ — формат с фиксированной точкой



$KX(R, n, m, r)$ — формат с плавающей точкой



При проектировании процессов обмена и цифровой обработки информации предварительно должен быть выбран формат обработки. В общем случае в технологическом отношении наиболее удобным для сложной цифровой обработки является формат с плавающей точкой $KX(R, n, m, r)$. Выбор данного формата позволяет избежать сложных операций масштабирования операндов в наиболее массовых операциях сложения/вычитания и деления.

Технология оцифровки некоторого значения X_i включает следующие процессорные процедуры.

1. Расчет нормализованной величины модуля значения:

$$|KX_i(R, n, m, r)| = \{ |(X_i - X_{\min})/R| \& \begin{array}{c} \downarrow \text{ Знак +} \\ 0111 \dots 111000000011 \dots 11 \\ \hline r \text{ бит мантиссы} \quad \hline m \text{ бит порядка} \end{array} \}$$

$$0 \leq |KX_i(R, n, r, m)| \leq 1.$$

2. Реформатизация результата путем перевода в формат $KX(FP, n, r)$:

$$M_i = \{ |(X_i - X_{\min})/R| \& \begin{array}{c} \text{Знак мантиссы +} \\ 0111 \dots 1110000000 \dots 00 \\ \text{Знак порядка} \\ 000 \dots 0000011 \dots 11 \\ \hline m \text{ бит порядка} \end{array} \}$$

$$P_i = \{ |(X_i - X_{\min})/R| \& \begin{array}{c} \text{Знак порядка} \\ 000 \dots 0000010 \dots 00 \\ \hline m \text{ бит порядка} \end{array} \}$$

$$KX(FP, n, r) = M_i, \text{ если } \text{Sign}(P_i) = 0:$$

$$P_i = \{ |(X_i - X_{\min})/R| \& \begin{array}{c} \downarrow \text{ Знак порядка} \\ 000 \dots 0000010 \dots 00 = 0; \\ \hline m \text{ бит порядка} \end{array} \}$$

$$KX(FP, n, r) = M_i \rightarrow [\text{СДВИГ ВПРАВО НА } |P_i| \text{ бит}], \text{ если } \text{Sign}(P_i) = 1:$$

$$P_i = \{ |(X_i - X_{\min})/R| \& \begin{array}{c} \downarrow \text{ Знак порядка} \\ 000 \dots 0000010 \dots 00 = 1. \\ \hline m \text{ бит порядка} \end{array} \}$$

3. Получение упакованного целочисленного результата:

$$KX(I, n, r) =$$

$$= KX(FP, n, r) \& 111 \dots 111100 \dots 00 \rightarrow [\text{СДВИГ ВПРАВО на } n - r \text{ бит}].$$

$$\hline r \text{ бит}$$

Если при цифровой обработке применяется формат с фиксированной точкой, то первая операция выполняется с учетом масштабирования значений исходных параметров. Для перехода от кода $KX(I, n, r)$ к значению X_i операции выполняются в обратном порядке.

ПРИМЕР: $n = 16, r = 10, m = 5, X_{\min} = 5,0, X_{\max} = 6,7. \quad X_i = 5,92.$

Процесс оцифровки сигнала:

- размах $R = 6,7 - 5,0 = 1,7; X - X_{\min} = 5,92 - 5,0 = 0,92;$
- $|KX_i(FP, n, r, m)| = 0,0541176 (10 \text{ c/c}) = 0110111011010100 (2 \text{ c/c});$
- мантисса $M_i = |KX_i(FP, n, r, m)| \& 0111111111000000 = 0110111011010100 \& 0111111111000000 = 0110111011000000;$
- порядок $P_i = |KX_i(FP, n, r, m)| \& 0000000000011111 =$

$\text{Знак порядка } -(1)$

\downarrow

 $= 0110111011010100 \& 0000000000011111 = 000000000010100;$
- $KX(FP, n, r) = M_i \rightarrow [\text{СДВИГ ВПРАВО НА 4 бита}] =$
 $= 0110111011000000 \rightarrow (4 \text{ бита}) = 000011011101100;$
- $KX(I, n, r) =$
 $= KX(FP, n, r) \& 0111111111000000 \rightarrow [\text{СДВИГ ВПРАВО на } 16 - 10 = 6 \text{ бит}] =$
 $= 000011011101100 \rightarrow (6 \text{ бит}) = 00000000011011.$

Рациональная организация вычислительного процесса в интеллектуальной мехатронной системе

Вопросы расчета реакций прямой цепи управления и цепи обратной связи на скачки $\Delta X, \Delta Q$ сигналов возбуждения предлагается рассматривать с учетом применения технологии численной реализации обратного преобразования Лапласа. Технология предложена достаточно давно [5], однако до массового появления на рынке высокоскоростных сигнальных процессоров она имела сугубо теоретическое значение. В предлагаемом решении по сравнению с технологией расчета системных реакций на основе дискретных сверток самих сигналов отсутствует необходимость хранения и использования отсчетов достаточно длительной предистории, так как обработке подлежат только реальные скачки $\Delta X, \Delta Q$ сигналов возбуждения цепей. В данном случае появляется возможность уменьшения вычислительной сложности и тактовой емкости алгоритмов управления и реального повышения реактивности системы в целом. Для получения количественных оценок целесообразно проведение дополнительных теоретических и экспериментальных исследований в этом направлении.

Достаточно тесно с рассмотренными вопросами связано обоснование выбора тактовой частоты процессоров цифровой обработки сигналов. Алгоритмы обработки скачков, как наборы действий и инструкций, описывающих процесс получения результатов, сами представляют собой системы. Они имеют делимость на блоки, которые являются вершинами графа процессов обработки информации. В алгоритмах могут быть выделены простые арифметические, логические и логико-арифметические блоки, а также блоки условий (переходов). Обычно алгоритм представляется в виде древовидного графа с вершинами в виде блоков B_j :

$$GA = \{B_j\}, \quad j = 1, 2, \dots, f \rightarrow B_j \quad (12)$$

Указанные блоки состоят из групп отдельных операций, причем проход по той или иной ветви графа от корневой вершины к тупиковой соответствует реализации алгоритма. Количество различных ветвей графа — это количество возможных реализаций алгоритма. Выбор конкретной ветви на реализацию предопределяет количество и типы выполняемых операций. Сам по себе выбор конкретной ветви — процесс вероятностный. Но этот процесс экспертно или в результате моделирования может быть оценен вероятностями выбора, так что можно говорить о среднем количестве операций каждого типа при реализации алгоритма.

Вычислительная сложность алгоритма — это функция зависимости объема работы, выполняемой некоторым алгоритмом, от параметров исходных данных. Объем работы оценивается либо количеством элементарных операций, либо количеством

процессорных тактов, необходимых для выполнения алгоритма [6]. Различают пространственную и временную сложность. Пространственная сложность — это категория состава и количества типовых операций, а также объемов памяти, требуемых для исполнения алгоритма. Временная сложность — это категория продолжительности исполнения алгоритма, она зависит от технических характеристик процессорной основы обеспечения исполнения. Эти понятия взаимосвязаны, но пространственная сложность в ряде случаев рассматривается как первичная. Наилучшими приемами установления взаимосвязи являются системный анализ алгоритмов, устойчивые экспертные оценки и моделирование.

Для оценки пространственной вычислительной сложности алгоритмов целесообразно использовать кортежи (векторы–строки) следующего вида:

$$W = \{w_1, w_2, w_3, w_4, w_5, w_6, w_7, w_8, \dots\} \text{ (команд)}. \quad (13)$$

В них путем системного анализа операций, требуемых для реализации алгоритмов, или путем их предварительного моделирования устанавливаются следующие усредненные параметры — оценка количества команд:

- w_1 — ... типа сложения/вычитания с фиксированной точкой;
- w_2 — ... типа умножения с фиксированной точкой;
- w_3 — ... типа деления с фиксированной точкой;
- w_4 — ... типа сложения/вычитания с плавающей точкой;
- w_5 — ... типа умножения с плавающей точкой;
- w_6 — ... типа деления с плавающей точкой;
- w_7 — ... поразрядных логических операций;
- w_8 — ... переходов по признакам и условиям.

Состав типов команд уточняется в соответствии с архитектурой процессоров цифровой обработки сигналов — претендентов на введение в систему. При работе нескольких экспертов может быть оценен разброс и доверительная вероятность значений параметров вектора-строки. Для предварительно выбранной структуры процессоров цифровой обработки сигналов и типового командно-тактового цикла составляется вектор–столбец значений тактовой емкости команд $T_{w1}, T_{w2}, T_{w3}, \dots$ путем разложения команд процессора на такты. Наименее короткими по количеству тактов являются команды поразрядных логических операций и команды переходов по признакам и условиям. Наиболее емкими являются команды деления с фиксированной и плавающей точкой.

Фактор конвейерного параллельно-последовательного выполнения команд не учитывается, поэтому расчетные значения количества тактов можно рассматривать в качестве верхних границ тактовой емкости команд процессора. Тактовая емкость алгоритма T_a определяется произведением вектора–строки W и вектора-столбца T_w :

$$T_a = WT_a = w_1T_{w1} + w_2T_{w2} + \dots \quad (14)$$

Верхняя граница временной емкости алгоритма, как правило, задается в виде требования к предельной длительности цикла управления dt . Если задано предельное время реализации i -го алгоритма в цикле управления dt_i , то максимальная длительность командного такта для этого алгоритма определяется следующим отношением:

$$T_{кти} = dt_i/T_{ai}, \quad (15)$$

а минимальная тактовая частота процессора для этого алгоритма равна:

$$F_{ти} = 1/T_{кти} = T_{ai}/dt_i. \quad (16)$$

Параметры процессоров цифровой обработки сигналов задаются исходя из потребностей всей группы критичных ко времени исполнения алгоритмов управления:

$$T_{кт пр} = \min_i \{T_{кти}\}, \quad (17)$$

$$F_{т пр} = \max_i \{F_{ти}\}. \quad (18)$$

Таким образом, существует объективная целесообразность проектной ориентации процессоров на комплекс исполняемых алгоритмов в прямой цепи управления и в цепи обратной связи интеллектуальной мехатронной системы.

РЕЗЮМЕ

Рассмотрена обобщенная схема организации автоматического управления исполнительными органами в интеллектуальных мехатронных системах. Проанализированы особенности построения прямой цепи управления и цепи обратной связи при введении в их состав процессоров цифровой обработки сигналов. Для описания функциональных циклов интеллектуальной мехатронной системы построена совокупность рекуррентных разностных уравнений. Предложена схема рациональной организации вычислительного процесса в указанной системе с разложением функциональных циклов на такты преобразования и обработки сигналов. Проанализированы условия информационной совместимости взаимодействующих элементов интеллектуальной мехатронной системы. Приведены примеры используемых форматов представления оцифрованного сигнала.

ЛИТЕРАТУРА

1. Сергиенко, А. Б. Цифровая обработка информации / А. Б. Сергиенко. — СПб.: Питер, 2002.
2. Смит, С. Цифровая обработка информации / С. Смит. — М.: Издательский дом «ДодЭка-XXI», 2008.
3. Федотов, А. В. Использование методов теории автоматического управления при разработке мехатронных систем / А. В. Федотов. — Омск: Изд. ОмГТУ, 2007.
4. Колобов, А. М. Избранные главы высшей математики / А. М. Колобов. — Минск: Высшая школа, 1965.
5. Зайцев, В. М. Численный метод реализации обратного преобразования Лапласа для дробно-рациональных изображений / В. М. Зайцев, В. Н. Путков. — Известия АН БССР. Серия физико-технических наук. — 1974. — № 4.
6. Абрамов, С. А. Лекции о сложности алгоритмов / С. А. Абрамов. — М.: Изд. МЦН МО, 2009.

SUMMARY

Analysis of the generalized organization scheme for management of executive bodies in mechatronic systems has been carried out. Peculiarities of construction of the direct and feedback circuit have been considered when they were included to digital signal processors. The totality of recurrent difference equations has been built for description of functional cycles in the mechatronic system. The scheme of rational organization of the computing process has been proposed along with disintegration of functional cycles to conversion steps and signal procession. Conditions of informational compatibility of interacting components in the intellectual mechatronic system have been analyzed. Examples of the used formats for digitized signal provision have been given.

E-mail: altaj@tut.by,
is@bntu.by

Поступила в редакцию 03.11.2014