

цифровой техники. Такая ситуация абсолютно неприемлема в системах энерго- и жизнеобеспечения, в системах военного комплекса, в медицинской технике и в ряде других случаев.

Для повышения отказоустойчивости и ремонтпригодности встроенных ОЗУ эффективными являются средства самодиагностирования и саморемонта запоминающих устройств. Диагностирование памяти имеет большое значение как на этапе производства для улучшения технологии производства ОЗУ, так и в процессе эксплуатации запоминающих устройств, особенно когда необходимо провести саморемонт неисправного элемента памяти в работающем устройстве без потери хранимых данных. В настоящее время развиваются исследования средств самодиагностирования, основанных на использовании неразрушающих маршевых тестов. Такие тесты имеют небольшую сложность, высокую покрывающую способность и сохраняют содержимое памяти неизменным. Алгоритмы, основанные на неразрушающих маршевых тестах, особенно подходят для проведения периодической диагностики ОЗУ без выключения устройства. Для увеличения эффективности неразрушающего диагностирования ОЗУ целесообразным является использование адаптивного сигнатурного анализатора (АСА), который упрощает вычисление сигнатуры всей памяти или сигнатуры линейного блока памяти, а также контроль факта нарушения симметрии в маршевых тестах.

В данной работе рассмотрен процесс самодиагностирования и саморемонта встроенных запоминающих устройств с применением дихотомического алгоритма, основанного на симметричных неразрушающих маршевых тестах.

В процессе функционирования встроенной памяти сигналом для инициирования процедуры самодиагностирования запоминающего устройства может быть, например, истечение определенного временного интервала или несовпадение эталонной и рабочей сигнатур памяти. В этом случае память переходит в режим диагностирования и временно становится недоступной для всего устройства. В качестве диагностического алгоритма предлагается использование дихотомического алгоритма для локализации неисправных ячеек памяти и двух диагностических подтестов для установления типов неисправностей. При проведении дихотомического алгоритма в качестве схемы сжатия результатов работы симметричного маршевого теста используется АСА, что позволяет значительно ускорить сходимость алгоритма к неисправной ячейке памяти.

После окончания процедуры самодиагностирования в случае обнаружения неисправностей производится саморемонт неисправных ячеек памяти. Если все неисправности были успешно отремонтированы, происходит возобновление и дальнейшее продолжение работы запоминающего устройства без потери информации.

В представленной работе для получения экспериментальных результатов была разработана программная модель бит-ориентированной памяти. При проведении эксперимента были смоделированы всевозможные расположения и типы функциональных неисправностей. Полученные экспериментальные данные позволили сделать вывод об эффективности предложенного дихотомического алгоритма по сравнению с другими неразрушающими диагностическими алгоритмами для различных комбинаций неисправностей.

## **АНАЛИЗ АППАРАТУРНЫХ ЗАТРАТ НА РЕАЛИЗАЦИЮ ТЕСТОВЫХ КОНТРОЛЛЕРОВ ВСТРОЕННЫХ ОЗУ**

*С.Б. Мусин*

Научный руководитель – к.т.н., доцент *А.А. Иванюк*

*Белорусский государственный университет информатики и радиоэлектроники*

В последнее время большое внимание уделяется такому важному направлению высоких технологий, как методология проектирования СБИС типа «системы на кристалле» (СнК). В таких системах на одном кристалле интегрируются различные функциональные блоки, называемые также ядрами интеллектуальной собственности (IP-cores). Практика создания СнК предполагает многократное использование одних и тех же ядер в различных проектах. Как правило, сторонние разработчики предлагают, являющиеся их собственностью, ядра в виде синтезируемого HDL описания на регистровом уровне (RTL). Проектировщик покупает IP-cores и, при помощи САПР

электронных устройств (EDA), синтезирует на их базе свою СнК [1].

В настоящее время для СнК наблюдается тенденция роста площади кристалла отводимой под ОЗУ по сравнению с другими функциональными блоками. По прогнозам International Technology Roadmap for Semiconductors (ITRS 2001) площадь кристалла, отводимая под встроенное ОЗУ, будет доминировать над комбинационной частью к 2016 году.

Рост информационного объема ОЗУ и требование высокой степени интеграции приводит к проблемам технологического характера — усложнению структуры модулей. А сложность в свою очередь - к увеличению вероятности появления сбоев в работе таких устройств. Поэтому очень важной задачей, стоящей перед разработчиком СнК, является обеспечение надежного функционирования ОЗУ.

Анализ существующих разработок показывает, что в виду высокой степени интеграции элементов СнК, наиболее приемлемым вариантом тестирования является применение аппаратуры встроенного самотестирования (ВСТ) ОЗУ [2]. Для обеспечения встроенного самотестирования на кристалле располагается дополнительная аппаратура, обеспечивающая генерацию тестовых наборов и обработку результатов тестирования.

Для управления процессом тестирования служит устройство управления (УУ ВСТ). По способу построения УУ выделяют программируемую и не программируемую аппаратуру ВСТ [3]. УУ программируемой аппаратуры ВСТ, выполняет тестирование согласно микропрограмме. Не программируемая аппаратура тестирует ОЗУ согласно жестко заданного алгоритма тестирования.

Для обоснованного выбора метода построения тестового контроллера аппаратуры ВСТ ОЗУ разработчики IP-core испытывают необходимость в данных об аппаратурных затратах на его реализацию.

В данной работе проведен анализ затрат аппаратуры на реализацию программируемого и непрограммируемого тестовых контроллеров ОЗУ для различных алгоритмов тестирования. Полученные данные позволяют разработчику IP-core выбрать метод построения тестового контроллера, который при небольших затратах позволяет эффективно тестировать ОЗУ.

#### **Литература**

1. Поляков А.К. Языки VHDL и Verilog в проектировании цифровой аппаратуры – Москва: СОЛОН-Пресс, 2003
2. Ярмолик В.Н., Калоша Е.П., Быков Ю.В., Климец Ю.В., Иванюк А.А. Проектирование самотестируемых СБИС: научная монография, в 2 т., т.2 - Мн.: БГУИР, 2001
3. Cheng A., Comprehensive Study on Designing Memory BIST: Algorithms, Implementations and Trade-offs, EECS579 Course Project, 2002

## **АЛГОРИТМ АНАЛИЗА ВЫДЕЛЕННЫХ ОБЪЕКТОВ ПРОЦЕССНЫХ МОДЕЛЕЙ ОРГАНИЗАЦИЙ**

*С.Л. Шкред*

Научный руководитель – к.ф.-м.н., доцент *Н.А. Гулякина*

*Белорусский государственный университет информатики и радиоэлектроники*

Создание и описание деятельности организации с помощью процессных моделей является весьма актуальным, потому что это позволяет выявить цепочки операций, выполнение которых улучшит производственную структуру организации. Под процессной моделью в работе понимается описание бизнес-процессов организации [1].

При написании работы были использованы методы и средства искусственного интеллекта, в частности, реинжиниринг бизнес-процессов, семантическая обработка данных, языки представления знаний.

На основе маркетинговых исследований в экономике рассмотрены и систематизированы этапы проведения анализа процессных моделей, выделены критерии и приведено обоснование их выбора в определенных ситуациях. В основе проведения анализа процессных моделей лежит семантическая обработка данных, представленных в виде графовых конструкций (объекты - узлы графа, дуги - процессы, происходящие с ними, атрибуты - представляют собой критерии