

Использование шины AXI для получения видеоданных

Щербаков А.В.

Белорусский национальный технический университет

Для взаимного обмена данными между процессорными ядрами и ПЛИС в системе на кристалле Xilinx Zynq-7000 организованы каналы: Accelerator Coherency Port (ACP), General Port(GP), High Performance Port (HP). При необходимости передачи больших объемов данных от процессорных ядер Cortex-A9 в ПЛИС и обратно можно использовать предоставляемый фирмой Xilinx блок AXI Direct Memory Access. Этот блок подключается либо к порту ACP, либо к порту HP и позволяет передавать массив данных в ПЛИС по протоколу AXI-Stream. Кроме использования готовых Intellectual Property (IP) блоков существует возможность разработки пользовательского IP блока, непосредственно подключаемого к порту ACP или HP. При этом на пользователя ложится задача реализации протокола шины AXI. В качестве примера решения задачи связи процессорного ядра ARM Cortex-A9 с блоком FPGA разработан IP блок, имеющий интерфейс AXI-Lite, задачей которого является получение данных со стандартного интерфейса видеокamеры. Для генерации данных видеопотока использована камера OV7670, имеющая VGA разрешение и интерфейс подключения, состоящий из канала управления и канала передачи видеоданных. Интерфейс AXI-Lite является упрощенной версией интерфейса AXI, главным ограничением которого является отсутствие режима пакетной передачи данных. Обе шины имеют пять каналов связи: два канала для чтения данных и три канала для записи.

Для чтения используют канал адресации данных и канал для передачи непосредственно данных. Для записи: канал адреса, канал передачи записываемых данных и канал подтверждения. IP блок камеры имеет входную 8-битную шину для передачи информации о цвете и входные сигналы вертикальной и горизонтальной синхронизации. Данные каждой строки видеобразия заносятся во внутреннюю блочную двух портовую память (BRAM) блока FPGA. Для обеспечения требуемой скорости, четная и нечетная строка записывается в свой участок блочной памяти, что позволяет распараллелить запись данных из видеointерфейса и передачу данных в память через шину AXI-Lite.

Разработанный IP блок имеет интерфейс AXI-Lite и позволяет записывать видеоданные по заданному адресу DDR памяти без задействования вычислительной мощности процессорного ядра ARM Cortex-A9.