

## УСТРОЙСТВО ФОРМИРОВАНИЯ БИТА ПАРИТЕТА ДВОИЧНОГО ЧИСЛА

Студент гр. 11303114 Шавейко А. А.

Ст. преподаватель Владимирова Т. Л.

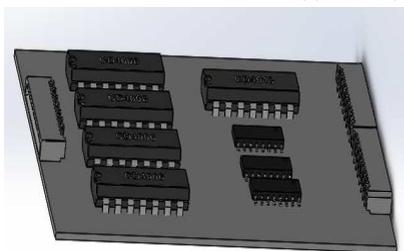
Канд. техн. наук, доцент Савелов И. Н.

Белорусский национальный технический университет

Устройства формирования бита паритета применяются в системах автоматического регулирования технологических процессов, неразрушающем контроле и диагностике, системах безопасности, спортивной и информационно-измерительной технике.

Целью данной работы являлась разработка устройства формирования бита паритета двоичного числа.

В соответствии с исходными данными (разрядность обрабатываемых данных, время ожидания момента времени следующего ввода данных) был разработан алгоритм работы устройства и структура лицевой панели управления устройством.



Электронный макет печатной платы  
блока ввода

Была разработана функциональная схема отображает все блоки, входящие в устройство и определяет взаимодействие между ними.

При выборе элементной базы учитывалось быстродействие микросхем, в связи с этим электрическая принципиальная схема была выполнена на микросхемах серии КМДП( ИМС К155ЛА8, К555АП6, 1531ЛИ1, 564ТМ2, четырехразрядный регистр 155ИР1). Для коммутации блока ввода с операционным блоком в схеме предусмотрена установка разъемов MOLEX 5050731100, MOLEX 39-53-2184, MOLEX 51102-0200.

Разработана электрическая принципиальная схема блока ввода. Потребляемая мощность схемы составляет не более 3Вт, и время задержки сигнала – не более 40нс.

Для осуществления компоновки разработанного устройства, при помощи системы твердотельного моделирования Solidworks, был разработан электронный макет печатной платы. Габаритные размеры составляют не более 60х80х0,8 мм.