



**МИНИСТЕРСТВО ОБРАЗОВАНИЯ
РЕСПУБЛИКИ БЕЛАРУСЬ**

**Белорусский национальный
технический университет**

**Кафедра «Электропривод и автоматизация промышленных
установок и технологических комплексов»**

ОСНОВЫ СХЕМОТЕХНИКИ

Лабораторный практикум

**Минск
БНТУ
2013**

МИНИСТЕРСТВО ОБРАЗОВАНИЯ РЕСПУБЛИКИ БЕЛАРУСЬ
Белорусский национальный технический университет

Кафедра «Электропривод и автоматизация промышленных
установок и технологических комплексов»

ОСНОВЫ СХЕМОТЕХНИКИ

Лабораторный практикум
для студентов дневного и заочного отделения ФИТР
специальности 1-53 01 05 «Автоматизированные
электроприводы»

Минск
БНТУ
2013

УДК 621.382.049.77(076.5)
ББК 32.844я7
О-75

С о с т а в и т е л ь
С. В. Васильев

Р е ц е н з е н т ы :
Р. В. Новичихин, С. Д. Гавриленко

О-75 **Основы схемотехники** : лабораторный практикум для студентов дневного и заочного отделения ФИТР специальности 1-53 01 05 «Автоматизированные электроприводы» / С. В. Васильев. – Минск : БНТУ, 2013. – 52 с.
ISBN 978-985-550-021-7.

Данный лабораторный практикум предназначен для студентов дневной и заочной форм обучения, изучающих дисциплину «Основы схемотехники». В нем приведены методические материалы, необходимые для выполнения лабораторных работ, касающихся изучения цифровых микросхем.

В издании приведены сведения, касающиеся вопросов построения типовых электронных узлов, которые применяются в системах управления электроприводов и устройствах промышленной автоматики. Для иллюстрации изучаемых вопросов приводятся примеры, основанные на использовании серийных интегральных схем широкого применения.

УДК 621.382.049.77(076.5)
ББК 32.844я7

ISBN 978-985-550-021-7

© Белорусский национальный
технический университет, 2013

Лабораторная работа № 5

ИЗУЧЕНИЕ РЕВЕРСИВНОГО СЧЕТЧИКА

Цель работы: изучить принцип построения и схему реверсивного счетчика на интегральных микросхемах (ИС), применяемого в системах числового программного управления (ЧПУ) различных типов.

Краткие теоретические сведения

В современных устройствах ЧПУ, независимо от их назначения и конструктивного исполнения, широкое применение находят различного типа счетчики, дешифраторы, преобразователи кодов и другие цифровые устройства.

С помощью счетчиков может выполняться счет числа выполненных операций, производиться отсчет перемещений рабочих органов. Помимо этого счетчики используются для образования последовательностей адресов команд, для подсчета числа циклов выполнения операций и т. п. Принципиально в качестве счетчика может быть использована произвольная схема, для которой установлено однозначное соответствие между числом поступивших импульсов и состоянием выходных переменных.

Поскольку каждая выходная переменная может принимать лишь два значения, то для n входных переменных существует 2^n возможных состояний. Соответствие между числом поступивших импульсов и выходным кодом может быть произвольным. Двоичные счетчики часто предпочитают благодаря простоте двоичного кода.

Реверсивные счетчики

Счетчики принято подразделять на суммирующие, вычитающие и реверсивные. *Реверсивный счетчик* осуществляет счет импульсов в прямом (суммирование) и в обратном (вычитание)

направлении. С его помощью, например, может быть реализована позиционная система ЧПУ, где элементом сравнения кода задания и кода обратного перемещения является реверсивный счетчик.

В табл. 5.1 представлено соответствие между числом входных импульсов x и значениями выходных переменных y_i для 4-разрядного двоичного счетчика.

Таблица 5.1

Состояния двоичного счетчика

x	y_3 8	y_2 4	y_1 2	y_0 1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

Рассматривая табл. 5.1 сверху вниз, можно отметить некоторые закономерности.

1. Значение переменной y_i изменяется тогда, когда переменная в соседнем младшем $i - 1$ разряде переходит из состояния «1» в состояние «0».

2. Значение выходной переменной y_i изменяется при поступлении очередного импульса счета в том случае, когда переменные во всех младших разрядах y_{i-1}, \dots, y_0 находятся в состоянии «1».

Первый вывод говорит о возможности реализации счетчика асинхронного типа, второй позволяет реализовать синхронный счетчик.

Закон построения вычитающего счетчика, в котором выходной код уменьшается на 1 при поступлении каждого входного импульса, также может быть получен из табл. 5.1, читая ее снизу вверх.

1. Значение выходной переменной y_i в вычитающем счетчике изменяется, когда переменная в соседнем младшем разряде y_{i-1} переходит из состояния «0» в состояние «1» (в сокращенном обозначении «0» \rightarrow «1»).

2. Значение выходной переменной y_i изменяется при поступлении очередного импульса счета в том случае, когда переменные во всех младших разрядах y_{i-1}, \dots, y_0 находятся в состоянии «0».

Асинхронный двоичный счетчик может быть реализован в виде цепочки триггеров, как показано на рис. 5.1, а. Тактовый вход каждого из последующих триггеров подключен к выходу предыдущего. Для получения суммирующего счетчика триггеры должны изменять свое состояние при переходе «1» \rightarrow «0». Следовательно, нужны триггеры, срабатывающие по заднему фронту импульсов, например, JK-триггеры типа M-S при условии $J = K = 1$. В таких счетчиках можно легко наращивать разрядность. Например, при помощи 10-разрядного двоичного счетчика можно посчитать 1023 импульса.

Временные диаграммы работы счетчика при воздействии серии входных импульсов $X_{с2}$ приведены на рис. 5.1, б.

Каждый JK-триггер выполняет функцию несинхронизируемого триггера со счетным входом. По спаду единичного вы-

ходного сигнала изменяется состояние триггера младшего разряда счетчика на противоположное.

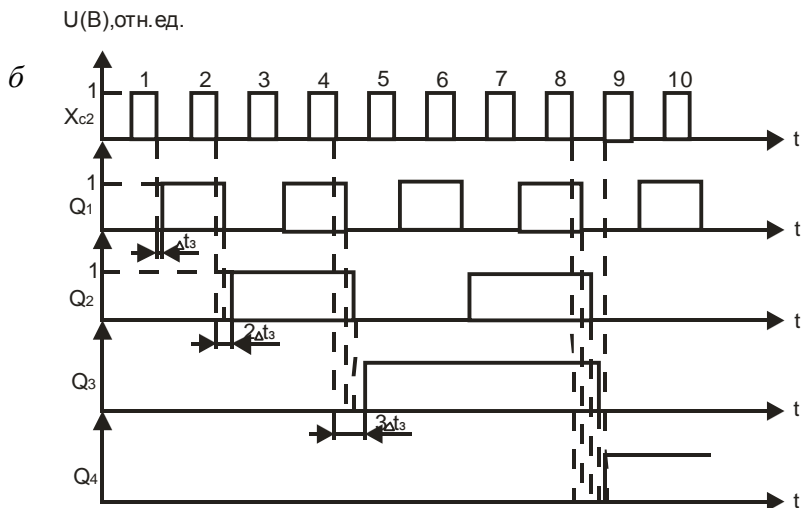
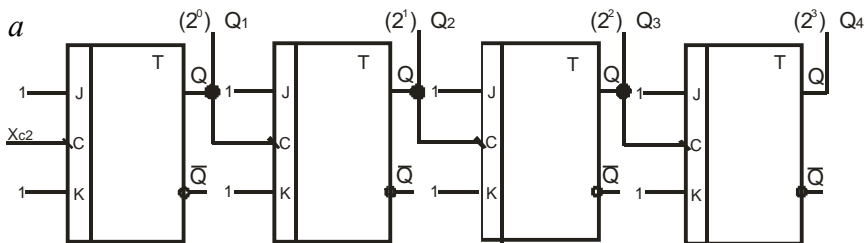


Рис. 5.1. Асинхронный двоичный счетчик с последовательным переносом:
a – принципиальная схема; *б* – временные диаграммы

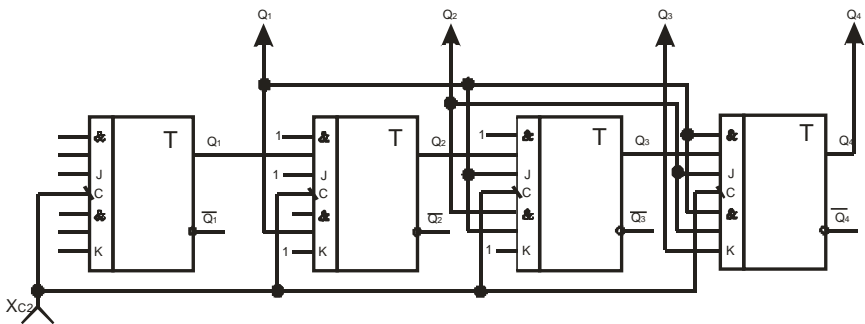
Обычно счетчик имеет цепь установки в нулевое состояние (сброс триггеров в «0»). Однако начальное состояние счетчика может быть и ненулевым. Оно может устанавливаться передачей в счетчик некоторого кода, с которого и будет начинаться счет единиц. Такой режим работы счетчика необходим, напри-

мер, при образовании последовательности адресов команд при заданном исходном адресе.

Характерной чертой асинхронного счетчика является то, что импульсы счета поступают на тактовый вход только первого триггера, а каждый из последующих триггеров управляется выходными сигналами предыдущего. Это приводит к тому, что изменение каждого из выходных сигналов от y_0 до y_i происходит с задержкой, равной времени срабатывания триггера. С ростом разрядности счетчика и будет возрастать задержка поступления сигнала на вход некоторого i -го разряда относительно времени поступления входного сигнала X_{C2} на вход C младшего разряда счетчика. Из временной диаграммы видно, что такая задержка может привести к искажению информации в счетчике (моменты времени 4 и 8). Поэтому асинхронный счетчик имеет ограничение быстродействия.

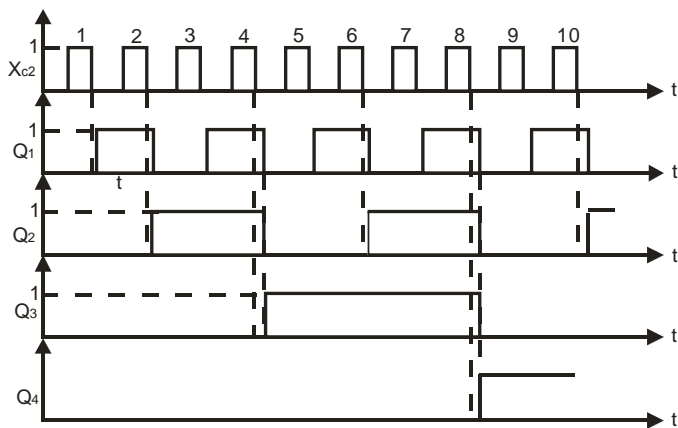
Для повышения быстродействия счетчик выполняется с параллельным переносом, который называется синхронным. Его отличительной особенностью (рис. 5.2) является то, что выходы всех предшествующих разрядов подаются на входы J и K i -го триггера [3].

Длительность переходного процесса в таком счетчике равна длительности переключения одного разряда. Из схемы видно, что с возрастанием порядкового номера триггера увеличивается число входов в элементах «И» JK-триггеров. А так как число входов J и K и нагрузочная способность выходов триггеров ограничены, то и разрядность счетчика с параллельным переносом невелика и обычно равна четырем. Поэтому при числе разрядов счетчика, большем максимального числа входов J и K , счетчик разбивают на группы и внутри каждой группы строят цепи параллельного переноса. Такое решение удобно, так как счетчики выполняются в виде ИС в отдельном корпусе. В этом случае при последовательном переносе просто осуществляется увеличение разрядности счетчика.



a

U(B), отн. ед.



б

Рис. 5.2 Двоичный синхронный счетчик с параллельным переносом:
a – принципиальная схема; *б* – временные диаграммы

При использовании триггеров с одной парой *J-K* входов наращивание разрядов можно осуществить применением в цепях межразрядных связей дополнительных схемы совпадения, на которые поступает информация с выходов предыдущих разрядов.

Описание схемы лабораторной установки и ее работы

В качестве элементной базы схемы принята серия микросхем К155. Для питания всей схемы требуется источник напряжения +5 В. Схема лабораторной установки состоит из следующих функциональных узлов:

- источника питания (рис. 5.3);
- задающего генератора (рис. 5.4);
- схема управления (рис. 5.5);
- схема реверсивного счетчика (рис. 5.6);
- схемы преобразователя кода и световой индикации (рис. 5.7).

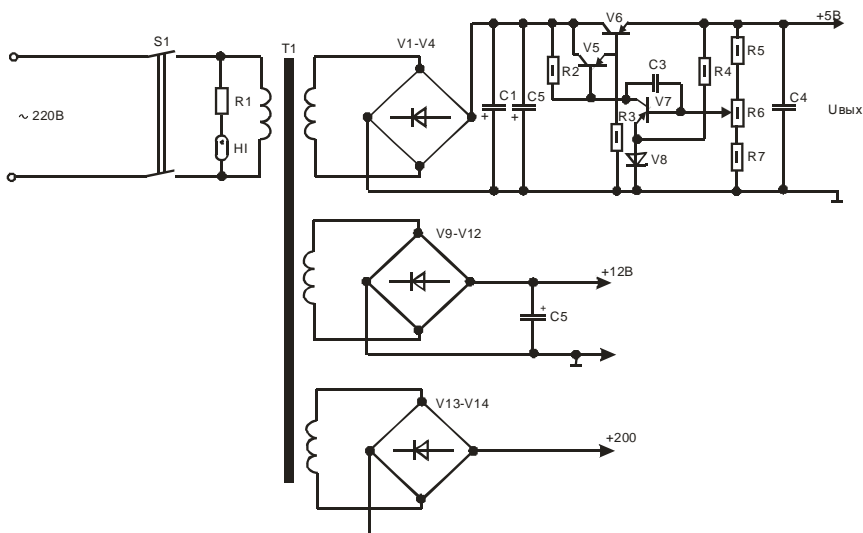


Рис. 5.3. Источник питания

Источник питания построен по классической компенсационной схеме (см. рис. 5.3). Управляющий сигнал с выходного усилителя R5, R6, R7 подается на базу сравнивающего транзистора V7, в эмиттер которого включен опорный источник на стабилитроне V8, резисторе R4 (R4 задаст ток стабилитрона).

Полученное напряжение с коллектора транзистора V7 усиливается по току эмиттерным повторителем на транзисторах V5, V6, включенных по схеме Дарлингтона. Выходное напряжение источника регулируется регулятором R6

$$U_{\text{âüô}} = U_{V7K} - U_{V5\text{áý}} - U_{V6\text{áý}}.$$

Транзисторы V5, V6 называются регулирующими.

В качестве задающего генератора (см. рис. 5.4) в схеме использован мультивибратор, собранный на элементах «2И-НЕ» D1.1, D1.2, сигнал с которого поступает на два последовательно соединенных десятичных счетчика K155ИЕ1, где делится вначале на 100, а затем на JK-триггере K155ТВ1, работающем в режиме делителя, еще на два. Таким образом, входной сигнал разделен по частоте на $10 \cdot 10 \cdot 2 = 200$ и имеет скважность, равную 2 [4].

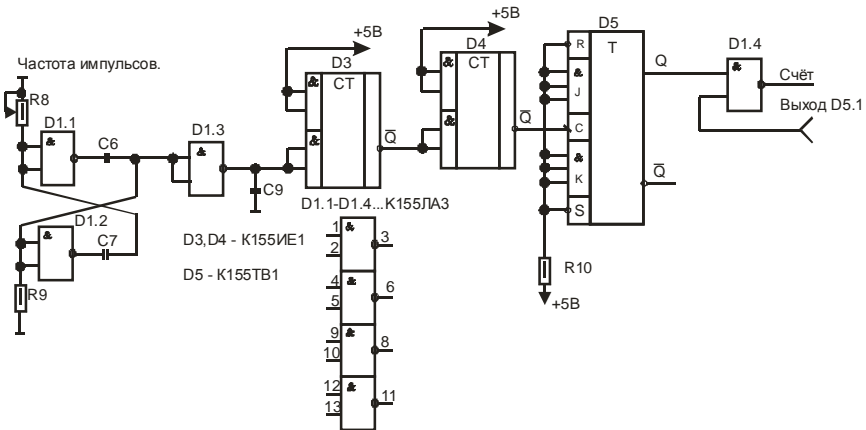


Рис. 5.4. Задающий генератор

Управление режимами работы счетчика устанавливается при помощи схемы рис. 5.5.

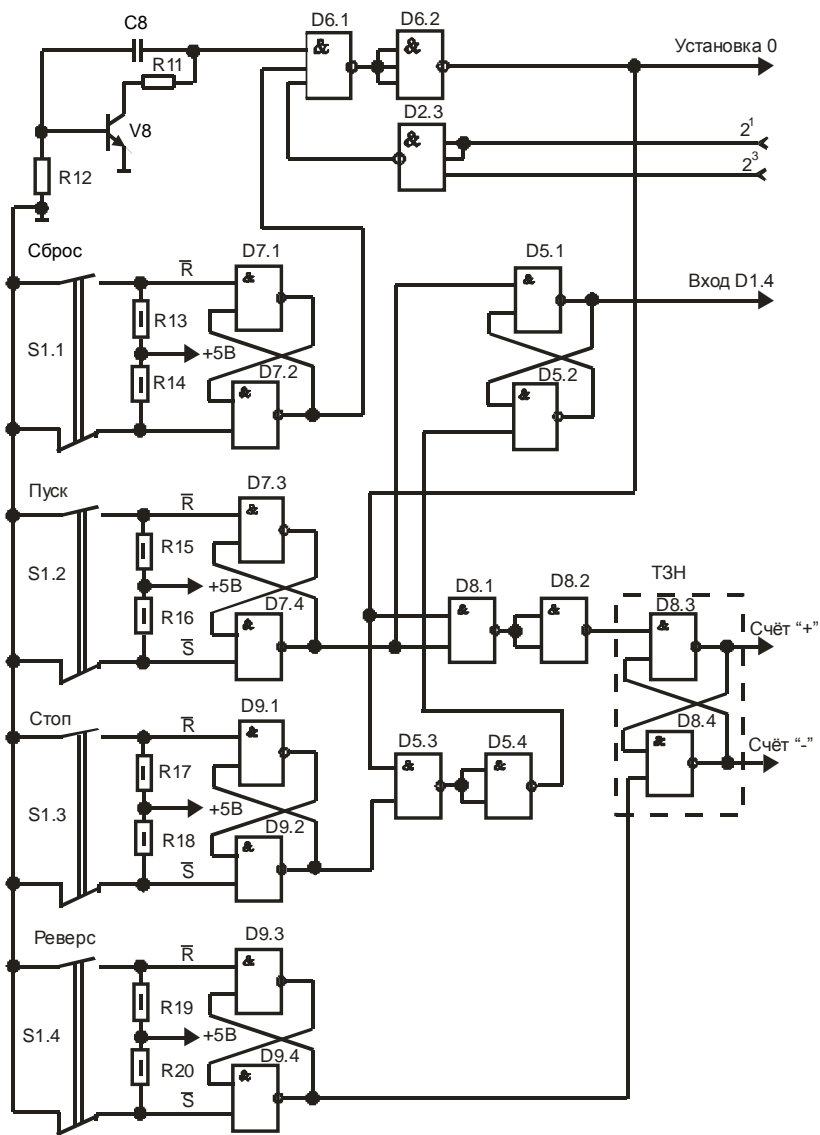


Рис. 5.5. Схема управления

В момент включения напряжения питания схемы первоначальный сброс триггеров счетчика осуществляется схемой на

транзисторе $\nabla 8$. В момент включения конденсатор $C 8$ заряжается и открывает транзистор $\nabla 8$. Напряжение $U_{\nabla 8 \dot{E} \dot{Y}} = 0$, а после окончания заряда конденсатора $U_{\nabla 8 \dot{E} \dot{Y}} = 5 \text{ В}$, что не влияет на дальнейшую работу схемы. Кнопки «Сброс», «Пуск», «Стоп», «Реверс счета» включены в схему через RS-триггеры, позволяющие исключить дребезг контактов кнопок, чем обеспечивается надежность переключения RS-триггера запуска (D5.1, D5.2) и RS-триггера реверса (D9.3, D9.4).

После запуска схемы (элемент D1.4) сигнал мультивибратора (см. рис. 5.4) в виде последовательности импульсов поступает на счетный вход синхронного реверсивного счетчика (см. рис. 5.6), собранного на четырех JK-триггерах и позволяющего производить суммирование и вычитание импульсов в двоичном коде 8–4–2–1. Причем синхронный счетчик позволяет производить реверс счета от того числа, которое показывали триггеры счетчика в режиме суммирования. Схема реверса счета выполнена на элементах «2И-НЕ» и «3И-НЕ». Управление триггерами счетчика производится по конъюнктивным входам J и K .

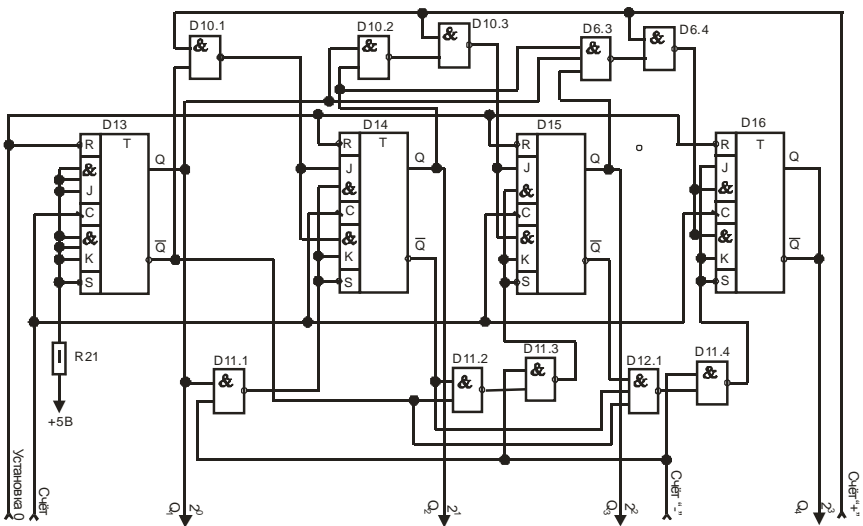


Рис. 5.6. Схема реверсивного счетчика

Выходы 8-4-2-1 счетчика индицируются светодиодами V17, V20, V22, V24 и одновременно поступают на двоично-десятичный дешифратор D17 (К155ИД4), преобразуются в десятичный код и подаются на индикаторную лампу H2 (ИН-14) (см. рис. 5.7) [4].

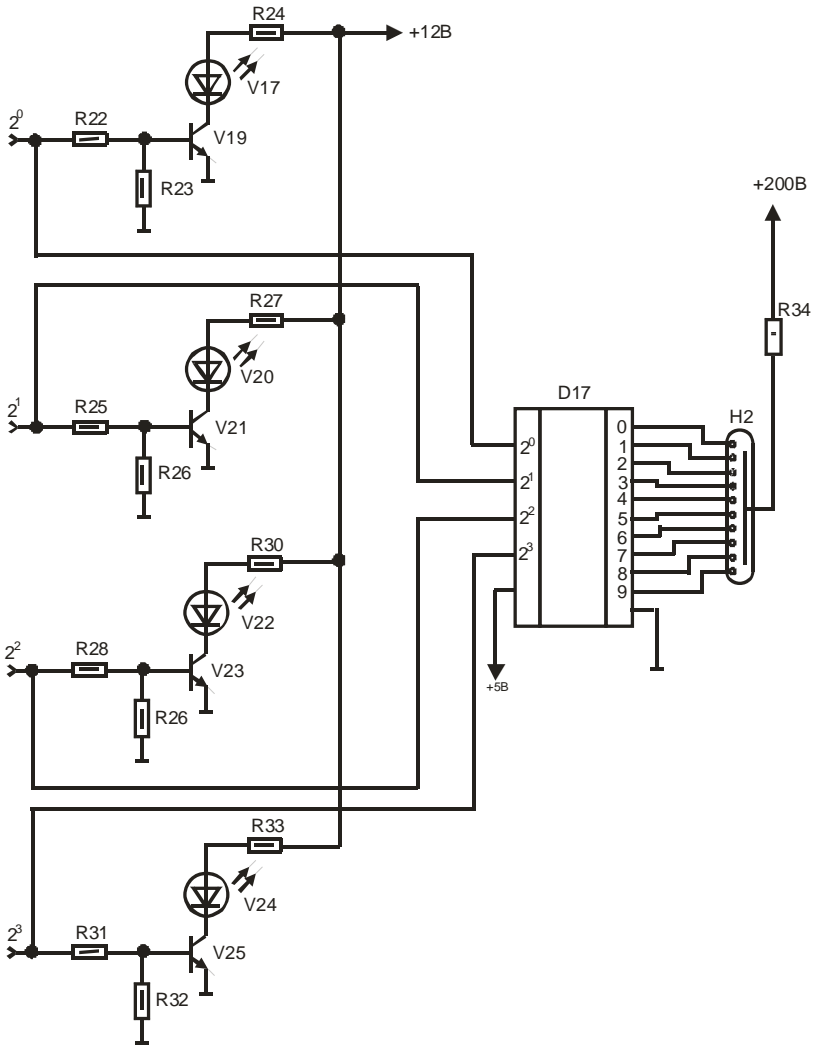


Рис. 5.7. Схемы преобразователя кода и световой индикации

Для дешифратора К155ИД1 комбинация сигналов от A до F является запрещенной (табл. 5.2). Для исключения этих комбинаций с выходов 8 и 2 через схему «2И-НЕ» D2.3 (см. рис. 5.5) введен сигнал сброса счетчика в исходное положение. В комбинации F на выходах 8 и 2 также присутствуют единичные сигналы, и это не позволяет реверсивный счет осуществлять от состояния 0000, что необходимо по условиям работы схемы.

Таблица 5.2

Запрещенная комбинация сигналов
для дешифратора К155ИД1

Двоичный код 8-4-2-1	Десятичное число	Шестнадцатиричный код
1 0 1 0	10	A
1 0 1 1	11	B
1 1 0 0	12	C
1 1 0 1	13	D
1 1 1 0	14	E
1 1 1 1	15	F

Регулировка скорости счета осуществляется при помощи комбинированного переменного резистора R8 (см. рис. 5.4).

Наличие питания схемы указывает индикаторная лампочка Н1(ИНС-1) (см. рис. 5.3).

При счете «+» управление происходит по J входам триггеров D13-D16, при счете «-» управление происходит по K входам триггеров (см. рис. 5.6).

Индикация состояния счетчика осуществляется по Q выходам триггеров.

Порядок выполнения лабораторной работы

1. Изучить правила безопасности при работе на стенде.
2. Изучить схему лабораторного стенда.

3. Включить выключатель S1 и по сигнальной лампе убедиться в наличии напряжения на схеме.
4. Опробовать регулирование частоты задающего генератора с помощью задающего резистора R8. Установить необходимую частоту импульсов.
5. Управляя кнопками «Пуск», «Стоп», «Сброс» наблюдать работу счетчика на низкой частоте импульсов.
6. То же проделать для обратного направления счета (кнопка «Реверс»).
7. Составить временную диаграмму для прямого или обратного счета (по заданию преподавателя).
8. Изучить работу световой индикации.
9. Составить логическое уравнение для преобразования заданного преподавателем кода в соответствующее изображение на световом индикаторе.

Содержание отчета

1. Цель работы.
2. Схема реверсивного счетчика и краткое пояснение принципа его работы.
3. Временная диаграмма работы реверсивного счетчика.
4. Логическое уравнение для преобразования кода и его реализация на световом индикаторе.
5. Выводы по работе.

Контрольные вопросы

1. Назначение счетчиков и их применение в устройствах программного управления (УЧПУ).
2. Типы счетчиков.
3. Принцип работы счетчика с последовательным переносом.
4. Принцип работы счетчика с параллельным переносом.
5. Типы и принцип работы дешифраторов.

6. Принцип работы устройства световой индикации.

7. Как обеспечивается счет до десяти в четырехразрядном счетчике?

Список использованных источников

1. Ильин, О. П. Автоматизация типовых технологических процессов и промышленных установок / О. П. Ильин, Ю. Н. Петренко. – Минск : БГПА, 1981. – 104 с.

2. Петренко, Ю. Н. Элементы и системы программного управления : учебное пособие / Ю. Н. Петренко. – Минск : БГПА, 1984. – 23 с.

3. Михеев, Ю. Е. Системы автоматического управления станками / Ю. Е. Михеев, В. Л. Сосонкин. – М. : Машиностроение, 1978. – 264 с.

4. Справочник по интегральным микросхемам / под ред. Б. В. Тарабрина. – М. : Энергия, 1980.

Лабораторная работа № 6

ИЗУЧЕНИЕ РЕГИСТРОВ И ДЕШИФРАТОРОВ

Цель работы: изучить свойства и схемы построения регистров и дешифраторов, выполненных на ИС 155 серии.

Краткие теоретические сведения

В системах программного управления важнейшей задачей является повышение надежности, уменьшение массы и габаритов при минимальных затратах на их изготовление. Это возможно лишь при создании электронной аппаратуры с использованием методов и средств микроэлектроники и комплексной миниатюризации. Одними из важнейших элементов систем программного управления являются регистры и дешифраторы. Регистры, применяемые в цифровых устройствах, предназначены для приема и хранения многоразрядных слов информации. Дешифраторами являются логические цепи со многими выходами для перевода двоичного, двоично-десятичного и других кодов в единый позиционный код.

Регистры

Регистры, применяемые в цифровых устройствах, по функциональному назначению разделяются на *накопительные* (регистры памяти) и *сдвигающие*. Основное назначение регистров памяти состоит в параллельном приеме многоразрядных слов информации и сохранении их в течение необходимого времени. Функциональный состав регистров памяти – это набор RS-триггеров, имеющих общую шину сброса.

Как правило, информация вводится в RS-триггеры через вентили, на которые одновременно подается сигнал ввода информации. Записанная в RS-триггерах информация снимается также через систему вентиляей.

Регистры сдвига предназначены для более сложной обработки информации за счет сдвига ее по тактовым импульсам. Наличие в регистрах сдвига возможности как параллельного, так и последовательного приема информации позволяет выполнять на регистрах последовательно-параллельное преобразование кодов. Регистры сдвига могут применяться в качестве элементов временной задержки цифровой информации, генераторов циклических кодов и счетчиков. Функциональная структура регистров сдвига значительно сложнее структуры накопительных регистров [1].

Регистры памяти

Регистры памяти применяются для хранения информации, представленной в виде двоичного кода.

Для построения регистров памяти наиболее удобны D-триггеры. На рис. 6.1 показана схема четырехразрядного регистра памяти 155TM5. Он содержит четыре тактируемых потенциалом D-триггера. Если на тактовые входы триггеров подан потенциал $C = 1$, то информация со входов D1–D4 устанавливает триггеры DS1–DS4 в соответствующие состояния. При $C = 0$ триггеры хранят запомненную информацию вне зависимости от того, какие потенциалы присутствуют при этом на входах D1–D4.

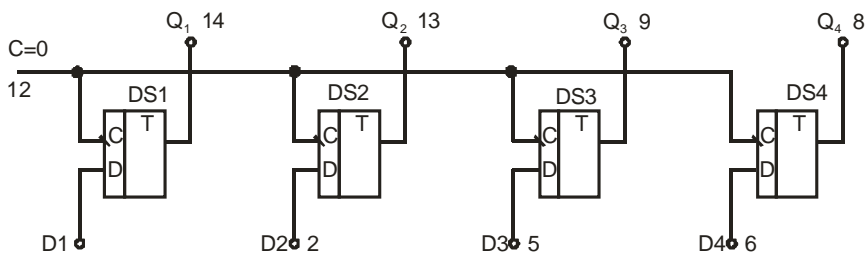


Рис. 6.1. Схема четырехразрядного регистра памяти 155TM5

Регистры памяти могут быть выполнены и на триггерах других типов, например на RS- и JK-триггерах. Однако при этом

нужно дополнять каждый триггер инвертором, обеспечивающим подачу на вход R (или K) сигнала, инверсного по отношению к сигналу на входе S (или J). Таким образом, из RS- и JK-триггеров можно получить D-триггеры, которые затем применяются так, как показано на рис. 6.1. Если подлежащая хранению информация представлена и прямыми инверсными значениями сигнала, то упомянутые выше инверторы оказываются лишними. Тактируемые фронтом триггеры могут также использоваться в регистрах памяти. При этом обновление запоминаемой информации будет происходить в моменты существования соответствующего перепада на тактовом входе.

Регистры памяти представляют собой простейшие оперативные запоминающие устройства (ОЗУ). В настоящее время разработаны различные типы интегральных ОЗУ довольно большой емкости. Запись информации в определенную ячейку таких ОЗУ и ее считывание производится при наборе на адресных входах ОЗУ кода адреса данной ячейки [2].

Регистры сдвига

Регистры сдвига широко применяются в цифровой вычислительной технике и, в частности, для преобразования последовательного кода в параллельный или параллельного кода в последовательный. Появление импульса на тактовом входе регистра сдвига вызывает перемещение записанной в нем информации на один разряд вправо или влево.

Для построения регистра сдвига удобно применять D-триггеры. На рис. 6.2 показан регистр сдвига на тактируемых фронтах D-триггерах. Выход Q предыдущего разряда присоединяется по входу D последующего. Благодаря этому каждый тактовый импульс устанавливает последующий триггер в состояние, в котором до этого находился предыдущий, осуществляя тем самым сдвиг информации на разряд вправо.

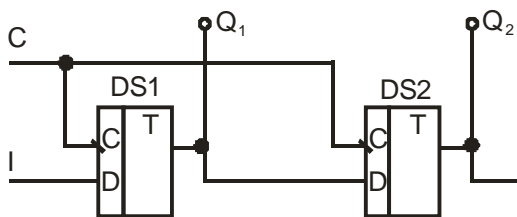


Рис. 6.2. Регистр сдвига на тактируемых фронтом D-триггерах

Вход D первого разряда служит для приема в регистр информации в виде последовательного кода. С каждым тактовым импульсом на этот вход должен подаваться код нового разряда входной информации. Запись параллельного кода информации может быть произведена через неактивируемые установочные входы триггеров регистра. С выхода Q последнего триггера снимается последовательный выходной код. Код на этом выходе регистра появляется с задержкой относительно входного последовательного кода на число периодов тактовых импульсов, равное числу разрядов регистра.

Возможно выполнение регистра сдвига на JK-триггерах (рис. 6.3). В этом случае на входы J и K следующего разряда подаются прямой и инверсный сигналы с выходов последующего.

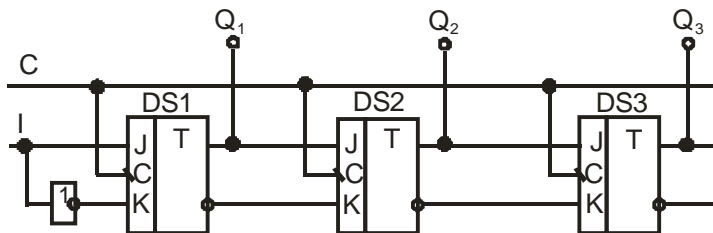


Рис. 6.3. Регистр сдвига на JK-триггерах

На рис. 6.4 показана схема четырехразрядного регистра сдвига К155ИР1. Выводы микросхемы имеют следующее функциональное назначение: 1 – информационный вход для последовательного ввода информации; 2, 3, 4, 5 – входы для парал-

лельного ввода первого–четвертого разрядов информации; 6 – вход выбора режима ввода информации; 8, 9 – входы синхронизации; 10, 11, 12, 13 – выходы для вывода четвертого–первого разрядов информации.

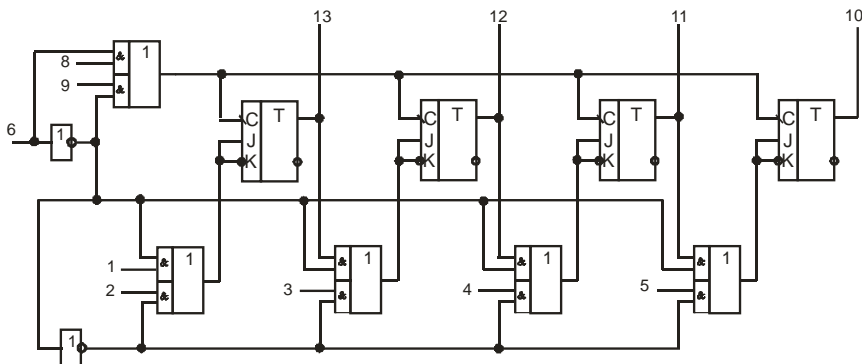


Рис. 6.4. Четырехразрядный универсальный регистр сдвига К155ИР1

Будем обозначать сигналы на входах и выходах этой микросхемы буквой H с цифровым индексом, соответствующим номеру вывода ИС. Если на входе $H_6 = 0$, а на входе H_9 подаются тактовые импульсы, то при их отрицательном перепаде регистр будет осуществлять последовательный сдвиг информации вправо. При этом на вход 1 будет подаваться информации для последовательного ввода. Если требуется произвести параллельную запись информации в триггеры регистра, то эту информацию следует подвести ко входам 2, 3, 4, 5, установить $H_6 = 1$ и подать хотя бы один тактовый импульс на вход 8.

Иногда требуется производить в регистре сдвиг информации как вправо, так и влево. Подобные реверсивные регистры сдвига строят путем применения логических коммутаторов в цепях связи между триггерами. При использовании ИС типа К155ИР1 (см. рис. 6.4) в режиме реверсивного регистра сдвига необходимо попарно соединить выходы 2 и 12, 3 и 11, 4 и 10. В этом случае логические элементы И-ИЛИ, расположенные

в нижней части рис. 6.4, будут выполнять роль логических коммутаторов. Для сдвига информации влево надо перевести регистр в параллельный режим, подав на вход 1 напряжение высокого уровня. Если же $H_6 = 1$, то входы данного триггера соединены с выходами последующего.

Таким образом, при $H_6 = 0$ и наличии тактовых импульсов на входе 9 информация будет сдвигаться вправо, а при $H_6 = 1$ тактовые импульсы на входе 8 будут сдвигать информацию влево [2].

Дешифраторы

Дешифраторы – это логические цепи со многими выходами, предназначенные для перевода двоичного (двоично-десятичного и т. п.) кода в единичный позиционный код. На каждом из выходов сигнал равен единице (или нулю) только при определенном сочетании входных сигналов. В общем случае полный дешифратор имеет n входов и 2^n выходов.

Одноступенчатый, или *линейный*, *дешифратор* представляет собой набор цепей «И», входы и выходы которых являются соответственно входами и выходами дешифратора.

Двухступенчатые дешифраторы состоят из дешифраторов первой степени, воспринимающих непосредственно входные сигналы, и дешифраторов второй степени, на входы которых подаются сигналы с выходов дешифраторов первой степени (а также могут подаваться и сами входные сигналы).

На рис. 6.5 показан двухступенчатый полный дешифратор на три входа и восемь выходов.

Первая ступень в нем состоит из одного дешифратора, воспринимающего сигналы B и C . На входы дешифратора второй степени поданы как выходные сигналы дешифратора первой степени, так и входной сигнал A . Двухступенчатый дешифратор $n \geq 4$ входных переменных целесообразно выполнять с двумя дешифраторами первой степени, один из которых воспринимает n входных сигналов, а второй $n - m$ входных сиг-

налов, причем $m \approx n/2$. В этом случае дешифратор второй ступени представляет собой набор из 2^n двухвходовых ячеек «И». В общем случае дешифраторы могут иметь и больше двух ступеней. Наибольшее возможное количество ступеней n -входного дешифратора равно $n - 1$. Именно столько ступеней имеет пирамидальный дешифратор (см. рис. 6.5) [4].

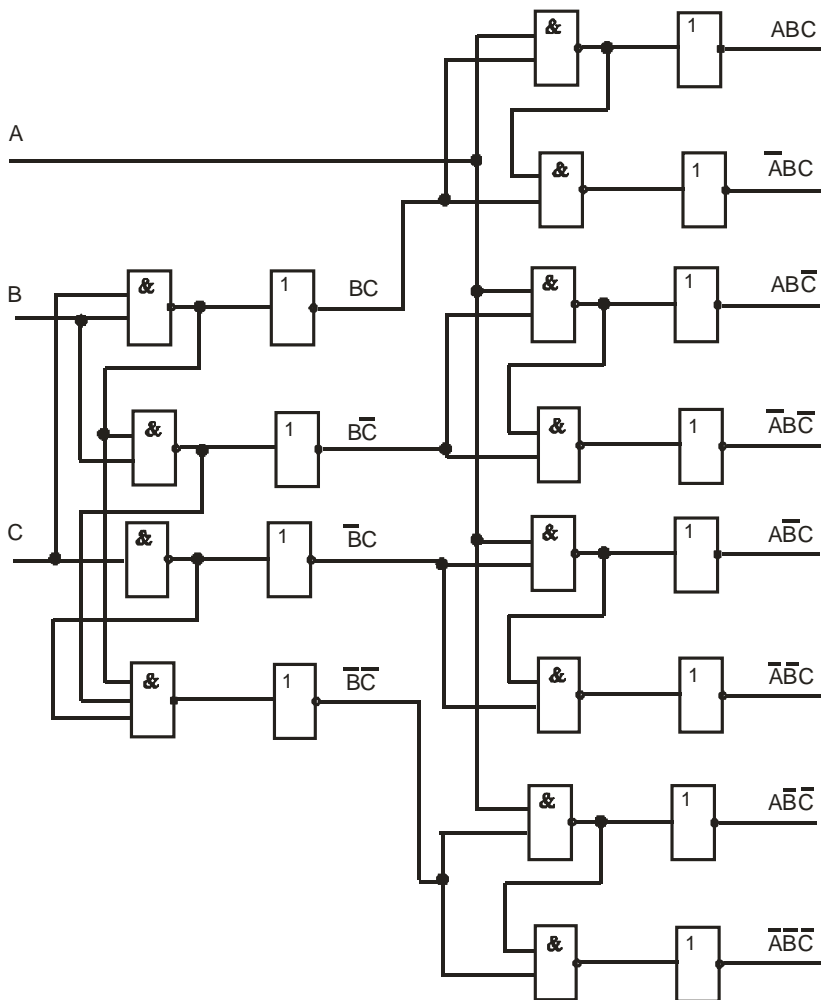


Рис. 6.5. Двухступенчатый дешифратор на три входа и восемь выходов

Сравнение дешифраторов может быть произведено по количеству входов всех цепей «И», составляющих дешифратор (каждая цепь «И» или «НЕ-ИЛИ»). Линейный (одноступенчатый) дешифратор требует для своего построения 2^n ячеек «И», каждая из которых должна иметь n входов. Следовательно, общее количество входов в этом случае будет

$$N_1 = n \cdot 2^n.$$

Двухступенчатый дешифратор, состоящий из двух линейных дешифраторов первой ступени (на один из которых подано m , а на другой $n - m$ выходных сигналов) и линейного дешифратора второй ступени, который состоит из схем «И», имеющих следующее суммарное количество входов:

$$N_2 = m \cdot 2^n + (n - m) \cdot 2^{n-m} + 2 \cdot 2^n.$$

В этом соотношении предполагается, что $m > 1$ и $(n - m) > 1$. Если же один из двух дешифраторов первой ступени отсутствует ($m = 1$ или $n - m = 1$), то соответствующий член полученного соотношения опускается.

Для пирамидального дешифратора, содержащего $n - 1$ линейных дешифраторов, построенных на основе двухвходовых ячеек «И», общее количество входов N_{n-1} всех ячеек «И» можно определить по следующей формуле:

$$N_{n-1} = 2 \cdot 2^2 + 2 \cdot 2^3 + 2 \cdot 2^4 + \dots + 2 \cdot 2^n = 2^{n+2} - 2^3.$$

Ниже приведена табл. 6.1, в которой показано количество входов цепей «И», необходимых для построения линейных, двухступенчатых и пирамидальных дешифраторов различной сложности.

Количество цепей «И»,
необходимых для построения дешифраторов

Число входов дешифратора	Число выходов дешифратора	Число входов цепей «И»		
		Линейный дешифратор	Двухступенчатый дешифратор	Пирамидальный дешифратор
2	4	8	–	–
3	8	24	24	24
4	16	64	48	56
5	32	160	96	120
6	64	384	176	248
7	128	896	344	504
8	256	2048	640	1016

Из табл. 6.1 видно, что при количестве входов два–три целесообразно строить линейный дешифратор, а при четырех и более входах экономичным является двухступенчатый дешифратор [3].

Микросхема К155ИД4 представляет собой два дешифратора, принимающих двухразрядный код адреса А0, А1 (рис. 6.6). Дешифратор DCA имеет два входа разрешения: прямой Ea и инверсный \overline{Ea} , а дешифратор DCB – только инверсные входы разрешения дешифрации \overline{Eb} .

Если микросхема К155ИД4 используется как мультиплексор, дешифратор DCA может принимать по входам Ea и \overline{Ea} , как прямой, так и инверсный код. Состояния для обоих дешифраторов как при дешифрации кода А0, А1, так и при демultipлексировании по адресу А0, А1 сведены в табл. 6.2. Микросхему можно использовать как дешифратор трехразрядного кода на восемь выходов и как демultipлексор от одного входа на восемь выходов. Соответствующие коды приведены в табл. 6.3. Для дешифрации трехразрядного кода следует соединить Ea и \overline{Eb} . (адресный вход А2), \overline{Eb} и \overline{Ea} (вход разрешения).

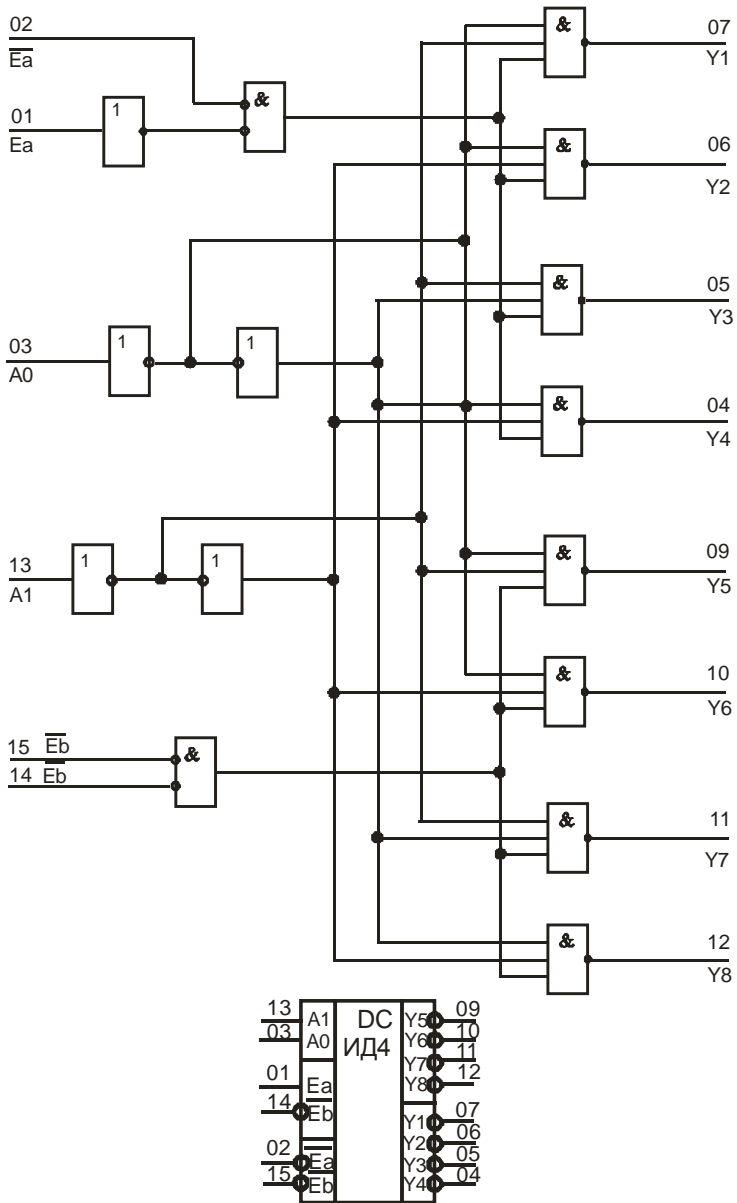


Рис. 6.6. Логическая структура и условное графическое обозначение дешифратора-мультиплексора К155ИД4

Таблица 6.2

Состояние дешифратора К155ИД4 (дешифратор: два входа, четыре выхода; демультиплексор: один вход, четыре выхода)

Вход				Выход			
Адрес		Разрешение	Данные				
A0	A1	Ea	\overline{Ea}	Y_1	Y_2	Y_3	Y_4
X	X	B	X	B	B	B	B
H	H	H	B	H	B	B	B
H	B	H	B	B	H	B	B
B	H	H	B	B	B	H	B
B	B	H	B	B	B	B	H
B	X	X	H	B	B	B	B

Таблица 6.3

Состояние дешифратора К155ИД4 (дешифратор: три входа, восемь выходов; демультиплексор: один вход, восемь выходов)

Вход				Выход							
Адрес			Разрешение или данные	0	1	2	3	4	5	6	7
Ea и \overline{Ea}	A0	A1	Ea и \overline{Eb}	Y_5	Y_6	Y_7	Y_8	Y_1	Y_2	Y_3	Y_4
X	X	X	B	B	B	B	B	B	B	B	B
H	H	H	H	H	B	B	B	B	B	B	B
H	H	B	H	B	H	B	B	B	B	B	B
H	B	H	H	B	B	H	B	B	B	B	B
H	B	B	H	B	B	B	H	B	B	B	B
B	H	H	H	B	B	B	B	H	B	B	B
B	H	B	H	B	B	B	B	B	H	B	B
B	B	H	H	B	B	B	B	B	B	H	B
B	B	B	H	B	B	B	B	B	B	B	H

Порядок выполнения лабораторной работы

1. Подключить установку к питающей сети 220 В.
2. Включить тумблер «Сеть».
3. Ознакомиться с работой логических элементов 2И-НЕ, 4И-НЕ, 2И-2И-ИЛИ-НЕ и JK-триггера микросхем серии К155.
4. На экране осциллографа получить изображение сигналов с выходов генератора синхроимпульсов (4 мГц, 2 мГц, 1 мГц, 500 кГц).
5. На экране осциллографа получить временные диаграммы распределителя и формирователя.
6. Собрать на лабораторной установке схемы регистров, изображенные на рис. 6.1–6.3.
7. Используя логические элементы И-НЕ, разработать дешифратор на два входа и четыре выхода и собрать его схему на элементах И-НЕ, расположенных на передней панели лабораторной установки.
8. Ознакомиться с принципиальной схемой и работой четырехразрядного универсального регистра сдвига К155ИР1 (см. рис. 6.4).
9. Ознакомиться с принципиальной схемой двухступенчатого дешифратора на три входа и восемь выходов (см. рис. 6.5).
10. Ознакомиться с принципиальной схемой и работой дешифратора-мультиплексора КМ155ИД4 (см. рис. 6.6).

Содержание отчета

1. Цель работы.
2. Схемы регистров, изображенные на рис. 6.1, 6.2 и 6.3, краткое пояснение принципа их работы.
3. Схема четырехразрядного универсального регистра сдвига К155ИР1 (рис. 6.4), краткое описание режимов его работы.
4. Выводы по работе.

Контрольные вопросы

1. Назначение и классификация регистров и дешифраторов.
2. Схемы построения регистров памяти.
3. Схемы построения регистров сдвига.
4. Схемы одноступенчатых дешифраторов.
5. Схемы двухступенчатых дешифраторов.
6. Как произвести сравнение дешифраторов?
7. Схема построения дешифратора-мультиплексора КМ155ИД4.

Список использованных источников

1. Пятлин, О. А. Проектирование микроэлектронных цифровых устройств / О. А. Пятлин [и др.]. – М. : Советское радио, 1977. – 272 с.
2. Гутников, В. С. Интегральная электроника в измерительных устройствах / В. С. Гутников. – Л. : Энергия, Ленингр. отделение, 1980. – 248 с.
3. Гутников, В. С. Интегральная электроника в измерительных приборах / В. С. Гутников. – Л. : Энергия, 1974. – 144 с.
4. Справочник по интегральным микросхемам / под ред. Б. В. Тарабрина. – М. : Энергия, 1980.

Лабораторная работа № 7

ИЗУЧЕНИЕ ОДНОБАЙТНОГО СУММАТОРА ПАРАЛЛЕЛЬНОГО ТИПА

Цель работы: изучить построение однобайтного сумматора параллельного типа с поразрядным последовательным переносом, со сквозным последовательным и с групповым переносом.

Краткие теоретические сведения

Сумматорами называются логические устройства, выполняющие операцию сложения двух чисел. В зависимости от способа обработки чисел различают последовательные и параллельные сумматоры.

Последовательные сумматоры строятся на основе одноразрядной суммирующей схемы. В таких устройствах сложение двух чисел производится поразрядно последовательно во времени.

Параллельные сумматоры комбинационного типа строят, как правило, по каскадному принципу на основе композиции одноразрядных суммирующих схем, причем обработка чисел в таких устройствах производится одновременно во всех разрядах. Логическое проектирование в этом случае сводится к синтезу одноразрядных сумматоров и организации цепей переноса в соответствии с заданными требованиями на быстродействие [1].

Одноразрядные суммирующие схемы различают по числу входов. Рассмотрим синтез одноразрядных суммирующих схем на два входа A_i и B_i . Их часто называют полусумматорными или сумматорами по модулю 2. Выходными сигналами такого устройства являются сумма S_i и перенос P_i , который при суммировании по модулю 2 не используется. Работа полусумматора может быть задана табл. 7.1, в соответствии с которой S_i и P_i могут быть записаны в виде

$$\left. \begin{aligned} S_i &= A_i \overline{B_i} + \overline{A_i} B_i, \\ P_i &= A_i B_i. \end{aligned} \right\} \quad (7.1)$$

При построении сумматоров на ИС обычно ставится задача оптимального проектирования для удовлетворения требования максимального быстродействия и обеспечения минимального количества однотипных логических элементов. Быстродействие устройств на ИС в основном определяется задержкой логических элементов НЕ. Поэтому для получения максимального быстродействия сумматоров необходимо проектировать схему с минимальным числом последовательно соединенных элементов НЕ. Отсюда предпочтительным при построении комбинационных схем с максимальным быстродействием является функционально избыточный базис И-ИЛИ-НЕ.

Таблица 7.1

Таблица истинности полусумматора

A_i	B_i	S_i	P_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Рассмотрим реализацию полусумматора на логических элементах И-ИЛИ-НЕ. Для этого представим выражение для переключающих функций S_i (7.1) в виде структурного уравнения:

$$S_i = \overline{\overline{A_i} \overline{B_i} + A_i B_i}.$$

Схемное решение для этой функции с учетом цепи образования переноса показано на рис. 7.1 [2].

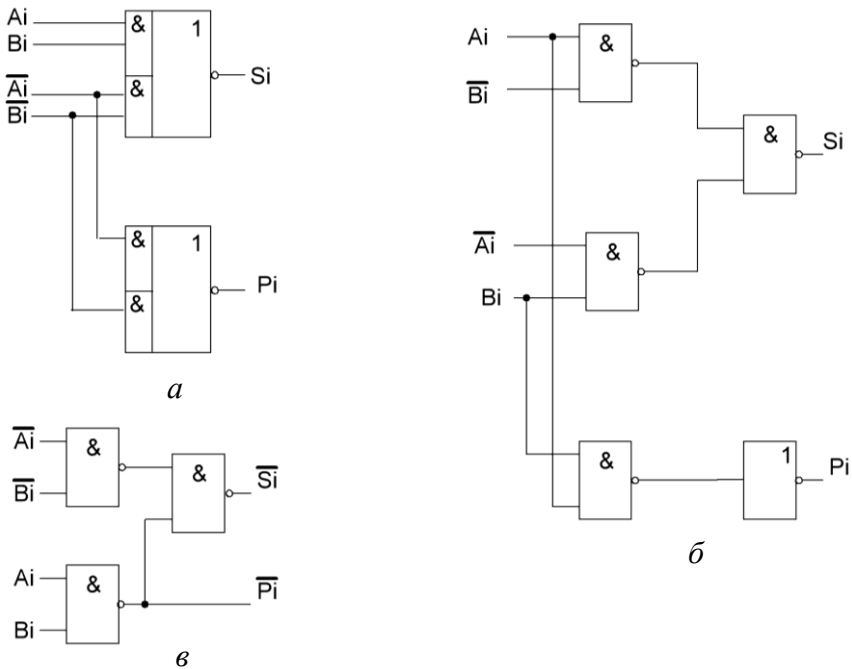


Рис. 7.1. Примеры структуры полусумматоров, использующих прямые и инверсные коды слагаемых:
a – схема, выполненная на элементах И-ИЛИ-НЕ; *б* – схема, выполненная на элементах И-НЕ с разделением цепей функций S_j, P_j ; *в* – схема, выполненная на элементах И-НЕ с объединением цепей S_j, P_j

Поскольку коэффициент разветвления по выходу логического элемента И в интегральных схемах, как правило, не превышает единицы, то при реализации переключательной функции P_j для однотипности применяется элемент И-ИЛИ-НЕ, в котором в силу использования только одного входа элементов И выполняется функция ИЛИ-НЕ. Тогда функция P_j может быть представлена структурным уравнением

$$P_j = \overline{\overline{A_j} + \overline{B_j}}.$$

Максимальное быстродействие полусумматора, выполненного на логических элементах И-ИЛИ-НЕ, определяется временем задержки одного элемента НЕ.

Представим выражение (7.1) в форме, удобной для реализации на логических элементах И-НЕ:

$$\left. \begin{aligned} S_i &= \overline{\overline{A_i B_i} \cdot \overline{A_i B_i}} \\ P_i &= \overline{A_i B_i} \end{aligned} \right\} \quad (7.2)$$

На рис. 7.1, б показана структура, построенная по уравнениям (7.2). Схема содержит четыре логических элемента И-НЕ и один инвертор. Время суммирования ее определяется задержкой двух последовательно соединенных элементов НЕ.

С целью сокращения количества логических элементов, необходимых для построения сумматора, преобразуем переключательную функцию S_i (7.1) так, чтобы использовать общий логический элемент для реализации как функции суммы, так и функции переноса. Тогда система логических формул для инверсных значений S_i , P_i может быть представлена следующим образом:

$$\left. \begin{aligned} \overline{S_i} &= \overline{\overline{A_i B_i} \cdot \overline{\overline{A_i B_i}}} \\ \overline{P_i} &= \overline{A_i B_i} \end{aligned} \right\}$$

Описание лабораторной установки

Функционально установка состоит:

- из задающе-управляющей части;
- исполнительной части;
- блока питания [3].

Задающе-управляющая часть служит для управления процессом сложения и состоит из тумблерных регистров для задания слагаемых, генератора и распределителя импульсов, вырабатывающих управляющие сигналы. Генератор и распределитель импульсов вырабатывают серию сигналов в следующей последовательности:

- «начало цикла» – сигнал для синхронизации развертки осциллографа;
- «гашение» – подготавливает схемы к приему слагаемых;
- «одно слагаемое» – пропускает слагаемое «А» на сумматор;
- «сложить» – подает на сумматор слагаемое «В»;
- «перенос» – обеспечивает распространение сигнала переноса.

Порядок следования управляющих сигналов приведен на временных диаграммах, изображенных на передней панели лабораторной установки. На сумматоры эти сигналы могут поступать непрерывно с частотой 125 кГц и однократно после нажатия кнопки «Пуск».

Режимы «непрерывный» и «одиночный» устанавливаются переключателем режимов, расположенном на передней панели установки. В «одиночном» режиме поступление управляющих сигналов в схемы сумматоров управляется состоянием триггера DD3.2 (рис. 7.2). После нажатия кнопки «Пуск» сигнал, выработанный генератором одиночных импульсов (DD4, DD5, DD6, DD7.1), устанавливает триггер DD3.2 в положение «1». При этом выходные вентили распределителя импульсов открыты для прохождения сигналов в схеме сумматоров [3].

Импульсом «конец цикла» распределителя триггер сбрасывает в состояние «0» и закрывает выходные вентили распределителя импульсов.

В непрерывном режиме работы на управляющие входы выходного каскада распределителя поступает постоянное напряжение +5 В через резистор $R5 = 1 \text{ кОм}$.

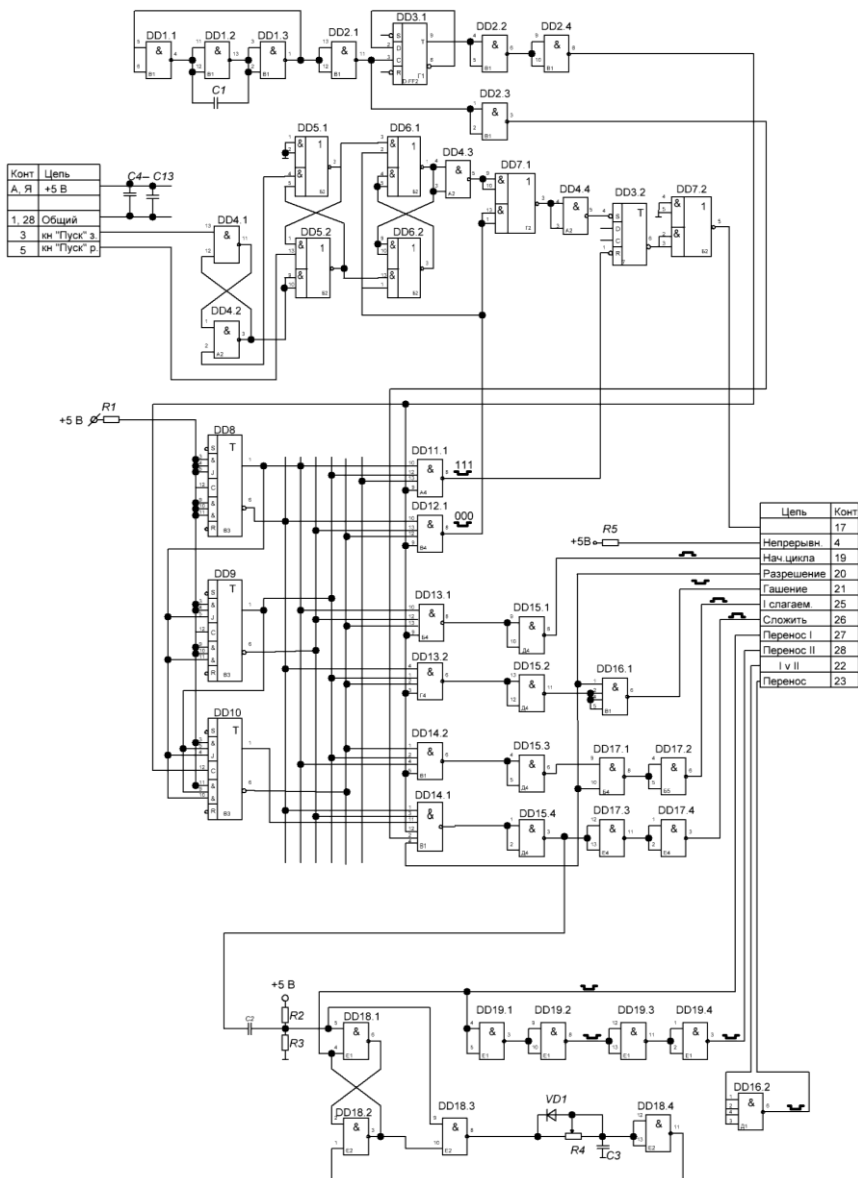


Рис. 7.2. Схема генератора и распределителя импульсов

Сигналы управления вырабатываются распределителем импульсов, построенном на дешифраторе, задействованном с выходом счетчика (DD8–DD10). Запуск счетчика осуществляется сигналом частотой 1 МГц.

Частота задающего генератора (DD1) – 2 МГц, стробирование выходов дешифратора осуществляется сигналами 1 МГц и 2 МГц (длительность выходных импульсов 0,5 мкс и 0,25 мкс).

Формирование сигнала переноса происходит по заднему фронту сигнала «сложить» формирователем, построенном на элементе DD18.

Фронт сигнала «перенос» может совпадать с задним фронтом сигнала «сложить» при положении тумблера переноса и может быть задержан относительно заднего фронта сигнала «сложить» не менее, чем на 50 нс при положении «|» тумблера переноса.

Исполнительная часть состоит из трех сумматоров с различными видами переноса. На лицевой панели установки схемы сумматоров нанесены в следующей последовательности (рис. 7.3):

- верхний ряд-сумматор со сквозным последовательным переносом;
- средний ряд-сумматор со сквозным переносом;
- нижний ряд-сумматор с групповым переносом.

Накапливающий сумматор с поразрядным последовательным переносом построен на триггерах D типа (рис. 7.4). Сигнал поразрядного переноса длительностью 0,3 мкс $\pm 20\%$ формируется дифференцирующей цепочкой, работающей от отрицательного фронта сигнала переноса напряжения на единичном выходе триггера. Для задержки межразрядных переносов используется линия задержки на 0,25 мкс. Общая задержка в тракте переноса 0,3 мкс $\pm 20\%$ [3].

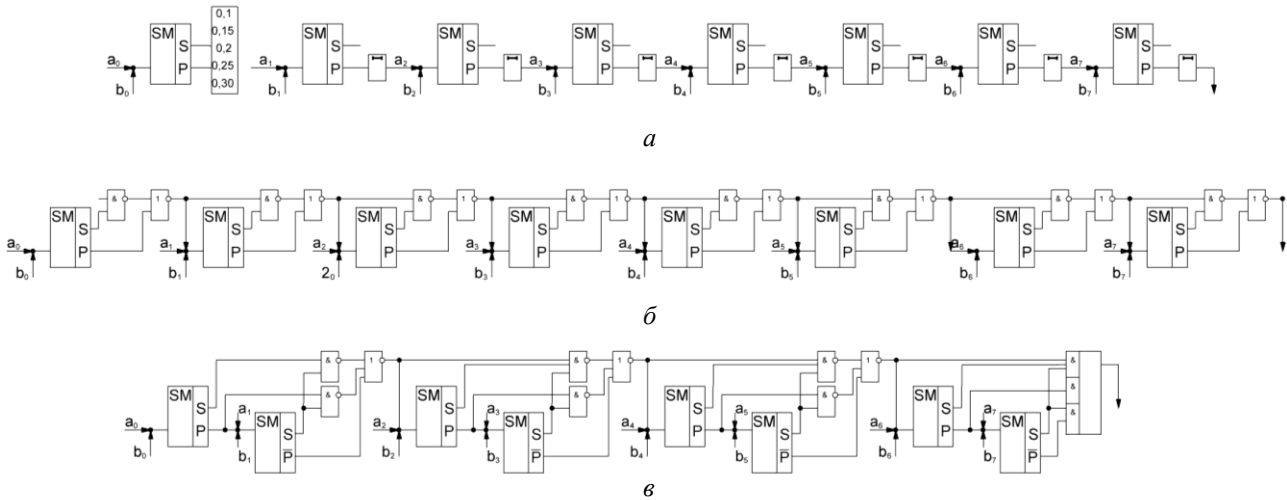


Рис. 7.3. Схемы сумматоров на лицевой панели лабораторной установки:
a – со сквозным последовательным переносом; *б* – со сквозным переносом; *в* – с групповым переносом

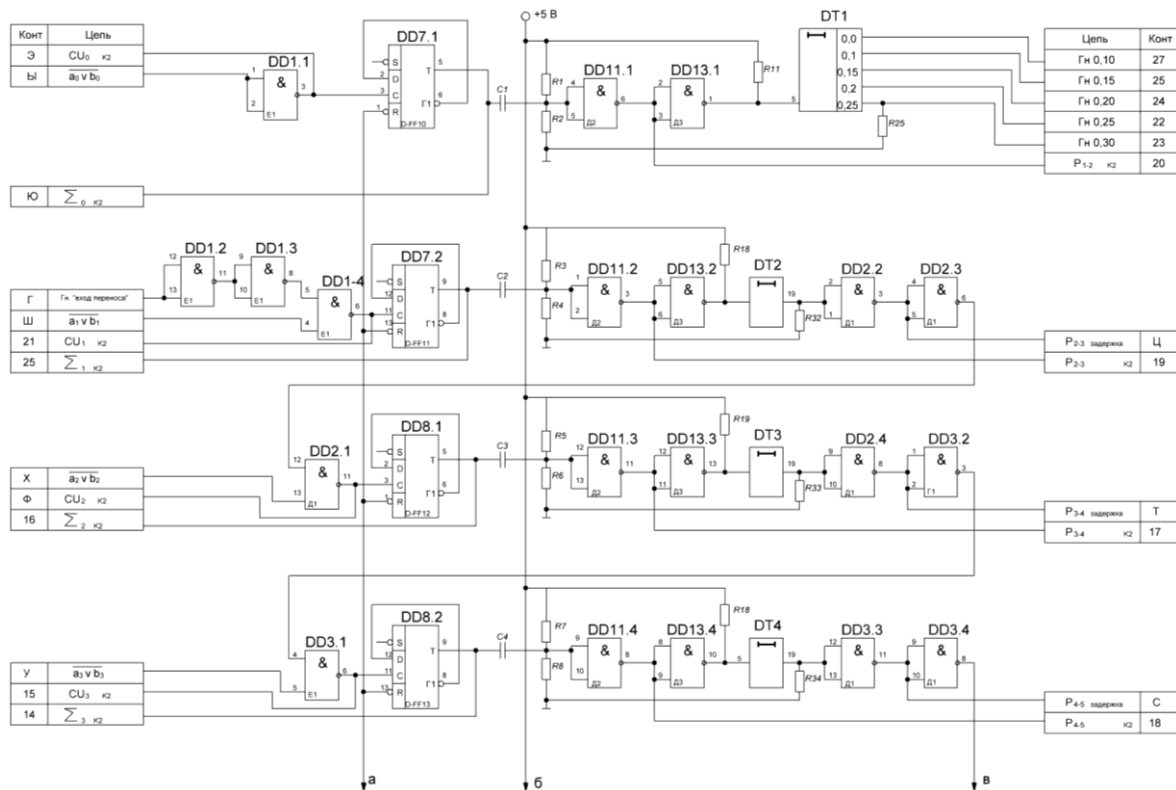


Рис. 7.4. Схема сумматора с последовательным переносом (разряды $2^0, \dots, 2^3$)

С целью выявления практической задержки в цепь переноса из первого во второй разряд сумматора включена задержка от 0,05 до 0,25 мкс через 0,05 мкс. Общая величина задержки с учетом формирующих элементов составляет соответственно 0,1; 0,15; 0,20; 0,25; 0,30 мкс с отклонением $\pm 20\%$.

На диапазонах задержки 0,25 и 0,3 мкс происходит четное разделение сигналов «сложить» и «перенос» из первого разряда.

При сбрасывании триггера в «0» в такте «гашение» может возникнуть ложный сигнал переноса, который проходит на вход следующего разряда. Действие его на триггер сумматора блокируется сигналом «гашение», имеющим большую длительность на входе R .

Контрольные точки, выведенные на лицевую панель, позволяют наблюдать следующие сигнала:

- сумму в данном разряде;
- перенос, сформированный в данном разряде;
- задержанный перенос, поступающий в следующий разряд сумматора;
- импульсы на суммирующем входе триггера за весь цикл сложения.

Временные диаграммы суммирования чисел $A = 11111111$ и $B = 00000001$ показаны на рис. 7.5.

Основу накапливающего сумматора со сквозным последовательным переносом составляют триггеры JK типа. Схема сумматора (четырёх разрядов) приведена на рис. 7.6. Сигналы со схем объединения слагаемых A и B (DD2, DD4) поступают на входы суммирующих элементов всех сумматоров.

Вследствие особенности работы JK-триггеров (JK-триггер переключается по заднему фронту положительного сигнала на входе C) можно не включать линию задержки в тракт поразрядного переноса, поскольку задержка на длительность сигнала получается автоматически.

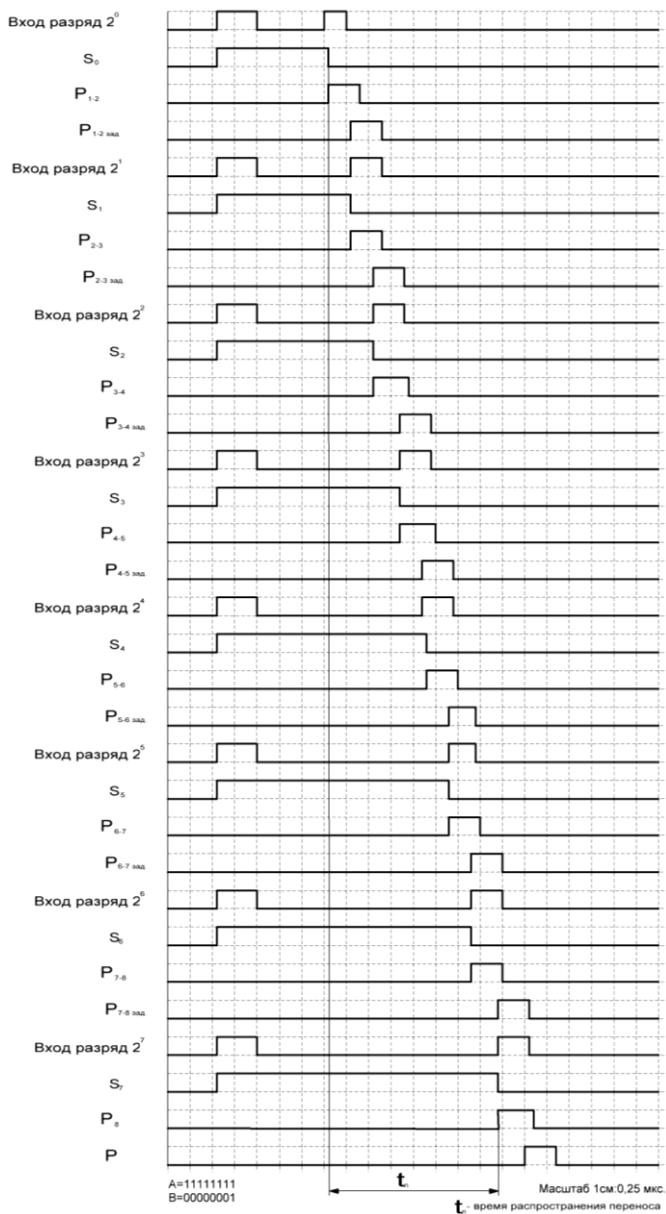


Рис. 7.5. Временные диаграммы работы сумматора с последовательным переносом

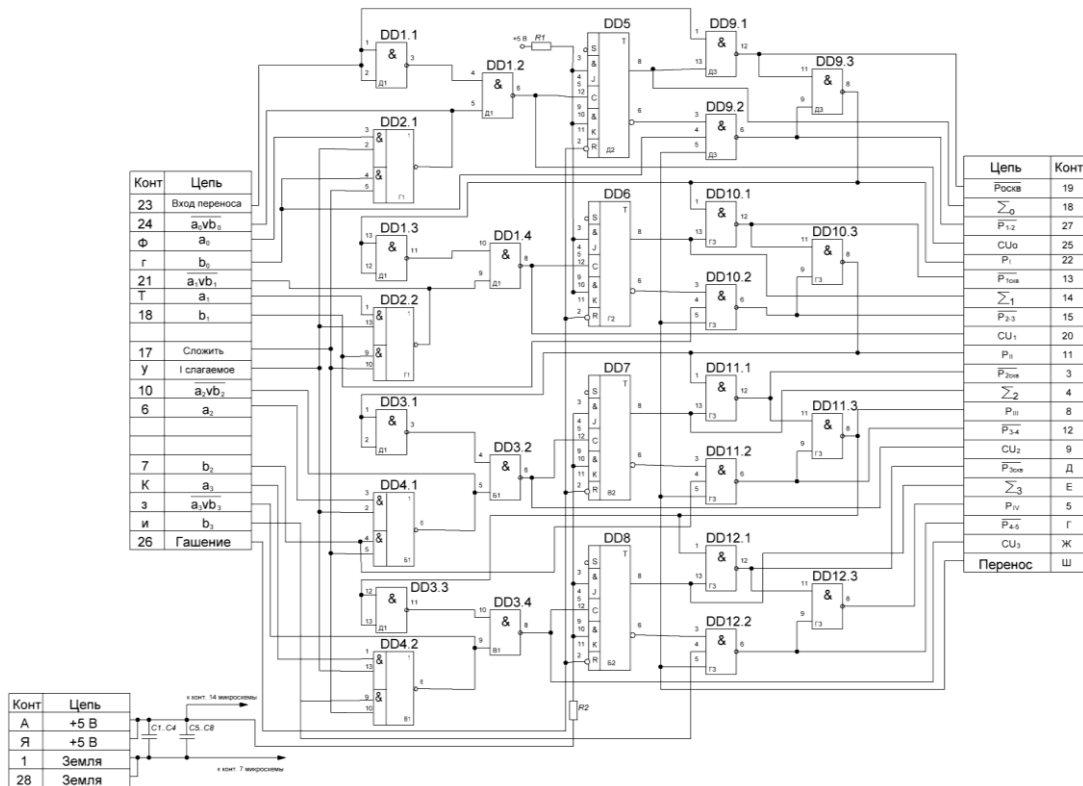


Рис. 7.6. Сумматор со сквозным переносом (разряды $2^0, \dots, 2^3$)

Сигнал переноса формируется в соответствии с формулой

$$D_K = \tilde{N}_K \cdot D_{K-1} + G_K,$$

где \tilde{N}_K – условие сквозной передачи переноса через K -й разряд;

D_{K-1} – перенос из $(K - 1)$ -го разряда сумматора;

G_K – перенос, выработанный в K -м разряде.

$$G_K = a_K \cdot b_K,$$

где a_K, b_K – разряды слагаемых.

$$C_K = \overline{a_K} \cdot b_K \vee a_K \cdot \overline{b_K}.$$

Так как для формирования суммы счетный триггер, который реализует функцию $\oplus \text{mod}2$, то для формирования выработанного переноса удобно в данном случае пользоваться формулой

$$G_K = a_K b_K = \overline{\tilde{N}_K} \cdot b_K = (\overline{a_K} \cdot b_K \vee a_K \cdot \overline{b_K}) b_K.$$

При этом функция \tilde{N}_K реализуется на инверсном выходе триггера после выполнения такта «сложить». Применена схема с коммутирующим импульсом переноса. Сигналом коммутации является сигнал «Перенос».

Для реализации схем формирования переноса используется микросхема К155ЛА4 (три трехходовых элемента И-НЕ – DD10–DD12): один элемент И-НЕ формирует выработанный в данном разряде перенос, другой – сквозной перенос, а третий – выполняет функцию ИЛИ-НЕ для инверсных значений сквозного и выработанного переносов. Сигнал «перенос» должен быть задержан относительно заднего фронта сигнала «сложить» не менее, чем на 50 нс (положение «||» тумблера), тогда формируется сигнал сложного переноса, благодаря задержке переходных процессов в триггере (при кодах слагаемых $A = 0, B = 1$).

Работа сумматоров для кодов $A = 11111111$ и $B = 00000001$ иллюстрируется временными диаграммами на рис. 7.7.

В каждом разряде на лицевую панель выводятся следующие сигналы:

- сигнал на входе суммирующего элемента;
- сумма в данном разряде;
- перенос, возникающий в данном разряде (инверсный);
- сквозной перенос через данный разряд (инверсный);
- общий перенос из данного разряда.

Накапливающий сумматор с групповым переносом также построен на JK-триггерах (рис. 7.8) с группами равной длины (два разряда в каждой группе).

Значение переноса в данном сумматоре определяется по формуле

$$E_{ONE} = P_i \cdot C_j \cdot G_{i+1} \vee G_j \cdot G_{i+1} \vee G_{i+1},$$

где P_i – сигнал переноса в младший разряд группы, $i = 1, 3, 5, 7$;

C_j, C_{i+1} – условия сквозного распространения переноса в разрядах группы;

G_j, G_{i+1} – условия возникновения переноса в разрядах группы.

E_{ONE} можно представить в виде

$$E_{ONE} = P_i \cdot S_j \cdot S_{i+1} \vee (\bar{S}_j \cdot b_j) \cdot S_{i+1} \vee \bar{S}_{i+1} \cdot b_{i+1},$$

где $P_i \cdot S_j \cdot S_{i+1}$ – сквозной перенос через оба разряда группы, который имеет место при сумме в $i, i+1$ разрядах $S_j = S_{i+1} = 1$;

$(\bar{S}_j \cdot b_j) \cdot S_{i+1}$ – условия возникновения переноса в младшем разряде группы $(\bar{S}_j \cdot b_j)$ и передачи его через следующий разряд группы (S_{i+1});

$\bar{S}_{i+1} \cdot b_{i+1}$ – условие возникновения переноса в старшем разряде группы.

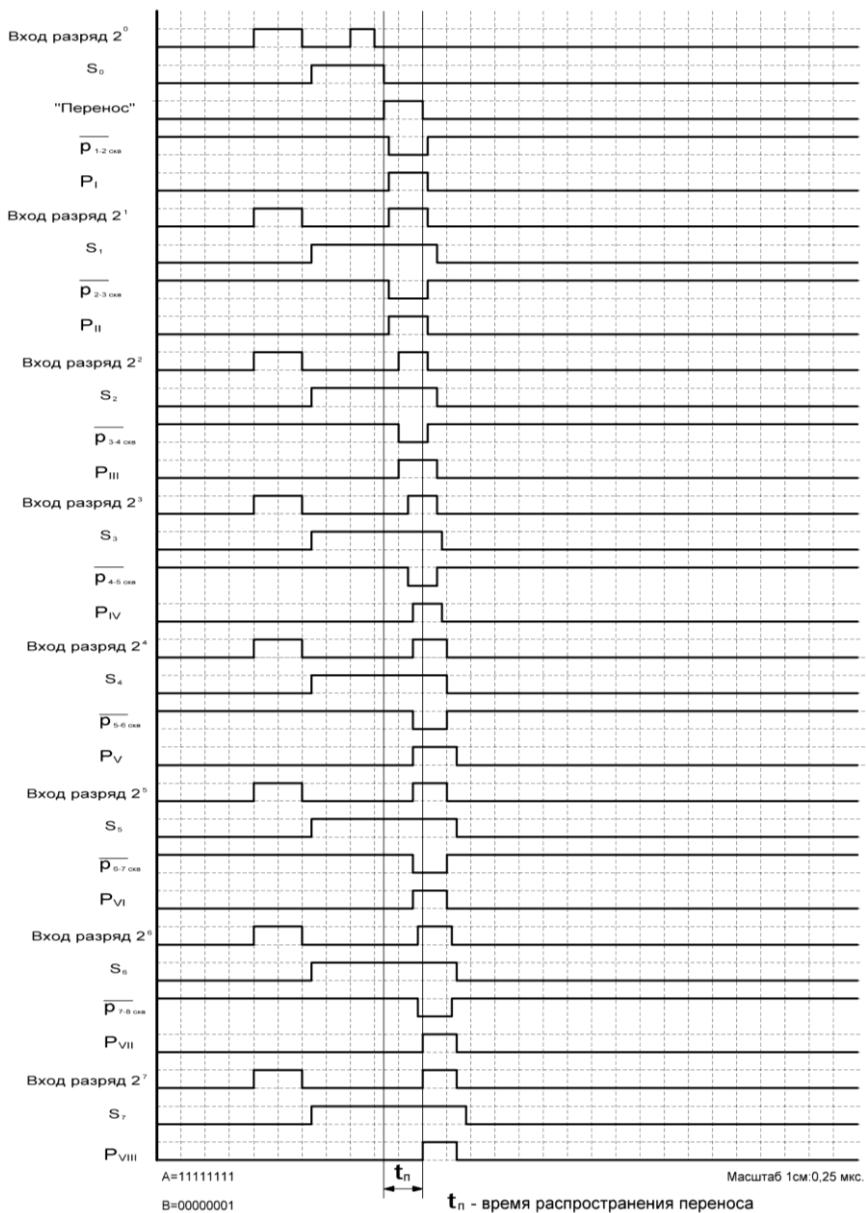


Рис. 7.7. Временные диаграммы сумматора со сквозным переносом

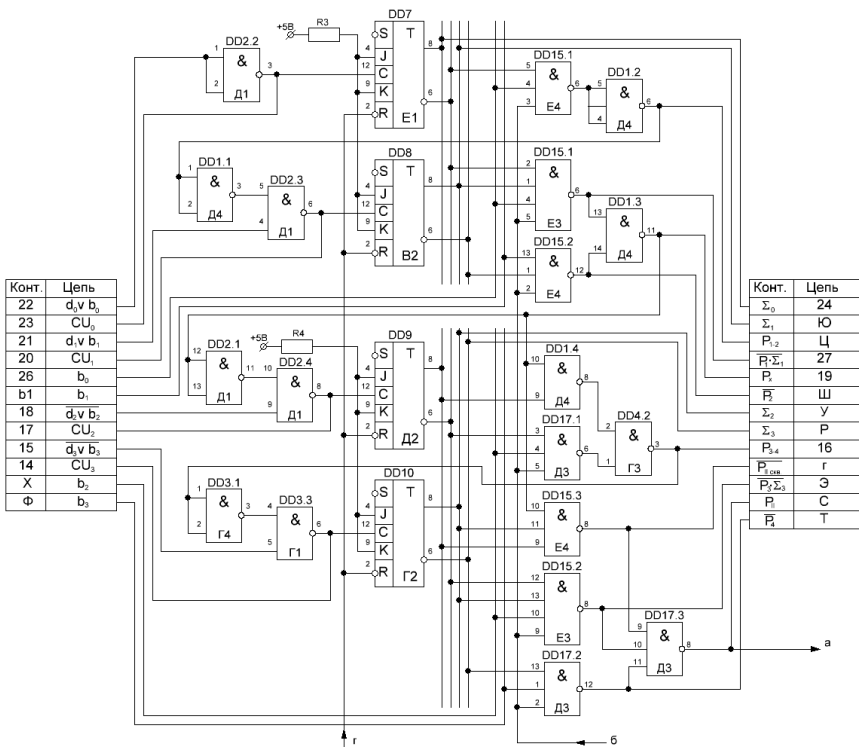


Рис. 7.8. Схема сумматора с групповым переносом (разряды $2^0, \dots, 2^3$)

Временные диаграммы работы сумматора для кодов $A = 11111111$ и $B = 00000001$ приведены на рис. 7.9.

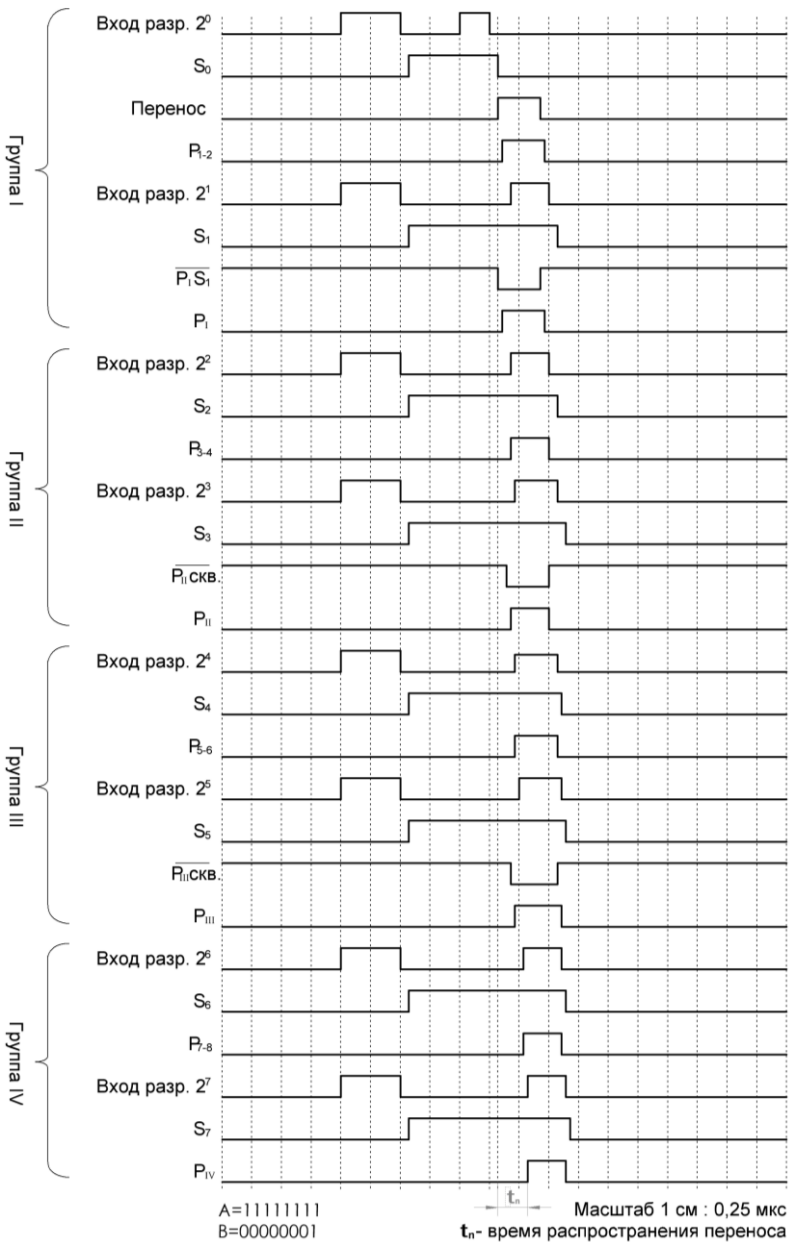


Рис. 7.9. Временные диаграммы работы сумматора с групповым переносом

Порядок выполнения лабораторной работы

1. Изучить правила безопасности при работе на стенде.
2. Изучить описание лабораторного стенда.
3. Вставить вилку в сеть и включить тумблер «Сеть» на лицевой панели стенда. При этом должен загореться индикатор сети.
4. Набрать тумблерными регистрами для задания слагаемых числа $A = 11111111$ и $B = 00000001$.
5. Переключателем индикатора суммы установить требуемое положение («последовательный», «сквозной» или «групповой»).
6. Переключателем установить режим работы сумматора («непрерывный» или «одиночный»). При положении переключателя «одиночный» нажатием кнопки «Пуск» произвести суммирование чисел A и B . Результат сложения определить с помощью индикатора суммы (рис. 7.10).
7. С помощью двухлучевого осциллографа определить форму и взаимное расположение управляющих импульсов.
8. С помощью осциллографа пронаблюдать следующие сигналы:
 - а) сумму в данном разряде;
 - б) перенос, сформированный в данном разряде;
 - в) задержанный перенос, поступающий в следующий разряд сумматора;
 - г) импульсы на суммирующем входе триггера за весь цикл сложения.
9. Для выявления критической задержки в сумматор с поразрядным последовательным переносом в цепь переноса между первым и вторым разрядом последовательно включать элементы задержки на 0,1; 0,15; 0,20; 0,25; 0,30 мкс. Определить, при каких временных задержках происходит четкое разделение сигналов «сложить» и «переноса» из первого разряда.

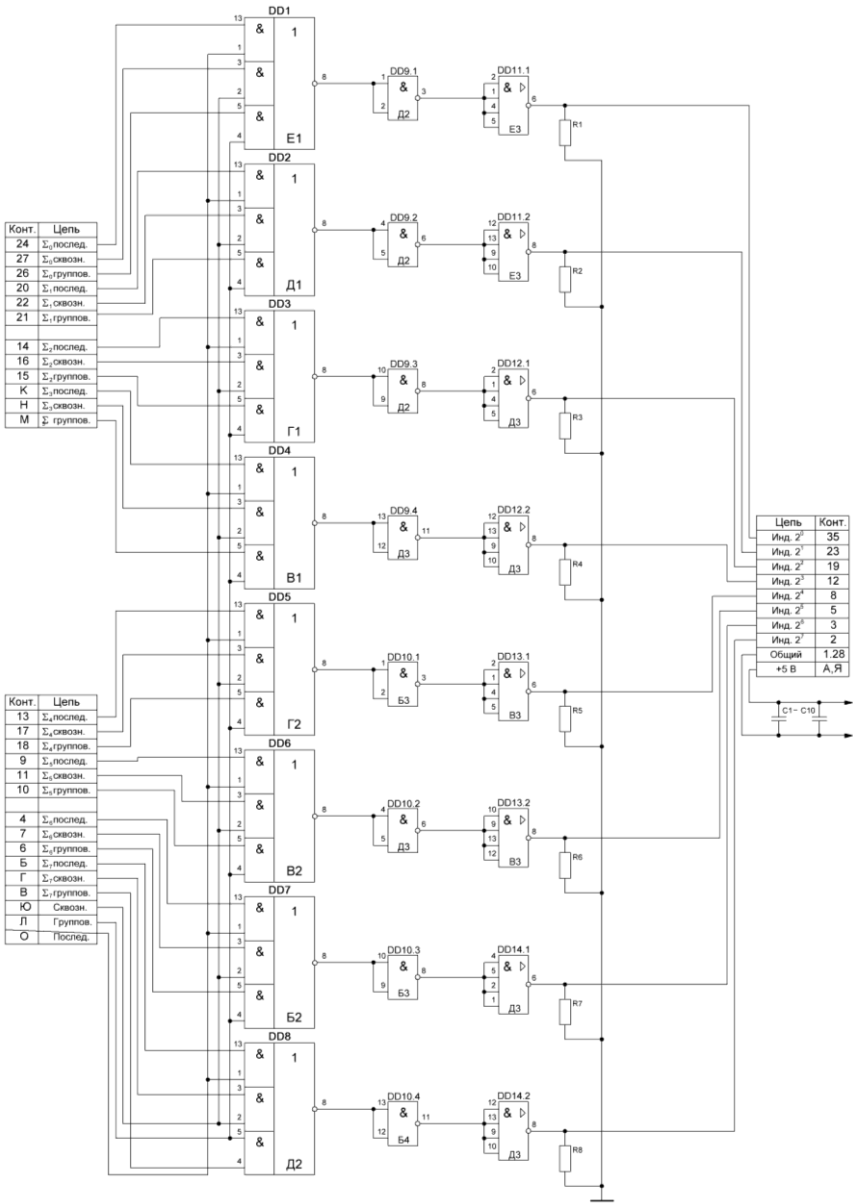


Рис. 7.10. Схема индикатора суммы

Содержание отчета

1. Цель работы.
2. Схемы сумматоров тремя видами переноса (поразрядным последовательным переносом, со сквозным последовательным, с групповым).
3. Осциллограммы управляющих импульсов.
4. Осциллограммы с выходов восьмых разрядов каждого сумматора, позволяющие сравнить быстродействие схем при сложении двух чисел $A = 11111111$ и $B = 00000001$.
5. Выводы по работе.

Контрольные вопросы

1. Назначение сумматоров и их применение в устройствах ЧПУ.
2. Как различаются сумматоры в зависимости от способа обработки чисел?
3. Как осуществляется сложение в последовательных и параллельных сумматорах?
4. Схема полусумматора или сумматора по модулю 2.
5. От чего зависит быстродействие устройств на интегральных схемах?
6. Схема полусумматора на элементах И-НЕ.
7. Схема полусумматора на элементах И-ИЛИ-НЕ.
8. Схема и принцип действия сумматора с поразрядным последовательным переносом.
9. Схема и принцип действия сумматора со сквозным последовательным переносом.
10. Схема и принцип действия сумматора с групповым переносом.

Список использованных источников

1. Проектирование микроэлектронных цифровых устройств. – М. : Советское радио, 1977.
2. Титце, У. Полупроводниковая схемотехника : справочное руководство : пер. с нем. / У. Титце, К. Шенк. – М. : Мир, 1982.
3. Установка для изучения сумматоров (однобайтный сумматор параллельного типа) УМ13 : паспорт.

Содержание

Лабораторная работа № 5 ИЗУЧЕНИЕ РЕВЕРСИВНОГО СЧЕТЧИКА	3
Лабораторная работа № 6 ИЗУЧЕНИЕ РЕГИСТРОВ И ДЕШИФРАТОРОВ	17
Лабораторная работа № 7 ИЗУЧЕНИЕ ОДНОБАЙТНОГО СУММАТОРА ПАРАЛЛЕЛЬНОГО ТИПА	30

Учебное издание

ОСНОВЫ СХЕМОТЕХНИКИ

Лабораторный практикум
для студентов дневного и заочного отделения ФИТР
специальности 1-53 01 05 «Автоматизированные
электроприводы»

Составитель

ВАСИЛЬЕВ Сергей Васильевич

Редактор *Т. В. Грищенкова*

Компьютерная верстка *Н. А. Школьниковой*

Подписано в печать 29.01.2013. Формат 60×84 ¹/₁₆. Бумага офсетная. Ризография.
Усл. печ. л. 3,02. Уч.-изд. л. 2,36. Тираж 100. Заказ 888.

Издатель и полиграфическое исполнение: Белорусский национальный технический университет. ЛИ № 02330/0494349 от 16.03.2009. Пр. Независимости, 65. 220013, г. Минск.