

ПРОГРАММИРОВАНИЕ ЛОГИЧЕСКИХ МАТРИЦ FPGA BASYS3

Путрина Н.А., Матрунчик Ю.Н.

Белорусский национальный технический университет, г. Минск

Современную вычислительную технику уже невозможно представить без использования программируемых логических интегральных схем (ПЛИС, англ. programmable logic device, PLD). Это схемы, состоящие из логических ячеек, соединенных различными способами. В отличие от обычных цифровых микросхем, логика работы ПЛИС не определяется при изготовлении, а задаётся посредством программирования через программатор или отладочную среду IDE, позволяющих задать желаемую структуру цифрового устройства в виде принципиальной электрической схемы или программы на специальных языках описания аппаратуры: Verilog, VHDL и прочих.

Различают два основных типа ПЛИС [2]:

- CPLD (англ. complex programmable logic device) содержат относительно крупные программируемые логические блоки – макроячейки. Функциональность CPLD кодируется в энергонезависимой памяти, поэтому нет необходимости их перепрограммировать при включении.

- FPGA (англ. field-programmable gate array) обычно имеют больше логических элементов и более гибкую архитектуру, чем CPLD. Программа для FPGA хранится в распределённой оперативной памяти микросхемы, поэтому требуется начальный загрузчик.

Плата Basys3, разработанная ведущей американской компанией по производству электротехнических изделий Digilent – это полноценная, готовая к использованию платформа для разработки цифровых схем, построенная на FPGA Artix7 от компании Xilinx, выполненная по технологическому процессу 28нм. Благодаря высокопроизводительной FPGA, невысокой стоимости и наличию USB, VGA и других портов, Basys3 может использоваться как для проектирования комбинационных схем, так и для сложных последовательных [1].

Плата включает в себя достаточное количество переключателей, светодиодов и других устройств ввода-вывода, позволяющих реализовать большое количество проектов, не требующих дополнительного аппаратного обеспечения, и достаточное количество незафиксированных контактов ввода-вывода FPGA, позволяющие расширять дизайн, применяя пользовательские платы и схемы.

Изображение платы представлено на рисунке 1 с обозначением выносок.

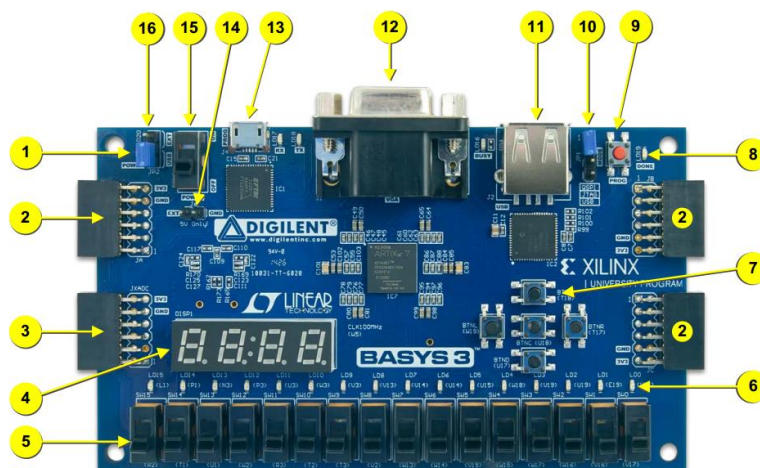


Рисунок 1 – Плата FPGA Basys3 с выносками

Таблица 1. Расшифровка выносок на рисунке 1.

№	Компонент	№	Компонент
1	Светодиод включения питания	9	Кнопка сброса конфигурации FPGA
2	Разъем Pmod	10	Переключатель режима программирования
3	Аналоговый сигнал разъем Pmod (XADC)	11	USB
4	Дисплей	12	VGA-разъем
5	Слайд-переключатели (16 шт.)	13	Общий USB-порт UART / JTAG
6	Светодиоды	14	Внешний разъем питания
7	Кнопки (5 шт.)	15	Переключатель питания
8	Программирование FPGA LED	16	Power Выберите переключку

Плата Basys3 содержит шестнадцать ползунковых переключателей, пять кнопок, шестнадцать отдельных светодиодов и четырехзначный семисегментный дисплей, как показано на рисунке 1. Кнопки и слайдовые переключатели подключаются к FPGA через последовательные резисторы для предотвращения повреждения от непреднамеренных коротких замыканий. Пять кнопок являются «мгновенными» переключателями, которые обычно генерируют низкий выход, когда они находятся в состоянии покоя, и высокий выход при нажатии. Слайд-переключатели генерируют постоянные высокие или низкие входные сигналы в зависимости от их положения.

Basys3 работает с высокопроизводительной промышленной средой разработки Vivado Design Suite от Xilinx. Vivado включает в себя множество инструментов, которые облегчают и совершенствуют новейшие методы проектирования. Vivado позволяет инженерам не только лучше использовать ресурсы FPGA, но и сосредоточиться на оценке альтернативных расчетов. Сборка включает в себя встроенный логический анализатор, инструменты высокоуровневого синтеза и другие инструменты.

После включения питания, FPGA должен быть сконфигурирован (запрограммирован). Сделать это можно одним из трех способов:

- С помощью схемы Digilent USB-JTAG (порт «PROG») для программирования FPGA при включенном питании.
- Загрузка в ПЛИС файла, хранящегося в энергонезависимом последовательном (SPI) флэш-устройстве через порт SPI.
- Путем переноса файла программирования с USB-накопителя, подключенного к порту USB HID.

Данные конфигурации FPGA хранятся в файлах, называемых битовыми потоками, с расширением .bit. Vivado может создавать потоки бит на основе языков описания аппаратуры, таких как VHDL и Verilog, или на основе исходных файлов проектируемой схемы.

Битовые потоки хранятся в ячейках памяти на базе SRAM в FPGA. Эти данные определяют логические функции FPGA и соединения схем. Данные считаются корректными до тех пор, пока не будет отключено питание платы путем нажатия кнопки сброса, подключенной ко входу PROG, или путем записи нового файла конфигурации с использованием порта JTAG.

Что очень важно для ПЛИС, у данной платы предусмотрен механизм самодиагностики.

Basys 3 – это плата разработки FPGA, разработанная специально для Vivado Design Suite, с архитектурой FPGA Xilinx Artix-7. Эта плата идеально подходит для самых разнообразных проектов, начиная от простых логических схем и заканчивая сложными цифровыми системами. Те, кто только начинает работать с технологией FPGA, по достоинству оценят преимущества Basys 3. На выходе мы имеем готовое к использованию оборудование, разнообразие встроенных устройств ввода-вывода, все необходимые схемы поддержки FPGA, бесплатные средства разработки и, что немало важно, приемлемую стоимость.

Литература

1. Patrick Pelgrim. Basys3™ FPGA Board Reference Manual // Thomas More University. – Belgium, 2014. – 19 с.
ПЛИС [Электронный ресурс]. – 2017. – Режим доступа: – <https://ru.wikipedia.org/wiki/%D0%9F%D0%9B%D0%98%D0%A1>. – Дата доступа: 01.03.2018.