

УДК 621.316

АППАРАТУРНАЯ РЕАЛИЗАЦИЯ ЦИФРОВЫХ ФИЛЬТРОВ

Мильный А.Г., Жиркова К.Ю.

Научный руководитель – к.т.н., доцент Румянцев В.Ю.

Аппаратурная реализация цифровых фильтров (ЦФ) может быть осуществлена в результате выполнения следующих процедур:

- выбора соответствующей структуры фильтра;
- выбора типа арифметического устройства с фиксированной или плавающей запятой;
- использования конкретной системы представления чисел, например, в прямом или дополнительном коде;
- выбора последовательного или параллельного способа обработки;
- выбора элементной базы.

Рассмотрим три устройства с использованием фиксированной запятой.

1. Построение фильтра по методу Джексона – Кайзера – Макдональда.

При использовании этого метода фильтр выполняется в виде каскадного соединения канонических блоков второго порядка. Для представления сигналов используется дополнительный код, при этом предполагается, что наименьший значащий разряд вводится во время паузы между тактовыми импульсами. Однако для хранения коэффициентов умножения используется прямой код. Для сложения применяется сумматор чисел в дополнительном коде, а умножение выполняется с использованием умножителя чисел в прямом коде. Необходимое сопряжение между сумматорами и умножителями можно осуществить с помощью схем формирования и дополнительного кода. Для получения единичных задержек применяются регистры сдвига с последовательной формой записи и считывания.

До начала операции умножения необходимо иметь в наличии N разрядов множимого, а поскольку данный умножитель вводит задержку K разрядов, то регистры задержки должны иметь число разрядов, равное по крайней мере $N + K$, для обеспечения необходимой синхронизации при прохождении сигналов через блоки фильтра.

Если скорость поступления входных данных (частота дискретизации, умноженная на число разрядов в выборке) оказывается ниже допустимой для данных цифровых схем, то для повышения эффективности может быть использовано мультиплексирование, когда одни и те же вспомогательные блоки используются для обработки одновременно нескольких отдельных сигналов. Каждый блок по существу является устройством за исключением того, что число разрядов каждого регистра увеличено до $M \cdot (N + K)$ и каждый регистр для хранения коэффициентов заменён постоянным запоминающим устройством (ПЗУ). Входные выборки от M источников чередуются от выборки к выборке и последовательно вводятся в фильтр. Выходные выборки появляются в том же чередующемся порядке и поэтому могут быть легко разделены.

2. Способ построения фильтра по Пелэду – Лиу.

Данный способ построения, аналогично рассмотренному выше, базируется на последовательном представлении чисел в дополнительном коде. Отличительная особенность способа состоит в том, что все операции умножения и сложения в каждом блоке выполняются одновременно за счёт использования ПЗУ совместно с сумматором-вычитателем.

Дополнительный код числа $y(n)$ можно сформировать с помощью следующего алгоритма:

- накопитель устанавливается в начальное состояние 0;
- вычисляется значение F_i для $i = L$;
- значение F_i (в обратном коде) прибавляется к содержимому накопителю;
- содержимое накопителя сдвигается вправо на один разряд (сдвиг обратного кода);
- повторяются этапы 2 – 4 данной процедуры для $i = L - 1, L - 2, \dots, 1$;

- вычисляется значение F_0 ;
- значение F_i вычитается из содержимого накопителя.

Можно получить 32 возможных значения F_i с помощью $(32 \times L)$ -разрядного ПЗУ.

3. Способ построения фильтра по методу Монкевича – Стинаарта.

При данном методе построения, как и в предыдущем случае, за счёт использования нескольких ПЗУ отпадает необходимость в умножителях. Постоянные запоминающие устройства предназначены для хранения всех возможных значений произведений (полученных при умножении сигналов на коэффициенты) и поэтому должны иметь значительный объём памяти. Например, если для представления сигналов и коэффициентов используется 13 разрядов, то требуемый объём памяти каждого ПЗУ составит $13 \cdot 2^{13} = 106\,496$ разрядов. Однако за счёт логарифмического квантования входного сигнала число его возможных значений можно уменьшить до 27 без уменьшения отношения сигнала-шум ниже того уровня, который требуется в стандартных системах с импульсно-кодовой модуляцией. Таким образом, необходимый объём памяти можно уменьшить.

Логарифмическое квантование можно осуществить включением квантователей. ПЗУ могут быть запрограммированы для выработки правильных значений произведений (полученных при умножении сигналов на коэффициенты), поэтому можно использовать стандартный сумматор. Квантователь на выходе сумматора преобразует сигналы в цепи обратной связи снова в квантованные.