

## УПРАВЛЯЮЩИЙ АВТОМАТ

Серебряков Б.Е.

Научный руководитель – Тимошевич В. Б., ст.преподаватель

Устройство относится к вычислительной технике и дискретной автоматике и может быть использовано при построении аппаратных средств обработки информации в быстродействующих системах реального времени. Технический результат - снижение сложности конструкции автомата Мили за счет уменьшения объема комбинационных схем. Управляющий автомат, содержащий операционное устройство, формирующее  $q$  логических условий, три запоминающих регистра памяти, разрядностью  $m$  блок схем «И» и блок синхронизации, мультиплексор с триггером, дешифратор, второй блок схем «И», два блока схем «ИЛИ» и два кодирующих устройства.

Целью настоящего устройства является снижение сложности конструкции автомата Мили за счет уменьшения объема комбинационных схем. Далее для краткости управляющий автомат будет именоваться просто автоматом. Поставленная цель достигается тем, что в структуру автомата Мили вводится мультиплексор для выбора единственного логического условия из множества входных логических условий (переменных). Вводится также схема вычисления номера логического условия по коду состояния автомата и используется комбинационная схема  $F1$  со специальной функциональной организацией для определения как функций переходов, так и выходов. Меняются также условия синхронизации, т.е. в устройстве по существу сохраняется неизменной только память автомата на двух запоминающих регистрах разрядностью  $m$  с парафазной передачей информации между ними и регистр памяти входных переменных (логических условий).

Предлагаемый автомат содержит операционное устройство ОУ, выходы которого через первый запоминающий регистр  $DD6$  связаны с информационными входами мультиплексоров  $DD10$ ,  $DD11$ , единичный и нулевой выходы которого связаны с соответствующими входами триггера  $DD17$ . Для установочного входа  $DD17$  предусмотрен инвертор  $DD14.1$ . Последовательная цепь блоков состоит из второго запоминающего регистра  $DD5$ , блока схем И, состоящей из элементов  $DD7.1$ ,  $DD7.2$ ,  $DD7.3$ ,  $DD7.4$  для парафазной связи с третьим запоминающим регистром  $DD9$ , дешифратора  $DD12$ , второго блока схем И, состоящего из элементов  $DD18.1$ ,  $DD18.2$ ,  $DD18.3$ ,  $DD18.4$ . Блок схем И в свою очередь соединяется с первым блоком ИЛИ, состоящего из элементов  $DD19.1$ ,  $DD19.2$ , шифратора  $DD20$ , связанного со входами второго регистра памяти  $DD5$  и вторым шифратором  $DD16$ , связанным с адресными входами мультиплексоров  $DD10$ ,  $DD11$ .

Автомат содержит второй блок схем ИЛИ, состоящий из элементов  $DD2.1$ ,  $DD2.2$ ,  $DD2.3$ , выходы которого связаны с управляющими входами операционного устройства ОУ и блок синхронизации БС с внешними

входами пуска и останова формирующей последовательности четырех не пересекающихся во времени импульсов синхронизации, причем из  $2m$  выходов дешифратора DD12. Каждый из  $q$  выходов связан с парой элементов «И» блока И (8), связанных по второму входу с единичным и с нулевым выходом триггера Тр (4); все  $2q$  выходов элементов «И» блока И элементов DD18.1, DD18.2, DD18.3, DD18.4 и  $(2m-q)$  выходов дешифратора DD12, не связанных с элементами «И» блока И DD7.1, DD7.2, DD7.3, DD7.4, соединены со входами первого и второго блоков элементов ИЛИ DD19.1, DD19.2 и DD2.1, DD2.2, DD2.3, где  $m$  - разрядность второго и третьего запоминающих регистров DD5, DD9, а  $q$  - количество логических условий, формируемых операционным устройством ОУ. Перед сигналом пуск автомат устанавливается в «нулевое» (начальное) состояние, т.е. на входах мультиплексоров DD10, DD11 и регистре DD5 устанавливается сигнал «0». Со счётчика DD3, входящим в состав блока синхронизации импульсом А опрашиваются мультиплексоры DD10, DD11 и на триггер DD17 записывается значение, приходящее с выходов DD10, DD11. Импульсом В с элемента DD3 переписывается значение на выходах DD5 через элементы И DD7.1, DD7.2, DD7.3, DD7.4 на входы регистра DD9. В начальный момент переписывается нулевое значение. Далее импульсом С производится опрос шифратора DD12 и на его выходах формируется код, который запоминается на регистре DD5. После этого синхронизируется выдача команд с выходов элементов блока ИЛИ DD2.1, DD2.2, DD2.3, которые выполняются операционным устройством и записи новых изменённых значений на регистре DD6 после выполнения команд операционным устройством. Четвертым импульсом D производится перепись кода на адресные входы мультиплексоров DD10, DD11, и работа продолжается в новом периоде T, состоящем из последовательности импульсов А-D. Работа продолжается до формирования сигнала останова, фиксирующего возврат в нулевое состояние. Блок синхронизации состоит из элементов ИЛИ DD1.1 и DD1.1, а также счётчика DD3, который на входе имеет логику элемента ИЛИ-НЕ DD2.4. Тактовые входы DD3 инверсные динамические, поэтому переключение триггеров происходит спадом тактового импульса. В блоке питания используется микросхема диодного моста DD13.

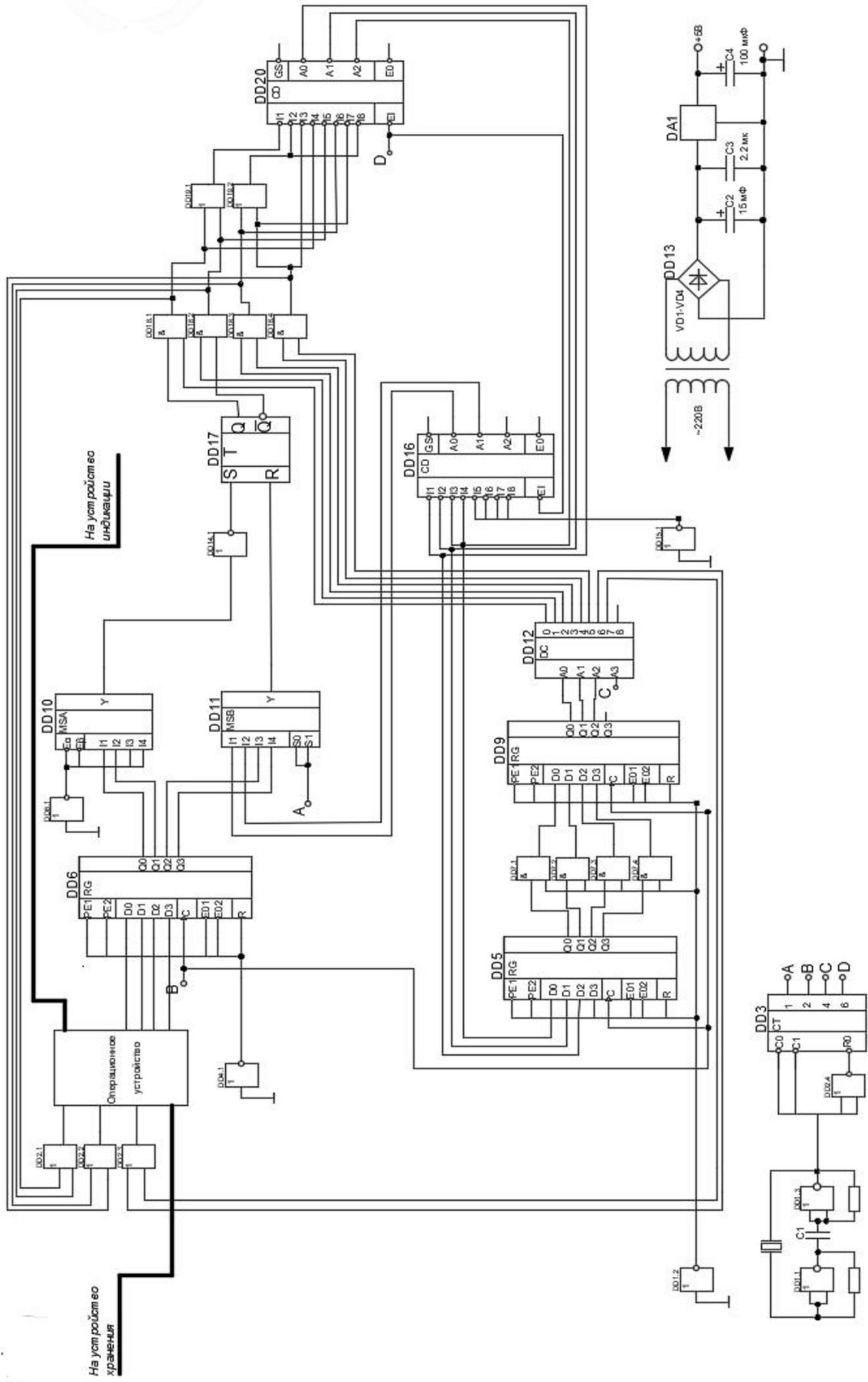


Рисунок 1. Принципиальная схема управляющего автомата

### **Литература**

1. RU 2475816 C1
2. Мухопад Ю.Ф. Микроэлектронные системы управления. -Братск: БрГУ, 2009. 285с.
3. Соловьев В.В. Климович А. Логическое проектирование цифровых схем на ПЛИС. -М.: Горячая линия телеком, 2008. – 375.