



Министерство образования
Республики Беларусь

БЕЛОРУССКИЙ НАЦИОНАЛЬНЫЙ
ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

Кафедра «Информационно-измерительная техника
и технологии»

ЭЛЕКТРОНИКА

ЦИФРОВАЯ ЭЛЕКТРОНИКА

*Лабораторные работы
(практикум)*

Минск
БНТУ
2013

Министерство образования Республики Беларусь
БЕЛОРУССКИЙ НАЦИОНАЛЬНЫЙ ТЕХНИЧЕСКИЙ
УНИВЕРСИТЕТ

Кафедра «Информационно-измерительная техника
и технологии»

ЭЛЕКТРОНИКА

ЦИФРОВАЯ ЭЛЕКТРОНИКА

Лабораторные работы
(практикум)

для студентов специальностей

1-38 02 01 «Информационно-измерительная техника»,

1-38 02 03 «Техническое обеспечение безопасности»,

1-38 02 04 «Спортивная инженерия»,

1-54 01 02 «Методы и приборы контроля качества
и диагностики состояния объектов»

Минск
БНТУ
2013

УДК 621.38.037.372:378.14(075.8)

ББК 32.85я7

Э 45

Составители:

Т.Л. Владимирова, Г.Ф. Жердева, И.Е. Зуйков

Рецензенты:

А.Л. Жарин, С.П. Сернов

Э 45 Электроника. Цифровая электроника: лабораторные работы (практикум) для студентов специальностей 1-38 02 01 «Информационно-измерительная техника», 1-38 02 03 «Техническое обеспечение безопасности», 1-38 02 04 «Спортивная инженерия», 1-54 01 02 «Методы и приборы контроля качества и диагностики состояния объектов» / сост.: Т.Л. Владимирова, Г.Ф. Жердева, И.Е. Зуйков. – Минск: БНТУ, 2013. – 111 с.

В лабораторном практикуме изложены краткие теоретические сведения, содержание и методика проведения лабораторных работ по практическому изучению интегральных микросхем, разработки и расчета простейших схем на их основе.

ОБЩИЕ ПОЛОЖЕНИЯ

Лабораторная работа состоит из следующих этапов:

1. Подготовка к выполнению лабораторной работы.
2. Допуск студента к выполнению лабораторной работы.
3. Выполнение студентом лабораторной работы.
4. Зачет лабораторной работы преподавателем как выполненной.

Подготовка к выполнению лабораторной работы

Подготовка к выполнению лабораторной работы заключается в выполнении индивидуально задания к лабораторной работе, вариант которого выдается студенту преподавателем на первом занятии и является единым для всех лабораторных работ. По выполнению индивидуального задания студент оформляет отчет.

Оформленный отчет должен содержать:

1. Номер, название и цель лабораторной работы.
2. Пронумерованные развернутые ответы на контрольные вопросы.
3. Выполненное индивидуальное задание с указанием номера выполняемого варианта, исходных данных.

Индивидуальное задание представляется в виде пронумерованных пунктов, названия которых отражают их содержание. Действия внутри пунктов должны сопровождаться краткими письменными пояснениями.

Все условно-графические обозначения и таблицы истинности должны иметь названия и выполняться только карандашом и линейкой.

Все электрические схемы (функциональные, принципиальные) должны быть выполнены в соответствии с требованиями к их оформлению.

Расчеты должны быть оформлены следующим образом: формула, подстановка данных с размерностями, этапы вычислений, ответ с указанием размерности.

Допуск студента к выполнению лабораторной работы

Студент предоставляет преподавателю выполненное индивидуальное задание на проверку в установленные преподавателем сроки до выполнения лабораторной работы.

Допуск студента к выполнению лабораторной работы осуществляется по итогам проверки преподавателем выполненного студентом индивидуально задания. Студент допускается к выполнению лабораторной работы, если индивидуальное задание к лабораторной работе выполнено правильно, о чем свидетельствует подпись преподавателя в конце индивидуального задания.

Если индивидуальное задание выполнено неправильно, преподаватель отмечает неправильно выполненные пункты с указанием ошибок и студент, не устранивший замечания до начала лабораторной работы, к ее выполнению не допускается.

Если индивидуальное задание выполнено неправильно или вообще не выполнено, студент не освобождается от занятия. В течение лабораторного занятия студент устраняет ошибки или выполняет индивидуальное задание.

Если студент успевает в течение лабораторного занятия устранить допущенные при выполнении индивидуального задания ошибки, преподаватель допускает его к выполнению текущей лабораторной работы.

Невыполненная лабораторная работа по причине нехватки времени на исправление ошибок в индивидуальном задании считается пропущенной без уважительной причины. Ее отработку студент осуществляет в соответствии с установленными правилами.

Выполнение студентом лабораторной работы

Студент, допущенный к выполнению лабораторной работы, осуществляет ее выполнение в соответствии с порядком, изложенным в инструкции к лабораторной работе.

После сборки схемы на макете студент должен получить разрешение преподавателя на включение источника питания.

Студент проверяет работу схемы с помощью светодиодов(а) в соответствии с заданными значениями входных сигналов, таблицей истинности или диаграммой работы.

Если схема реализует требуемую функцию, студент предъявляет ее преподавателю на проверку. Если схема не реализует требуемую функцию, студент должен найти и устранить допущенные ошибки.

Наиболее типичные ошибки:

- неправильная сборка схемы;

- недостаточно жесткое закрепление соединений: входной сигнал – вход ЛЭ, выход ЛЭ – вход ЛЭ, выход ЛЭ – светодиод;
- нерабочее состояние некоторых элементов макета;
- несоответствие поданных входных сигналов контролируемому по выходу значению;
- несоблюдение последовательности подачи сигналов (для схем с управляющими сигналами);
- осуществление подачи управляющих сигналов без учета типа входа (прямой или инверсный).

Результаты макетирования заносятся в отчет.

Зачет лабораторной работы преподавателем как выполненной

Лабораторная работа считается выполненной, если преподавателем зачтено индивидуальное задание к лабораторной работе и работа схемы проверена на лабораторном макете.

Если в течение лабораторного занятия студент не предъявил преподавателю работающую схему, лабораторная работа считается невыполненной. Ее отработку студент осуществляет в соответствии с установленными правилами.

Сокращения, принятые в тексте:

ИМС – интегральная микросхема;

ИС – интегральная схема;

ЛЭ – логический элемент;

УГО – условно-графическое обозначение.

ИЗУЧЕНИЕ ОСНОВНЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ И ЦИФРОВЫХ МИКРОСХЕМ

Цель работы: изучение основных логических элементов; приобретение практических навыков при работе с цифровыми микросхемами.

Теоретическая часть

Логические элементы

Логическими элементами (ЛЭ) называются функциональные устройства, с помощью которых реализуются элементарные логические функции.

Логические элементы работают с двоичным кодированием информации, которое характеризуется двумя уровнями напряжения двоичной переменной. Высокий уровень напряжения обозначают цифрой 1 или буквой H. Низкий уровень напряжения обозначают цифрой 0 или буквой L.

В зависимости от уровня напряжения, при котором воспринимается или вырабатывается информация, различают прямые и инверсные входы и выходы логических элементов.

Прямым считается такой вход (выход), на котором двоичная переменная имеет значение 1, когда уровень напряжения на этом входе (выходе) соответствует состоянию, принятому за 1.

Если двоичная переменная на входе (выходе) имеет значение 1 при уровне напряжения на нем, соответствующем состоянию, принятому за 0, такой вход (выход) называется инверсным.

Каждый ЛЭ преобразует последовательность входных сигналов в последовательность выходных сигналов или сигнал. Способ преобразования чаще всего описывается:

- логическим выражением;
- в виде таблицы истинности, которая отображает значение выходного сигнала, соответствующее конкретному набору значений входных сигналов;
- в виде временных диаграмм (зависимость во времени значений выходного сигнала от значений входных сигналов).

Простейшие логические элементы

Логический элемент НЕ. Реализует функцию логического отрицания (инверсии):

$$F = \bar{X}.$$

На рисунке 1.1 представлено условно-графическое обозначение (а), таблица истинности (б) и диаграмма работы (в) ЛЭ НЕ.

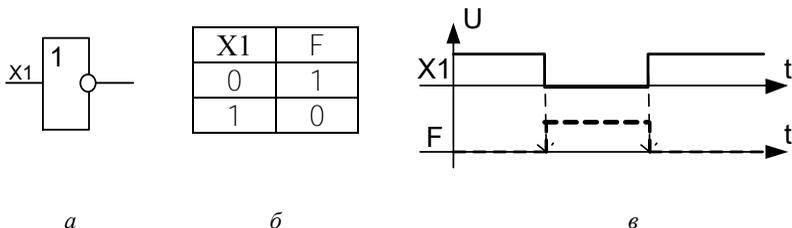


Рисунок 1.1 – Логический элемент НЕ

Логический элемент И. Реализует операцию логического умножения (конъюнкции):

$$F = X1 * X2 \text{ или } X \wedge X2.$$

На выходе ЛЭ И (рисунок 1.2) сигнал 1 появится только тогда, когда на всех его входах присутствуют сигналы 1.

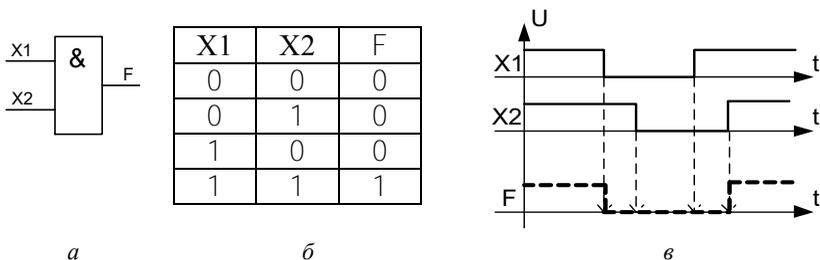


Рисунок 1.2 – Логический элемент И:

а – УГО; б – таблица истинности; в – диаграмма работы

Логический элемент ИЛИ. Реализует операцию логического сложения (дизъюнкции):

$$F = X1 + X2 \text{ или } F = X1 \vee X2$$

На выходе ЛЭ ИЛИ (рисунок 1.3) сигнал 1 появится тогда, когда хотя бы на одном из его входов присутствует сигнал 1.

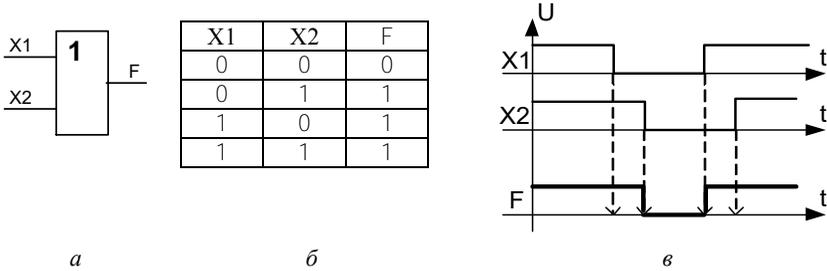


Рисунок 1.3 – Логический элемент И:
a – УГО; *б* – таблица истинности; *в* – диаграмма работы

Логические элементы И, ИЛИ, НЕ предназначены для выполнения трех основных операций (конъюнкция, дизъюнкция, инверсия) цифровой логики над дискретными сигналами. Иначе эти элементы называют основными.

Логический элемент И-НЕ. Является комбинацией ЛЭ И и НЕ.

$$F = \overline{X1 * X2}$$

На выходе ЛЭ И-НЕ (рисунок 1.4) сигнал уровня 0 будет в том случае, когда на всех его входах присутствует сигнал уровня 1.

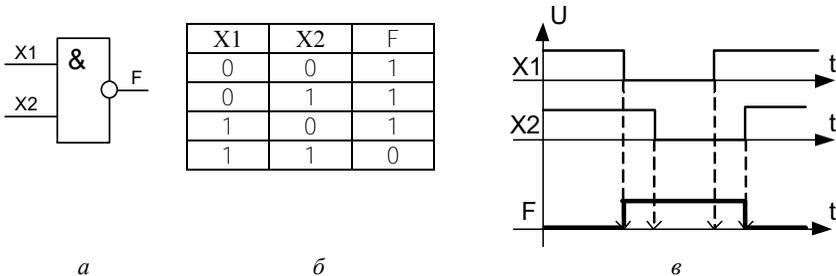


Рисунок 1.4 – Логический элемент И-НЕ:
a – УГО; *б* – таблица истинности; *в* – диаграмма работы

Логический элемент ИЛИ-НЕ. Является комбинацией ЛЭ ИЛИ и НЕ.

$$F = \overline{X1 + X2}$$

На выходе ЛЭ ИЛИ-НЕ (рисунок 1.5) сигнал уровня 1 будет только в том случае, когда на обоих его входах присутствует сигнал уровня 0.

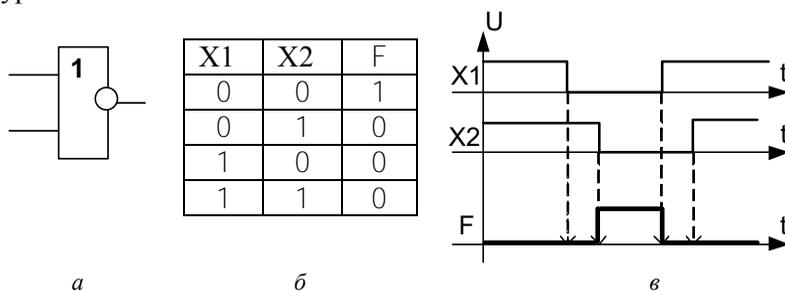


Рисунок 1.5 – Логический элемент ИЛИ-НЕ:
a – УГО; *б* – таблица истинности; *в* – диаграмма работы

Цифровые интегральные микросхемы

Интегральная микросхема – это микроэлектронное изделие, изготовленное методами интегральной технологии (чаще полупроводниковой), заключенное в самостоятельный корпус и выполняющее определенную функцию преобразования дискретных (цифровых) сигналов. В зависимости от технологии изготовления интегральные микросхемы подразделяются на серии (семейства), различающиеся физическими параметрами базовых элементов и их функциональным назначением.

Интегральная микросхема обязательно имеет следующие выводы (рисунок 1.6):

- выводы питания: общий («земля») и $U_{п}$ (напряжение питания). Данные выводы на схемах обычно не показываются;
- выводы для входных сигналов («входы»), на которые поступают внешние цифровые сигналы;
- вывод или выводы для выходных сигналов («выходы»), на которые выдаются цифровые сигналы из самой микросхемы.

Каждый вывод имеет свой номер, например, « $U_{п}$ » – 14, «Общий» – 7 и т. д.

Каждая микросхема преобразует тем или иным способом последовательность входных сигналов в последовательность выходных сигналов или сигнал.

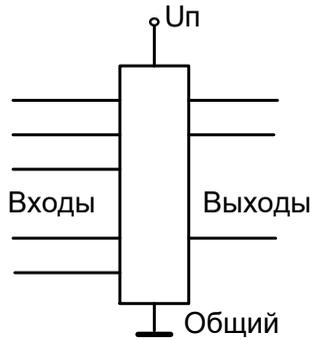


Рисунок 1.6 – Внешний вид ИМС

Основные характеристики и параметры логических элементов

Конструктивно-технологическая реализация цифровых ИМС (биполярные ИС, ИС на основе МОП-транзисторов и т. д.) во многом определяет их основные характеристики:

- амплитудную передаточную характеристику: $U_{\text{вых}} = F(U_{\text{вх}})$;
- входную характеристику: $I_{\text{вх}} = F(U_{\text{вх}})$;
- выходную характеристику: $U_{\text{вых}} = F(I_{\text{вых}})$.

Основные характеристики, в свою очередь, определяют технические параметры ЛЭ.

$U_{\text{вых}} = F(U_{\text{вх}})$ определяет формирующие свойства ЛЭ, его помехоустойчивость, амплитуду и уровни стандартного сигнала.

$I_{\text{вх}} = F(U_{\text{вх}})$ – зависимость входного тока ЛЭ от входного напряжения – определяет нагрузочную способность ЛЭ и режим работы линий связи.

$U_{\text{вых}} = F(I_{\text{вых}})$ – зависимость выходного напряжения ЛЭ от выходного тока нагрузки. Эта характеристика в совокупности с входной позволяет определить нагрузочную способность ЛЭ, режим его работы, способ согласования переходных процессов в линиях связи.

Различают статические и динамические параметры ЛЭ.

Нагрузочная способность. Для управления ЛЭ требуются определенные напряжения и токи. К выходу элемента можно подключить только определенное количество входов.

Различают два нагрузочных коэффициента:

- входной нагрузочный коэффициент F^i ;
- коэффициент разветвления по выходу N .

Входной нагрузочный коэффициент $F^i = 1$, если вход элемента потребляет номинальную мощность.

Под коэффициентом разветвления по выходу понимают количество нормальных входов других элементов, которое может быть подключено к его выходу. Нормальным для стандартных ЛЭ считается коэффициент разветвления не менее 10.

Помехоустойчивость – невосприимчивость ЛЭ к действию наложенных на входной сигнал отклонений (помех), величина которых лежит в заданных пределах. Если отклонения наложены на нулевой входной сигнал, то это будет помеха нуля. Если же отклонения наложены на единичный сигнал, то это будет помеха единицы.

Быстродействие ЛЭ при переключении определяется электрической схемой, технологией изготовления и характером нагрузки.

Уровни отсчета напряжений для определения динамических параметров устанавливаются относительно выходных пороговых напряжений 1 и 0 (рисунок 1.7).

Основными динамическими параметрами ЛЭ являются задержка распространения сигнала $t_{зд\ p}$ при переключении и длительность положительного (нарастающего) и отрицательного (спадающего) фронтов t_f выходного сигнала.

Задержки распространения сигнала при переходе выходного напряжения от 1 к 0 $t_{зд\ p}^{10}$ и от 0 к 1 $t_{зд\ p}^{01}$ определяются как интервалы времени (между фронтами входного и выходного сигналов ЛЭ), измеренного по заданным уровням соответственно.

Задержки распространения ($t_{зд\ p}^{10}$, $t_{зд\ p}^{01}$) измеряются по уровню 0,5 между $U_{вых\ пор}^в$ и $U_{вых\ пор}^н$.

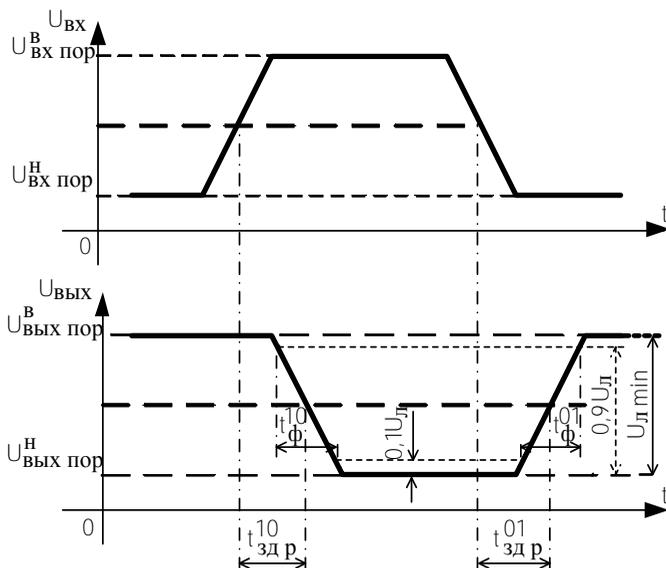


Рисунок 1.7 – Входной и выходной сигналы инвертирующего элемента

При расчете временной задержки последовательно включенных ЛЭ используется средняя задержка распространения сигнала ЛЭ:

$$\tau_{зд р ср} = (t_{зд р}^{10} + t_{зд р}^{01})/2.$$

Длительность фронта выходного сигнала при переходе напряжения из 1 в 0 ($t_{ф}^{10}$) соответствует отрицательному фронту.

Длительность фронта выходного сигнала при переходе напряжения из 0 в 1 ($t_{ф}^{01}$) соответствует положительному фронту.

Длительность положительных и отрицательных фронтов изменяются по уровням 0,1 и 0,9 (рисунок 1.7).

Статические параметры логических элементов

Статические параметры определяют условия формирования и значения напряжений высокого и низкого уровней на выходе ЛЭ, его нагрузочную способность, потребляемую мощность при заданных напряжениях питания, нагрузке и температуре окружающей среды.

К статическим параметрам ЛЭ относятся:

- входные ($U_{\text{вх}}^0, U_{\text{вх}}^1$) и выходные ($U_{\text{вых}}^0, U_{\text{вых}}^1$) напряжения логического 0 и логической 1;
- входные ($U_{\text{вх пор}}^0, U_{\text{вх пор}}^1$) и выходные ($U_{\text{вых пор}}^0, U_{\text{вых пор}}^1$) пороговые напряжения логического 0 и логической 1;
- входные и выходные токи логического 0 и 1 ($I_{\text{вх}}^0, I_{\text{вх}}^1, I_{\text{вых}}^0, I_{\text{вых}}^1$);
- токи потребления в состоянии логического 0 и 1 ($I_{\text{пот}}^0, I_{\text{пот}}^1$);
- потребляемая мощность ($P_{\text{пот}}$).

Входной ток ЛЭ задается для неблагоприятного режима работы в пределах допустимых температур окружающей среды и напряжения питания как для уровня 0 ($I_{\text{вх}}^0$), так и для уровня 1 ($I_{\text{вх}}^1$).

Выходные токи ($I_{\text{вых}}^0, I_{\text{вых}}^1$) характеризуют нагрузочную способность ЛЭ.

Вытекающие токи имеют положительный знак, вытекающие – отрицательный. Помехоустойчивость определяется относительно этих токов. Поэтому увеличение коэффициента разветвления приводит к снижению помехоустойчивости.

Мощность, потребляемая ЛЭ от источника питания, определяется как

$$P_{\text{пот}} = \sum_{i=1}^n U_i \cdot I_i,$$

где U_i – напряжение i -го источника питания;

I_i – ток в соответствующей цепи питания.

Если потребляемая мощность зависит от выходного напряжения 0 ($P_{\text{пот}}^0$) или 1 ($P_{\text{пот}}^1$), то в качестве основного параметра используют среднюю потребляемую мощность $P_{\text{пот}} = (P_{\text{пот}}^0 + P_{\text{пот}}^1)/2$.

Для ЛЭ, потребляющих значительную мощность при переключении, средняя потребляемая мощность в технической документации задается в виде зависимости

$$P_{\text{пот ср}} = f(F_{\text{имп}}),$$

где $F_{\text{имп}}$ – частота следования импульсов.

Семейства ИС

Логические элементы, выполненные на основе одной конструктивно-технологической реализации, образуют семейство схем. Широко распространены семейства микросхем ТТЛ, ТТЛШ, ..., КМОП-логики.

ТТЛ сокращенно означает транзисторно-транзисторная логика.

Элементы этих схем построены на основе биполярных транзисторов.

В схемах семейства КМОП применяются комплементарные МОП-транзисторы с каналами n - и p -типа.

Семейство ТТЛ-схем

Логические элементы схем этого семейства строятся на основе многоэмиттерных биполярных транзисторов (рисунок 1.8).

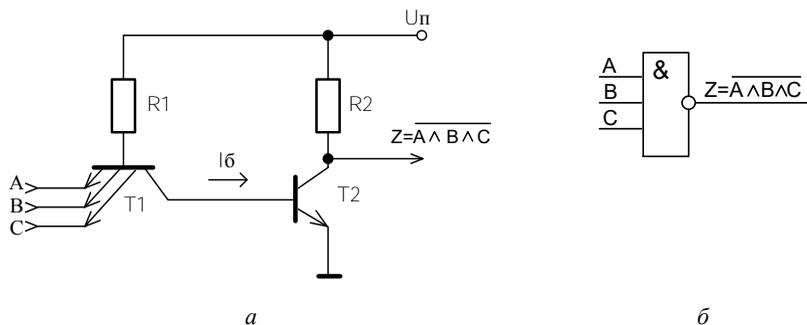


Рисунок 1.8 – Простой ТТЛ-элемент 3И-НЕ:
а – принципиальная схема; б – УГО

Если на входах A , B и C действует высокое напряжение, то транзистор T_1 работает в инверсном режиме (переход база-коллектор смещен в прямом направлении). Транзистор T_2 открыт, и на выходе Z будет низкое напряжение примерно 0,2 В.

Если на одном из входов транзистора T_1 действует низкое напряжение, то транзистор T_1 работает нормально в режиме насыщения. Напряжение на его коллекторе падает примерно на 0,2 В. Транзистор T_2 закрывается. На выходе Z будет высокое напряжение.

Если один из входов многоэмиттерного транзистора T_1 «висит в воздухе», то он приравнивается к входу с высоким уровнем напряжения, т. к. такой вход не способен понизить напряжение в точке X схемы на рисунке 1.5 до 0,2 В.

ТТЛ-элементы выпускаются в виде интегральных микросхем. Например, микросхема SN7400 (отечественный аналог ЛА3 серии К155) содержит четыре элемента 2И-НЕ (рисунок 1.9).

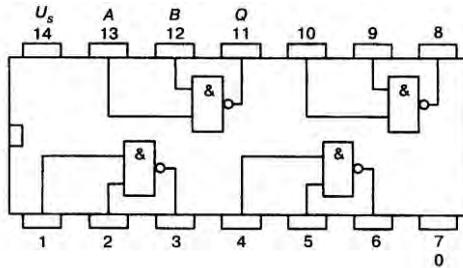


Рисунок 1.9 – Схема подключения интегральной микросхемы SN7400

В основном ТТЛ-элементы выпускаются в DIP-корпусах (рисунок 1.10).

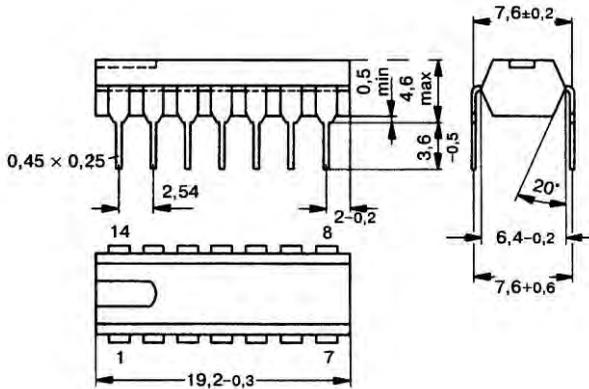


Рисунок 1.10 – Корпус DIP с двухсторонним расположением выводов

В семейство ТТЛ-схем входят несколько серий ИМС. Все они имеют напряжение питания ± 5 В и совместимы друг с другом.

Стандартная ТТЛ-серия К155 (7400) была первым промышленным стандартом.

В ТТЛШ-серии К531 (74S00) применение диодов и транзисторов Шоттки позволило сократить времена переключения схем.

Маломощная ТТЛШ-серия К555 (74LS00) обладает более низкой потребляемой мощностью (таблица 1.1).

В семействе ТТЛ-схем имеются все типы элементов, реализующих основные логические функции:

- НЕ (элементы ЛН);
- мИ (элементы ЛИ);
- мИ-НЕ (элементы ЛА);
- мИЛИ (элементы ЛЛ);
- мИЛИ-НЕ (элементы ЛЕ);
- мИ/мИЛИ-НЕ (элементы ЛР).

Таблица 1.1 – Электрические характеристики ИМС ТТЛШ-серии К555 (74LS00)

Характеристика	Значение
Напряжение питания	$U_{пит} = \pm 5В$
Входное напряжение	$U_{макс}^0 = 0,8В; U_{мин}^1 = 2,0В$
Выходное напряжение	$U_{макс}^0 = 0,4В; U_{мин}^1 = 2,7В$
Пороговое напряжение	$U_{пор} = 1,3В$
Входной ток (уровень L)	$I_{макс}^0 = -0,4мА$ (ТОК ВЫТЕКАЕТ)
Выходной ток (уровень H)	$I_{макс}^1 = -0,4мА$ (ТОК ВЫТЕКАЕТ)
Входной ток (уровень H)	$I_{макс}^1 = 0,02мА$ (ТОК ВТЕКАЕТ)
Выходной ток (уровень L)	$I_{макс}^0 = 8мА$ (ТОК ВТЕКАЕТ)
Коэффициент разветвления по выходу	20
Задержка распространения сигнала	$t_{зад} \leq 9нс$
Время нарастания	$t^{0,1} \leq 10нс$
Время спада	$t^{1,0} \leq 6нс$
Потребляемая мощность на один элемент	$P_{пот} \leq 2мВт$

Логические элементы на КМОП-транзисторах

Сокращение КМОП означает «комплементарные МОП-транзисторы». Также иногда используется сокращение COSMOS, которое обозначает «комплементарная симметричная МОП-структура».

Симметричность КМОП-схем особенно хорошо видна в схеме элемента НЕ (рисунок 1.11).

Если на входе А действует высокий уровень (1), то транзистор T_2 открыт, транзистор T_1 закрыт, и на выходе элемента Z имеется низкий уровень (0).

Если на входе А действует низкий уровень (0), то транзистор T_2 закрыт, транзистор T_1 открыт, и на выходе элемента Z имеется высокий уровень (1).

В КМОП-элементе один из транзисторов всегда закрыт, и такой элемент практически не потребляет ток. Только во время переключения от источника питания потребляется небольшой ток, т. к. оба транзистора одновременно, но ненадолго открыты. Один из транзисторов переходит из открытого состояния в закрытое, а другой, наоборот, из закрытого переходит в открытое состояние.

На рисунке 1.12 приведена схема КМОП И-НЕ элемента. Если на обоих входах действуют высокий уровень (1), то транзисторы T_1 и T_2 закрыты, транзисторы T_3 и T_4 открыты, и на выходе элемента Z имеется низкий уровень (0).

Если на один вход подан высокий уровень (1), а на другой – низкий уровень (0), то один из верхних транзисторов T_1 или T_2 открывается, а один из нижних транзисторов T_3 или T_4 закрывается. Через открытые транзисторы к выходу будет прикладываться высокий уровень (1).

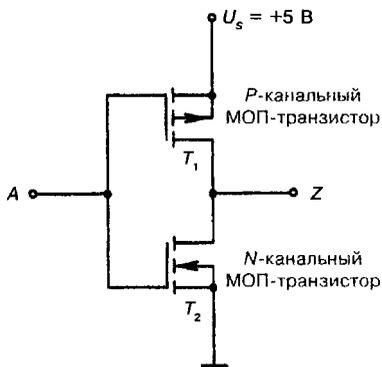


Рисунок 1.11 – Схема КМОП НЕ элемента

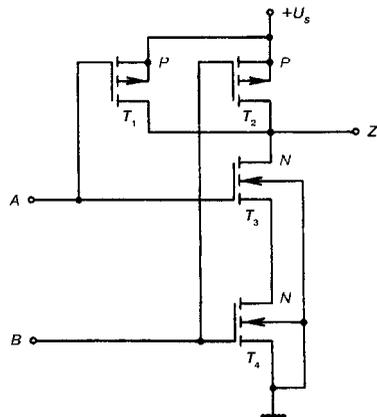


Рисунок – 1.12 Схема КМОП И-НЕ элемента

Характеристики ИМС КМОП приведены в таблице 1.2

Таблица 1.2 – Электрические характеристики ИМС КМОП-серии 74НС00

Характеристика	Значение
Напряжение питания	$U_{\text{пит}} = \pm 4,5 \text{ В}$
Входное напряжение	$U^0_{\text{макс}} = 0,9 \text{ В}, U^1_{\text{мин}} = 3,2 \text{ В}$
Выходное напряжение	$U^0_{\text{макс}} = 0,1 \text{ В}, U^1_{\text{мин}} = 4,9 \text{ В}$
Входной ток	$< 0,0003 \text{ мА}$
Выходной ток (уровень Δ)	$I^0_{\text{макс}} = 20 \text{ мА}$
Коэффициент разветвления по выходу	50
Задержка распространения сигнала	$t_{\text{зад}} = 8 \text{ нс}$
Время нарастания	$t^{0,1} = 6 \text{ нс}$
Время спада	$t^{1,0} = 8 \text{ нс}$

В семейство КМОП-схем входит несколько серий ИС.

КМОП-серия CD4011В является промышленным стандартом.

Быстродействующая КМОП-серия 74НС00 по разъемам и функционально совместима с аналогичной ТТЛ-серией.

Подготовка к выполнению работы

Контрольные вопросы

1. Какие функциональные устройства называются логическими элементами?
2. Как обозначают высокий и низкий уровни напряжений?
3. Какой вход (выход) ЛЭ считается прямым и какой вход (выход) ЛЭ считается инверсным?
4. Как можно описать способ преобразования входных сигналов в выходной?
5. Нарисуйте таблицу истинности, УГО, приведите логическое выражение ЛЭ И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ.
6. Нарисуйте внешний вид ИС. Какие выводы имеет интегральная схема?
7. Какая характеристика(и) определяет(ют) нагрузочную способность ЛЭ?
8. Какая характеристика(и) определяет(ют) помехоустойчивость ЛЭ?

9. Назовите динамические параметры ЛЭ.
10. Назовите статические параметры ЛЭ.
11. Что определяют параметры $t_{зд р}^{1,0}$, $t_{зд р}^{0,1}$? Как определяется средняя задержка распространения сигнала ЛЭ ($t_{зд р ср}$)?
12. Что определяют параметры $U_{вх}^0$, $U_{вх}^1$?
13. Что определяют параметры $U_{вых}^0$, $U_{вых}^1$?
14. Что определяют параметры $I_{вх}^0$, $I_{вх}^1$, $I_{вых}^0$, $I_{вых}^1$?
15. Что определяют параметры $I_{пот}^0$, $I_{пот}^1$?
16. Что такое потребляемая мощность? Как она определяется?

Индивидуальные задания

В соответствии с вариантом, заданным преподавателем (таблица 2.1) пользуясь справочной литературой, выполните следующие задания:

1. Определить семейство, к которому принадлежит ИМС.
2. Нарисовать УГО ИМС с указанием нумерации входов/выходов; определить и записать, сколько ЛЭ содержит корпус ИМС.
3. Составить таблицу истинности; привести логическое выражение, описывающее работу ЛЭ заданной ИМС.
4. Определить статические параметры ЛЭ заданной ИМС.
5. Определить динамические параметры ЛЭ заданной ИМС.

Таблица 2.1 – Перечень ИМС для выполнения индивидуального задания

№ варианта	ИМС	№ варианта	ИМС
В-01	К155ЛА3	В-16	561ЛЕ6
В-02	К155ЛЕ1	В-17	561ЛА7
В-03	К155ЛА9	В-18	561ЛА8
В-04	К155ЛН1	В-19	561ЛА9
В-05	К155ЛН2	В-20	561ЛЕ10
В-06	К155ЛИ1	В-21	К155ЛЕ3
В-07	К155ЛИ2	В-22	К155ЛА17
В-08	К155ЛА4	В-23	561ЛЕ2
В-09	К555ЛИ3	В-24	К155ЛИ5
В-10	К155ЛА10	В-25	К561ЛА7
В-11	К155ЛА19	В-26	К561ЛЕ5
В-12	К155ЛИ6	В-27	К176ЛИ1
В-13	К155ЛА2	В-28	К561ЛП13
В-14	К155ЛЛ1	В-29	К176ЛС1
В-15	К561ЛЕ5	В-30	К561ЛП4

Порядок выполнения работы

1. Представить отчет о выполнении индивидуального задания преподавателю.
2. Получить у преподавателя ИМС.
3. Пользуясь справочной литературой, определить и записать:
 - к какому семейству ИМС относится данная ИМС;
 - сколько ЛЭ содержит данная ИМС;
 - какую логическую функцию реализуют ЛЭ данной ИМС.
4. Нарисовать таблицу истинности, УГО, привести логическое выражение для ЛЭ ИМС.
5. Определить и записать статические и динамические параметры ЛЭ данной микросхемы, рассчитать мощность, потребляемую данной ИМС для случая, когда задействованы все ЛЭ ИМС.
6. Представить отчет о выполнении задания преподавателю.
7. Получить макет и осуществить проверку работоспособности ЛЭ, указанного преподавателем в соответствии с его таблицей истинности.

Порядок выполнения работы на лабораторном макете

ВНИМАНИЕ: включать источник питания можно только после сборки схемы и получения разрешения преподавателя.

1. Ознакомиться с лабораторным макетом.
2. Присоединить макет к источнику питания ± 5 В.
3. Подводку сигналов (уровень логического 0 или 1) ко входам ЛЭ осуществить от соответствующих клемм макета (U_1 , U_0).
4. Выход ЛЭ присоединить к светодиоду.
5. Пользуясь таблицей истинности ЛЭ, менять комбинацию входных сигналов и контролировать значение выходного сигнала ЛЭ при помощи светодиода.
6. Сделать вывод, является ли данный ЛЭ исправным.
7. Нарисовать диаграмму работы ЛЭ.

Лабораторная работа № 2

ИЗУЧЕНИЕ ПРИНЦИПОВ СИНТЕЗА И АНАЛИЗА ПРОСТЕЙШИХ ЛОГИЧЕСКИХ СХЕМ

Цель работы: приобретение практических навыков синтеза цифровой схемы; проверки работоспособности синтезированной схемы; описания работы цифровой схемы с помощью диаграммы; реализации цифровой схемы на заданном наборе ЛЭ.

Теоретическая часть

В большинстве случаев цифровая схема содержит большое количество последовательно соединенных ЛЭ, которые реализуют требуемую логическую функцию.

Процедуру определения логических операций, которые производит каждый ЛЭ в схеме в отдельности и какую функцию выполняет структура элементов схемы в целом, называют анализом схемы.

Для описания любой цифровой схемы могут быть составлены таблица истинности, логическая функция или диаграмма работы.

Таблица истинности цифровой схемы

В качестве примера составим таблицу истинности для цифровой схемы с двумя входами (рисунок 2.1).

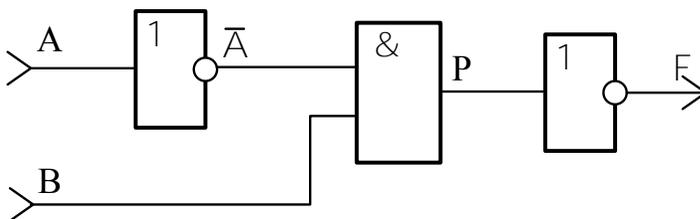


Рисунок 2.1 – Цифровая схема с двумя входами

Цифровая схема с двумя входами (A, B) имеет 4 варианта комбинаций входных сигналов: 00, 01, 10 и 11 ($2^2 = 4$), которые определяют значение выходного сигнала F.

Первый элемент схемы является элементом НЕ. На выходе этого элемента будет инвертированное значение входного сигнала А.

Второй элемент схемы является элементом 2И. Обозначим выход этого элемента как Р.

На выходе Р элемента 2И будет логическое произведение сигналов \bar{A} и В.

Третий элемент схемы является элементом НЕ. На выходе этого элемента будет инвертированное значение сигнала Р.

В зависимости от комбинаций входных сигналов на выходах элементов получим значения, которые заносим в таблицу истинности цифровой схемы.

Таблица 2.1 – Таблица истинности узлов цифровой схемы с двумя входами

№	Входные сигналы		Промежуточные узлы		F
	A	B	\bar{A}	P	
1	0	0	1	0	1
2	0	1	1	1	0
3	1	0	0	0	1
4	1	1	0	0	1

Цифровая схема с тремя входами (А, В и С) имеет 8 различных комбинаций входных сигналов: 000, 001, 010, 011, 100, 101, 110 и 111 ($2^3 = 8$).

Цифровая схема с четырьмя входами (А, В, С и D) имеет 16 различных комбинаций входных сигналов: 0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001, 1010, 1011, 1100, 1101, 1110, 1111 ($2^4 = 16$).

Синтез схемы по заданному логическому выражению

На практике часто требуется синтезировать схему по заданному логическому выражению.

Синтезируем цифровую схему, работа которой описывается логическим выражением

$$F = \overline{A + \bar{B} + \bar{C}} + (A + \bar{C}).$$

Определим количество входных сигналов.

Из логического выражения видно, что входными сигналами являются сигналы А, В и С, т. е. схема будет иметь три входа.

Схемотехническая реализация логического выражения пошагово показана в таблице 2.2.

Таблица 2.2 – Пошаговое изменение логического выражения

Шаг	Действие	ЛЭ
1	Получение инверсии входного сигнала В	НЕ
2	Получение инверсии входного сигнала С	НЕ
3	Получение логической суммы сигналов $\bar{A} + \bar{A} + \bar{B}$	ИЛИ на 3 входа
4	Получение логической суммы сигналов $\bar{A} + \bar{B}$	ИЛИ на 2 входа
5	Получение инверсии логической суммы сигнала $\overline{\bar{A} + \bar{A} + \bar{B}}$	НЕ
6	Получение логической суммы сигналов $\overline{A + \bar{B} + \bar{C}} + (A + \bar{C})$	ИЛИ на 2 входа

Цифровая схема, реализующая заданное логическое выражение, представлена на рисунке 2.2.

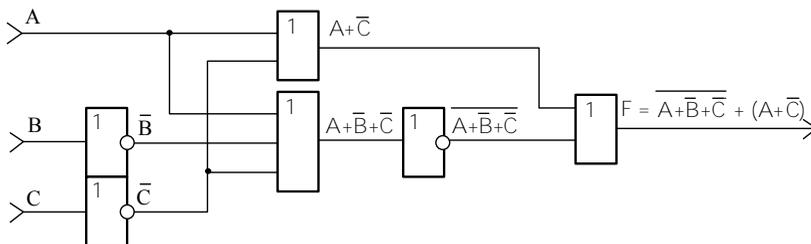


Рисунок 2.2 – Цифровая схема, реализующая логическое выражение $\overline{\bar{A} + \bar{A} + \bar{B}} + (A + \bar{C})$

Для схемотехнической реализации логической суммы сигналов на шаге 3 можно использовать два ЛЭ ИЛИ с двумя входами вместо одного ЛЭ с тремя входами. Такое использование более экономично, т. к. используется полностью корпус ИС с двухвходовыми ЛЭ ИЛИ (4 ЛЭ в корпусе) и не требуется корпус ИС с ЛЭ на три входа (3 ЛЭ в корпусе), в котором 2 ЛЭ останутся неиспользованными.

Цифровая схема, реализующая такое схемотехническое решение, представлена на рисунке 2.3.

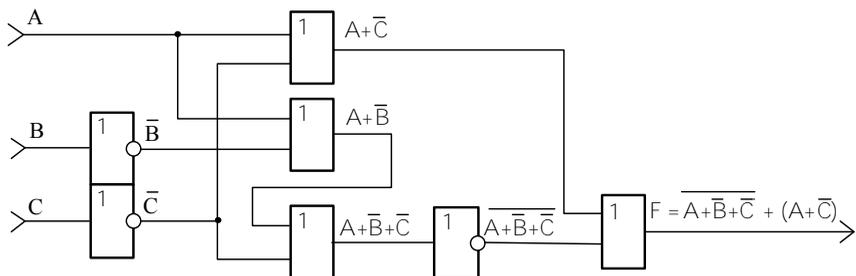


Рисунок 2.3 – Цифровая схема, не содержащая ЛЭ ИЛИ

Реализация цифровых схем на базовых логических элементах

В цифровой электронике имеется набор ЛЭ, реализующих функции, с помощью которых могут быть получены все остальные функции булевой алгебры (конъюнкция, дизъюнкция, инверсия). К таким элементам относятся элементы И-НЕ и ИЛИ-НЕ, имеющие по 2 входа. Эти элементы называются базовыми.

Базовый ЛЭ И-НЕ является комбинацией ЛЭ И и НЕ.

$$F = \overline{X1 * X2}$$

На выходе базового ЛЭ И-НЕ (рисунок 2.4) сигнал уровня 0 будет в том случае, когда на всех его входах присутствует сигнал уровня 1.

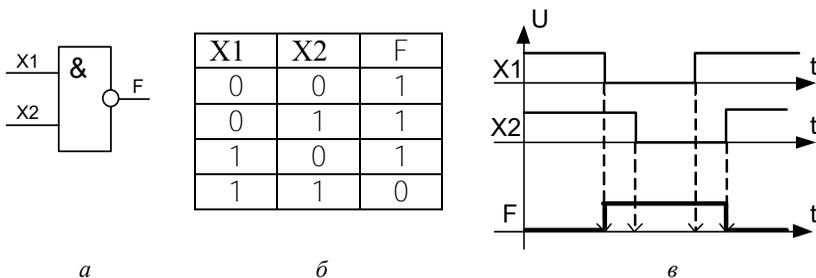


Рисунок 2.4 – Логический элемент И-НЕ:
а – УГО; б – таблица истинности; в – диаграмма работы

Базовый ЛЭ ИЛИ-НЕ является комбинацией ЛЭ ИЛИ и НЕ.

$$F = \overline{X1 + X2}.$$

На выходе базового ЛЭ ИЛИ-НЕ (рисунок 2.5) сигнал уровня 1 будет только в том случае, когда на обоих его входах присутствует сигнал уровня 0.

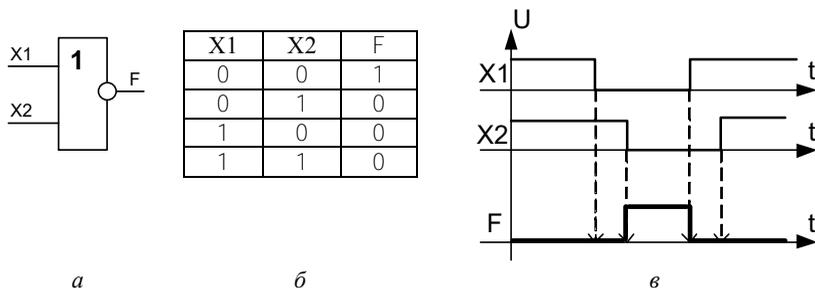


Рисунок 2.5 – Логический элемент ИЛИ-НЕ:
a – УГО; *б* – таблица истинности; *в* – диаграмма работы

Схемотехнически любая цифровая схема может быть выполнена только на базовом ЛЭ И-НЕ или только на базовом ЛЭ ИЛИ-НЕ.

Для приведения логического выражения к базовому ЛЭ И-НЕ или базовому ЛЭ ИЛИ-НЕ используются первая и вторая теоремы Де-Моргана, правило двойного отрицания и правило повторения.

Первая теорема Де-Моргана: $X1 + X2 = \overline{\overline{X1} * \overline{X2}}$

Вторая теорема Де-Моргана: $X1 * X2 = \overline{\overline{X1} + \overline{X2}}$

Правило двойного отрицания: $X1 * X2 = \overline{\overline{\overline{X1} * \overline{X2}}}$

$$X1 + X2 = \overline{\overline{\overline{X1} + \overline{X2}}}$$

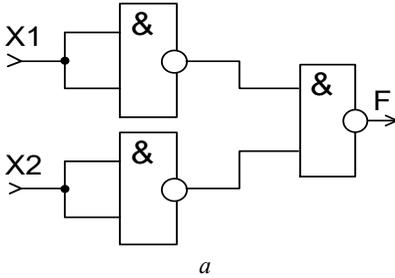
Правило повторения: $X * X = X$

$$X + X = X$$

Преобразование функции ИЛИ к базовому ЛЭ И-НЕ осуществляется с помощью теоремы Де-Моргана (рисунок 2.6, *a*).

Преобразование функции ИЛИ к базовому ЛЭ ИЛИ-НЕ осуществляется согласно правилу двойного отрицания (рисунок 2.6, б).

$$X1 + X2 = \overline{\overline{X1 * X2}} = \overline{\overline{X1 * X1} * \overline{X2 * X2}}$$



$$X1 + X2 = \overline{\overline{X1 + X2}}$$

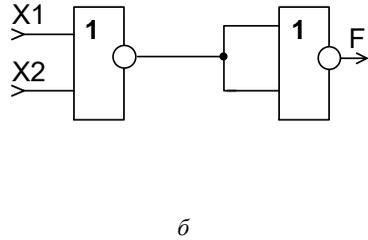
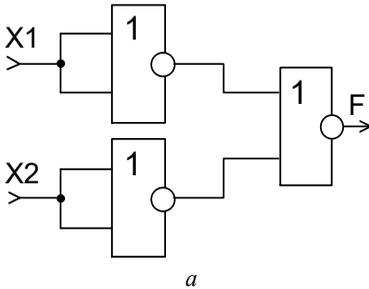


Рисунок 2.6 – Преобразования функции ИЛИ к базовому ЛЭ И-НЕ (а) и базовому ЛЭ ИЛИ-НЕ (б)

Преобразования функции И к базовым ЛЭ ИЛИ-НЕ и И-НЕ представлены на рисунке 2.7.

$$X1 * X2 = \overline{\overline{X1 + X2}} = \overline{\overline{X1 + X1} + \overline{X2 + X2}}$$



$$X1 * X2 = \overline{\overline{X1 * X2}}$$

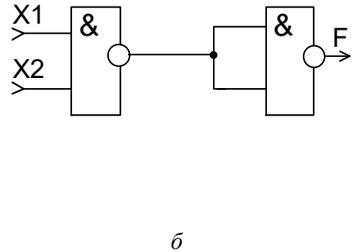


Рисунок 2.7 – Преобразования функции И к базовому ЛЭ ИЛИ-НЕ (а) и базовому ЛЭ И-НЕ (б)

Преобразования функции НЕ (инверсия) к базовому ЛЭ И-НЕ и базовому ЛЭ ИЛИ-НЕ представлены на рисунке 2.8.



Рисунок 2.8 – Преобразования функции НЕ к базовому элементу И-НЕ (*a*) и базовому элементу ИЛИ-НЕ (*б*)

Функция НЕ реализуется на базовом ЛЭ И-НЕ или базовом ЛЭ ИЛИ-НЕ объединением их входов соответственно с использованием правила повторения.

Реализация цифровой схемы на базовом логическом элементе И-НЕ

В качестве примера синтезируем на базовом ЛЭ И-НЕ цифровую схему, работа которой описывается логическим выражением, рассмотренным ранее:

$$F = \overline{A + \overline{B} + \overline{C}} + (A + \overline{C})$$

Преобразования будем выполнять в последовательности, изложенной в таблице 2.3.

Таблица 2.3. Последовательность преобразования выражения к базовому ЛЭ И-НЕ

Шаг	Действие	Примечание
	$F = \overline{A + \overline{B} + \overline{C}} + (A + \overline{C})$	Исходное логическое выражение
1	$\overline{\overline{\overline{A * \overline{B}} + \overline{C}} + \overline{\overline{\overline{A * \overline{C}}}}}$ $\overline{\overline{\overline{A * \overline{B}} * \overline{C}} + \overline{\overline{\overline{A * \overline{C}}}}}$ $\overline{\overline{\overline{A * \overline{B}} * \overline{C}} * \overline{\overline{\overline{A * \overline{C}}}}}$	Последовательно заменим знаки «+» на знаки «*». Используется теорема Де-Моргана

Окончание таблицы 2.3

Шаг	Действие	Примечание
2	$\overline{\overline{\overline{\overline{A}}}} * \overline{\overline{\overline{\overline{B}}}} * \overline{\overline{\overline{\overline{C}}}} * \overline{\overline{\overline{\overline{A}}}} * \overline{\overline{\overline{\overline{C}}}}$	Избавимся от двойного отрицания входных сигналов В и С. Используется правило двойного отрицания
3	$\overline{\overline{\overline{\overline{A}}}} * \overline{\overline{\overline{\overline{B}}}} * \overline{\overline{\overline{\overline{C}}}} * \overline{\overline{\overline{\overline{A}}}} * \overline{\overline{\overline{\overline{C}}}}$	Избавимся от тройного отрицания. Используется правило двойного отрицания
4	$\overline{\overline{\overline{\overline{A}}}} * \overline{\overline{\overline{\overline{B}}}} * \overline{\overline{\overline{\overline{C}}}} * \overline{\overline{\overline{\overline{A}}}} * \overline{\overline{\overline{\overline{C}}}}$	Реализуем инверсию входных сигналов. Используется правило повторения

Полученная цифровая схема на ЛЭ И-НЕ представлена на рисунке 2.9.

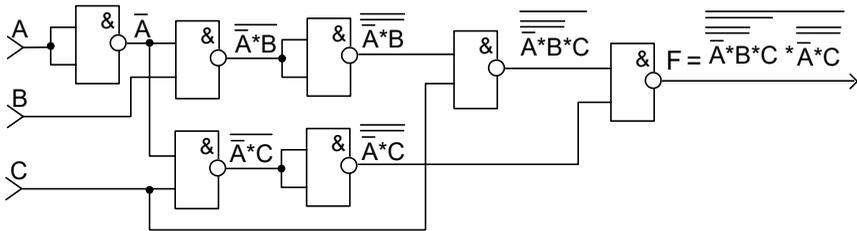


Рисунок 2.9 – Цифровая схема на базовом ЛЭ И-НЕ

*Реализация цифровой схемы
на базовых логических элементах ИЛИ-НЕ*

Синтезируем на базовом ЛЭ ИЛИ-НЕ цифровую схему, работа которой описывается тем же логическим выражением

$$F = \overline{\overline{\overline{\overline{A}}}} + \overline{\overline{\overline{\overline{B}}}} + \overline{\overline{\overline{\overline{C}}}} + (\overline{\overline{\overline{\overline{A}}}} + \overline{\overline{\overline{\overline{C}}}})$$

Таблица 2.4 – Последовательность преобразования выражения к базовому ЛЭ ИЛИ-НЕ

Шаг	Действие	Примечание
	$F = \overline{\overline{\overline{\overline{A}}}} + \overline{\overline{\overline{\overline{B}}}} + \overline{\overline{\overline{\overline{C}}}} + (\overline{\overline{\overline{\overline{A}}}} + \overline{\overline{\overline{\overline{C}}}})$	Исходное логическое выражение

Окончание таблицы 2.4

Шаг	Действие	Примечание
1	$\overline{\overline{A+B}} + \overline{C} + (A+\overline{C})$	Приведем ЛЭ ИЛИ-НЕ на три входа к базовому ЛЭ ИЛИ-НЕ. Используется правило двойного отрицания
2	$\overline{\overline{A+B}} + \overline{C} + \overline{\overline{(A+\overline{C})}}$	Заменяем ЛЭ ИЛИ, базовым ЛЭ ИЛИ-НЕ. Используется правило двойного отрицания
3	$\overline{\overline{\overline{\overline{A+B}} + \overline{C} + \overline{\overline{(A+\overline{C})}}}}$	Заменяем ЛЭ ИЛИ базовым ЛЭ ИЛИ-НЕ. Используется правило двойного отрицания
4	$\overline{\overline{\overline{\overline{A+B+B}} + \overline{C+C}} + \overline{\overline{(A+\overline{C+C})}}}$	Реализуем инверсию входных сигналов В и С. Используется правило повторения

Особенности проектирования цифровых схем

При разработке цифрового прибора используются модели представления цифровых схем:

логическая;

с временными задержками;

с учетом электрических эффектов (или электрическая).

Логическая модель применима для всех цифровых схем, в которых быстродействие не принципиально.

Модель с временными задержками учитывает задержки срабатывания ЛЭ. Ее применение необходимо для схемотехнической разработки всех быстродействующих устройств и для проверки случая одновременного изменения нескольких входных сигналов.

Электрическая модель учитывает входные и выходные токи, входные и выходные сопротивления и емкости элементов. Эту модель надо применять при объединении нескольких входов и выходов, при передаче сигналов на большие расстояния и т. д.

На рисунке 2.10 на примере простейшего ЛЭ НЕ (инвертора) показаны три модели представления этого цифрового «прибора».

Из рисунка видно, что в логической модели (считается, что ЛЭ срабатывает мгновенно) любое изменение уровня входного сигнала

сразу же, без всякой задержки приводит к изменению уровня выходного сигнала.

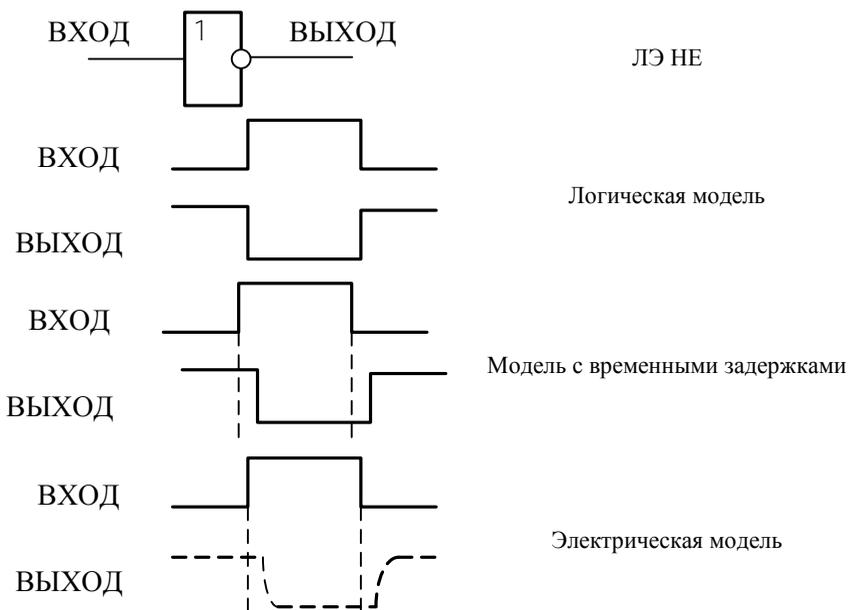


Рисунок 2.10 – Три модели представления цифрового устройства

В модели с временными задержками выходной сигнал изменяется с некоторой задержкой относительно входного.

В электрической модели не только выходной сигнал задерживается по сравнению с входным, но и его изменение происходит не мгновенно – процесс смены уровней сигнала (фронт сигнала) имеет некоторую конечную длительность.

В начале проектирования используется логическая модель, а затем для некоторых узлов применяется модель с временными задержками или (реже) и электрическая модель.

При этом логическая модель не требует вообще никаких цифровых расчетов, для нее достаточно только знание таблиц истинности или алгоритмов функционирования микросхем.

Модель с временными задержками предполагает расчет временных задержек элементов на пути прохождения сигналов. В резуль-

тате этого расчета может выясниться, что требуется внесение изменений в схему.

Рассмотрим простейшую схему, состоящую из одинаковых ЛЭ, изображенную на рисунке 2.11.

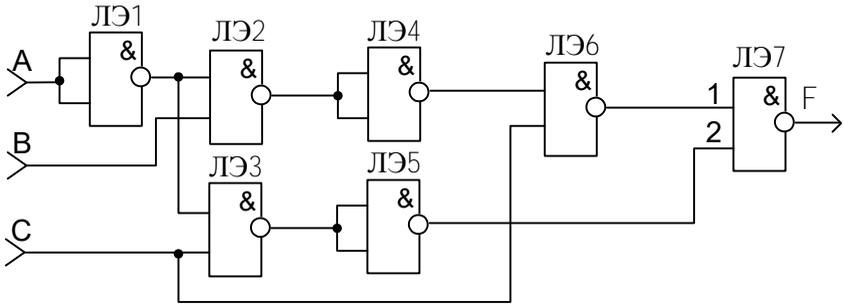


Рисунок 2.11 – Простейшая схема, состоящая из одинаковых ЛЭ

Схема включает в себя одинаковые ЛЭ. Это означает, что они будут иметь одинаковые задержки распространения ($t_{здр}^{10}, t_{здр}^{01}$).

При расчете временной задержки последовательно включенных ЛЭ используется средняя задержка распространения сигнала ЛЭ:

$$\tau_{здр\ ср} = (t_{здр}^{10} + t_{здр}^{01})/2.$$

Пусть, простейшая схема реализована на ЛЭ К155ЛА8 (ТТЛ). Пользуясь справочной литературой определим $t_{здр}^{10}$ (не более 18 нс) и $t_{здр}^{01}$ (не более 60 нс).

Тогда средняя задержка распространения сигнала одного ЛЭ

$$\tau_{здр\ ср\ ЛЭ} = (t_{здр}^{10} + t_{здр}^{01})/2 = (18+60)/2 = 39\text{ нс}.$$

Рассмотрим цепочки последовательно включенных ЛЭ в схеме.

На вход 1 ЛЭ7 поступает сигнал, который формируется последовательно включенными ЛЭ1, ЛЭ2, ЛЭ4, ЛЭ6.

На вход 2 ЛЭ7 поступает сигнал, который формируется последовательно включенными ЛЭ3, ЛЭ5.

Следовательно основную задержку в схему вносит цепочка последовательно включенных элементов ко входу 1 ЛЭ7.

$$\begin{aligned} \tau_{\text{зд р ср общ.}} &= \tau_{\text{зд р ср}}\text{ЛЭ1} + \tau_{\text{зд р ср}}\text{ЛЭ2} + \tau_{\text{зд р ср}}\text{ЛЭ4} + \tau_{\text{зд р ср}}\text{ЛЭ6} + \tau_{\text{зд р ср}}\text{ЛЭ7} = \\ &= 5 * \tau_{\text{зд р ср}}\text{ЛЭ} = 5 * 39 \text{ нс} = 195 \text{ нс}. \end{aligned}$$

Для схемы изображенной на рисунке 2.12 основную задержку в схему будет вносить цепочка следующих ЛЭ: ЛЭ1 (НЕ), ЛЭ4 (ЛЭ И на 3 входа), ЛЭ5 (ЛЭ НЕ), ЛЭ6 (ЛЭ ИЛИ на 2 входа).

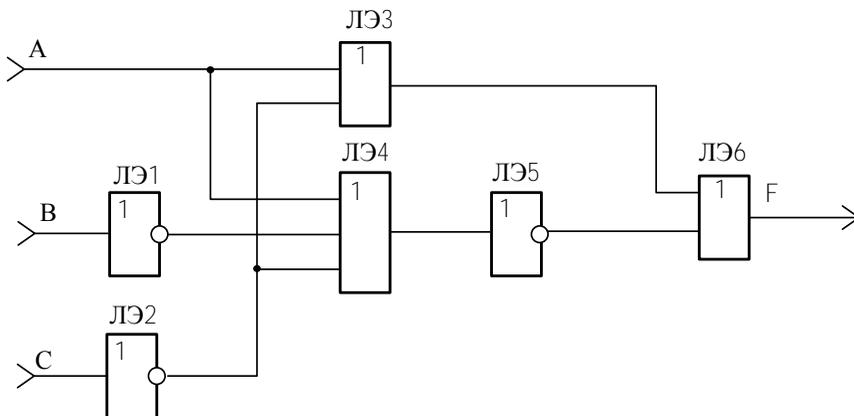


Рисунок 2.12 – Простейшая схема, состоящая из разных ЛЭ

$$\tau_{\text{зд р ср общ}} = \tau_{\text{зд р ср}}\text{ЛЭ1} + \tau_{\text{зд р ср}}\text{ЛЭ4} + \tau_{\text{зд р ср}}\text{ЛЭ5} + \tau_{\text{зд р ср}}\text{ЛЭ6} \text{ или}$$

$$\tau_{\text{зд р ср общ}} = 2 * \tau_{\text{зд р ср}}\text{ЛЭ1} + \tau_{\text{зд р ср}}\text{ЛЭ4} + \tau_{\text{зд р ср}}\text{ЛЭ6}.$$

Расчеты по электрической модели могут быть различными, в том числе и довольно сложными, но в большинстве случаев они сводятся всего к суммированию входных и выходных токов ЛЭ.

Входной ток ЛЭ задается для неблагоприятного режима работы в пределах допустимых температур окружающей среды и напряжения питания как для уровня 0 ($I_{\text{вх}}^0$), так и для уровня 1 ($I_{\text{вх}}^1$).

Выходные токи ($I_{\text{вых}}^0, I_{\text{вых}}^1$) характеризуют нагрузочную способность ЛЭ.

Вытекающие токи имеют положительные знаки, вытекающие – отрицательные.

Рассчитаем схему, представленную на рисунке 2.13 используя электрическую модель.

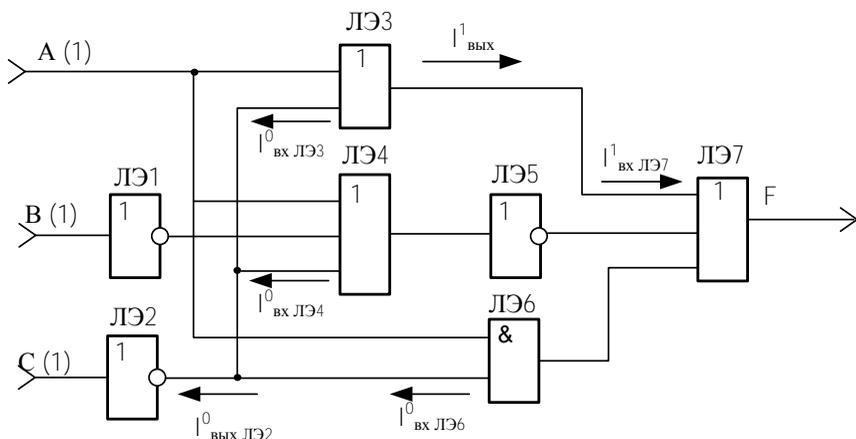


Рисунок 2.13 – Простейшая схема, состоящая из разных ЛЭ

$$I^0_{\text{ВЫ ЛЭ2}} = I^0_{\text{ВХ ЛЭ3}} + I^0_{\text{ВХ ЛЭ4}} + I^0_{\text{ВХ ЛЭ6}};$$

$$I^1_{\text{ВЫ ЛЭ3}} = I^1_{\text{ВХ ЛЭ7}}.$$

В результате этих расчетов может выясниться, что требуется применение микросхем с более мощными выходами или включение дополнительных элементов.

Общие требования к оформлению схем

Все электрические схемы (ЭЗ), выполняемые в рамках лабораторной работы, должны изображаться согласно требованиям ЕСКД: ГОСТ 2.702–75, 2.743–82, 2.708–81, 2.701–84 и т.д. Схемы электрические принципиальные являются основным чертежом лабораторных работ.

Принципиальная схема определяет полный состав элементов и связей между ними. Все интегральные микросхемы и электронные компоненты на ней изображаются в виде их условно-графического обозначения (УГО), рисунок 2.14, а.

Обязательно указывается нумерация выводов интегральной микросхемы. Выводы «Питание» и «Общий» могут не изображаться.

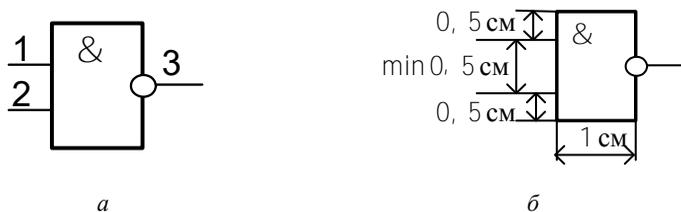


Рисунок 2.14 – Условно-графическое обозначение (а) размеры ЛЭ (б)

Корпуса ИС на чертежах должны иметь позиционное обозначение, как показано на рисунке 2.15. Рекомендуется использовать следующее позиционное обозначение: DDN (N – номер корпуса). Позиционное обозначение выполняется сверху вниз, слева направо.

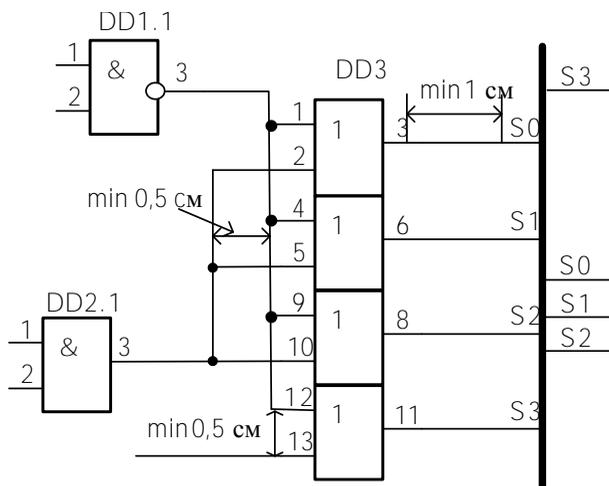


Рисунок 2.15 – Позиционное обозначение корпусов ИС

Для наглядного изображения схемы на чертеже корпус интегральной микросхемы может изображаться по отдельным элементам. В этом случае при позиционном обозначении указывается также номер элемента в корпусе, например, DD2.1 (2-й корпус, 1-й элемент) как показано на рисунке 2.15.

При возможности линии связи объединяются в шины как показано на рисунок 2.16. Линия связи, которая входит в шину, должна

иметь уникальный в пределах шины числовой номер или уникальное буквенно-цифровое обозначение. Отводы линий от шины рекомендуется выполнять под прямым углом. Шину на чертеже рекомендуется выполнять толщиной 2–3 мм. Толщина линий связи – не более 1 мм. Обозначение сигнала, входящего (выходящего) в (из) шины рекомендуется производить у самой шину(ы). Обозначение сигналов, входящих в шину, должно однозначно соответствовать сигналам, выходящим из шины. Расстояние между линиями сигналов – не менее 0,5 см.

На рисунке 2.17 показаны рекомендуемые размеры при изображении ЛЭ, линий связи и шин на принципиальной схеме. Все ответвления от линий связи на чертеже изображаются точками.

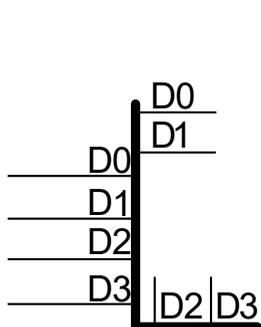


Рисунок 2.16 – Пример изображения шины

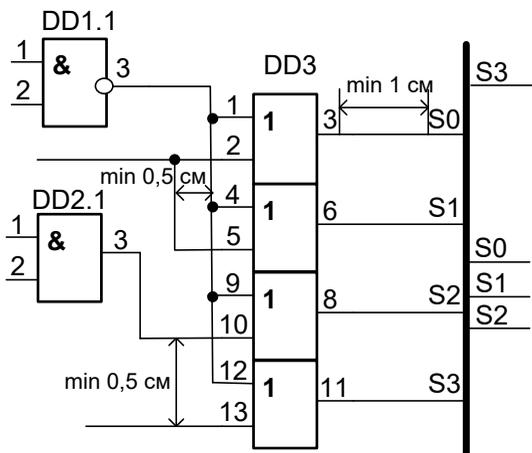


Рисунок 2.17 – Рекомендуемые размеры при изображении принципиальной схемы

Подготовка к выполнению работы

Контрольные вопросы

1. Как можно описать способ преобразования входных сигналов в выходной?
2. Нарисуйте УГО базового ЛЭ И-НЕ, напишите его таблицу истинности и логическое выражение, которым описывается его работа.

3. Нарисуйте УГО базового ЛЭ ИЛИ-НЕ, напишите его таблицу истинности и логическое выражение, которым описывается его работа.
4. Напишите теорему Де-Моргана.
5. Напишите правила повторения и отрицания.
6. Нарисуйте схемы ЛЭ ИЛИ на базовых ЛЭ И-НЕ и ИЛИ-НЕ.
7. Нарисуйте схемы ЛЭ И на базовых ЛЭ И-НЕ и ИЛИ-НЕ.
8. Какие модели представления цифровых схем используются при разработке цифрового прибора?

Индивидуальное задание

Выполняется на ИС ТТЛ-логики в соответствии с вариантами индивидуального задания, приведенным в таблице 2.5.

1. Составить таблицу истинности для функции F.
2. Дорисовать временную диаграмму значения функции F.
3. Нарисовать логическую схему, реализующую заданную функцию F, используя ЛЭ И; ИЛИ; НЕ.
4. Привести функцию F к базовым ЛЭ И-НЕ (функция F1) и ЛЭ ИЛИ-НЕ (функции F2) с помощью алгебры логики, представив всю последовательность преобразований.
5. Пользуясь справочной литературой, осуществить выбор ИС, привести их УГО, параметры ИС в табличном виде.
6. Используя выбранные ИС, нарисовать принципиальные схемы, реализующие функции F1 и F2, руководствуясь требованиями ЕСКД к оформлению принципиальных схем.
6. Для разработанных принципиальных схем рассчитать значения $\tau_{зд}$ ср общ, $I_{вых}$, $P_{пот}$.

Таблица 2.1 – Варианты индивидуального задания

№ вар.	Функция	Диаграмма
1	$F = \overline{X1} + X2 * X3$	
2	$F = \overline{X1} + \overline{X2} * X3$	
3	$F = X1 + \overline{X2} * X3$	

Продолжение таблицы 2.1

№ вар.	Функция	Диаграмма	
4	$F = \overline{X1} + X2 * X3$		
5	$F = X1 + \overline{X2 * X3}$		
6	$F = X1 + \overline{X2} * X3$		
7	$F = \overline{X1} + \overline{X2} * X3$		
8	$F = \overline{X1} + X2 * X3$		
9	$F = X1 + X2 * \overline{X3}$		
10	$F = \overline{\overline{\overline{X1}} + X2 * X3}$		
11	$F = \overline{\overline{\overline{X1}} + X2 * X3}$		
12	$F = \overline{X1 + \overline{X2} * X3}$		
13	$F = \overline{X1 + X2 * X3}$		
14	$F = \overline{X1 + \overline{X2} * X3}$		
15	$F = \overline{\overline{\overline{X1}} + X3 * X2}$		
16	$F = X1 * \overline{X2} + X3$		
17	$F = \overline{X1} * X2 + X3$		
18	$F = X1 * X2 + \overline{X3}$		
19	$F = X1 * \overline{X2} + \overline{X3}$		
20	$F = \overline{X1} * \overline{X2} + X3$		
21	$F = \overline{X1} * X2 + \overline{X3}$		

Окончание таблицы 2.1

№ вар.	Функция	Диаграмма
22	$F = \overline{X1} * X2 + \overline{X3}$	<p>The diagram shows four signals over time t. X1 starts high, drops low, rises high, and drops low. X2 starts low, rises high, and drops low. X3 starts high, drops low, rises high, and drops low. The output F is high during the intervals where (X1 is low and X2 is high) or (X3 is low). Vertical dashed lines indicate the timing of these events.</p>
23	$F = \overline{X1} * \overline{X2} + X3$	
24	$F = \overline{X1} * X2 + X3$	
25	$F = X1 * \overline{X2} + X3$	
26	$F = X1 * X2 + \overline{X3}$	
27	$F = \overline{X1} * \overline{X2} + X3$	
28	$F = \overline{X1} * X2 + X3$	
29	$F = X1 * \overline{X2} + X3$	
30	$F = X1 * X2 + \overline{X3}$	

Порядок выполнения работы

Представить отчет о выполнении индивидуального задания преподавателю и получить разрешение на проверку работоспособности схем на лабораторном макете.

ВНИМАНИЕ: включать источник питания можно только после сборки схемы и получения разрешения.

1. Ознакомиться с лабораторным макетом.
2. Определить, какую из схем, выполненных в соответствии с индивидуальным заданием, можно проверить на макете.
3. Адаптировать выбранную схему (если это необходимо) к логическим элементам, присутствующим на лабораторном макете. Адаптированную схему и таблицу истинности представить в отчете.

4. Собрать схему на лабораторном макете.
5. Подводку входных сигналов (уровень логического 0 или 1) осуществлять от соответствующих клемм макета.
6. При сборке схемы на лабораторном макете использовать светодиоды для контроля истинности функции.
7. Подключить макет к источнику питания ± 5 В.
8. Проверить работу собранной схемы, пользуясь таблицами истинности, разработанными при выполнении индивидуального задания, и контролируя значение функции F при помощи светодиода.
9. Представить собранную и проверенную схему для зачета лабораторной работы преподавателю.

УПРОЩЕНИЕ ЛОГИЧЕСКИХ СХЕМ

Цель работы: изучение способов упрощения логических функций, в том числе частично определенных (недоопределенных). Приобретение практических навыков по разработке и расчету схем на основе логических элементов, в том числе базовых.

Теоретическая часть

Упрощение логических функций

Сложность логической функции, а отсюда сложность и стоимость реализующей ее схемы пропорциональны числу операций и числу вхождений перемещений или их отрицаний. Логическая функция может быть упрощена с помощью аксиом и теорем алгебры логики. Для упрощения применяются правила, приведенные в таблице 3.1.

Таблица 1.1 – Правила вычисления

Законы, правила, теоремы	Для умножения	Для сложения
Коммутативный закон	$X_1X_2 = X_2X_1$	$X_1+X_2 = X_2+X_1$
Ассоциативный закон	$X_1(X_2X_3) = (X_1X_2)X_3$	$X_1+(X_2+X_3) = (X_1+X_2)+X_3$
Дистрибутивный закон	$X_1(X_2+X_3) = X_1X_2+X_1X_3$	
Правило повторения	$XX = X$	$X+X=X$
Правило отрицания	$X\bar{X} = 0$	$X + \bar{X} = 1$
Правило двойного отрицания	$\overline{(\bar{X})} = X$	
Теоремы Де-Моргана	$\overline{X_1 * X_2} = \bar{X}_1 + \bar{X}_2$	$\overline{X_1 + X_2} = \bar{X}_1 * \bar{X}_2$

Рассмотрим булево выражение

$$F = \bar{A}B + A\bar{B} + AB.$$

Для реализации данного выражения необходимо 2 инвертора, 3 ЛЭ И на 2 входа и 1 ЛЭ ИЛИ на 3 входа.

Упростим данное логическое выражение:

$$F = B(\bar{A} + A) + A\bar{B} = B + A\bar{B} = A + B.$$

Таким образом, все логическое выражение сведено к логической операции ИЛИ (логический элемент ИЛИ на 2 входа).

На практике для упрощения логических выражений, описывающих работу устройства, применяют карты Карно. Карта Карно представляет собой графическое изображение всех возможных наборов значений аргументов, каждый минтерм изображается на карте в виде клетки. Карта образуется путем такого расположения клеток, при котором минтермы, находящиеся в соседних клетках, отличаются значением одной переменной.

Карта Карно для 2 переменных имеет вид, представленный на рисунке 3.1, а.

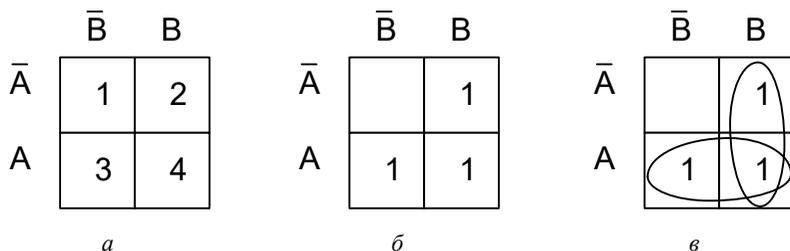


Рисунок 3.1 – Упрощение логического выражения с помощью карты Карно

Минимизируем исходное логическое выражение посредством применения карты Карно. Поставим 1 в карте Карно в тех клетках, которые соответствуют наборам функции, присутствующим в логическом выражении (рисунок 3.1, б).

Отыскание минимальной формы сводится к максимальному склеиванию по некоторому аргументу: по B – вертикаль и по A – горизонталь. Единицы, находящиеся в соседних клетках, объединим контурами (рисунок 3.1, в). Возможно объединение 2, 4, 8 и т. д. единиц, стоящих в соседних клетках. Кроме этого, карта Карно может быть свернута в горизонтальный или вертикальный цилиндры, или шар, что также позволяет объединить единицы, стоящие в соседних крайних клетках свернутых карт.

Нижний контур даст аргумент А. Верхний контур – аргумент В
 В результате значение функции будет также сведено к логической операции ИЛИ: $F = A+B$.

Рассмотрим пример построения карты Карно для 3 переменных.

$$F = \bar{A}\bar{B}\bar{C} + ABC + \bar{A}BC + \bar{A}\bar{B}C + \bar{A}B\bar{C}$$

Карта Карно представлена на рисунке 3.2.

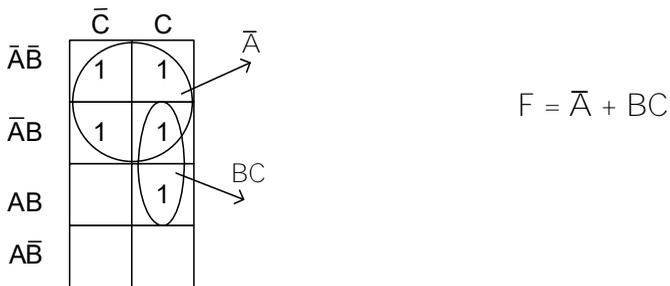


Рисунок 3.2 – Пример карты Карно для 3 переменных

Рассмотрим пример построения карты Карно для 4 переменных (рисунок 3.3).

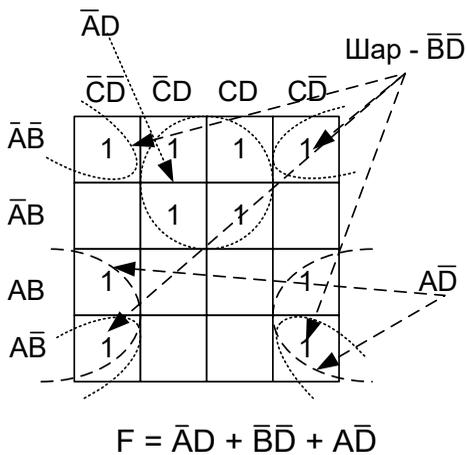


Рисунок 3.3 – Карта Карно для 4 переменных

В рассмотренных примерах осуществлялась минимизация по 1, однако в некоторых случаях целесообразно использовать минимизацию по 0.

Пример такого случая представлен на рисунке 3.4. Минимизация по нулям показана штрихпунктирной линией. Для сравнения сплошной линией показана минимизация по единицам.

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	1	1
$\bar{A}B$	0	0	1	0
AB	0	0	0	0
$A\bar{B}$	0	0	1	1

Рисунок 3.4 – Минимизация по 0

При минимизации по нулям получается отрицательная функция.

Последовательность преобразования отрицательной функции в положительную показана в таблице 3.2.

Таблица 3.2 – Последовательность преобразования отрицательной функции в положительную

Шаг	Логическое выражение	Пояснения
	$\bar{F} = \bar{C} + AB + B\bar{D}$	После минимизации по 0
1	$\bar{\bar{F}} = \bar{\bar{C}} + \bar{\bar{A}B} + \bar{\bar{B}\bar{D}}$	С двух сторон ставится отрицание
2	$F = \bar{\bar{C}} * \bar{\bar{A}B} * \bar{\bar{B}\bar{D}}$	Снимается двойное отрицание с левой стороны. Используется правило двойного отрицания. Снимается отрицание с правой стороны и применяется теорема Де-Моргана

Окончание таблицы 3.2

Шаг	Логическое выражение	Пояснения
3	$F = C * \overline{AB} * \overline{BD}$	Снимается двойное отрицание сигнала C. Используется правило двойного отрицания.

Частично определенная функция и ее упрощение

Частично определенной (недоопределенной) функцией называется функция, значение которой на некоторых наборах запрещено или некоторые наборы входных значений не используются в работе схемы. Значение функции на таких наборах можно задать по своему усмотрению (1 или 0), т. е. доопределить функцию.

Доопределение функции не отразится на работе устройства, но облегчит его реализацию.

При минимизации недоопределенных булевых функций в клетках карты Карно, которые соответствуют запрещенным наборам, ставят прочерки, которые могут доопределяться 1 или 0 для удобства конкретной минимизации.

Пример минимизации недоопределенной функции показан на рисунке 3.5.

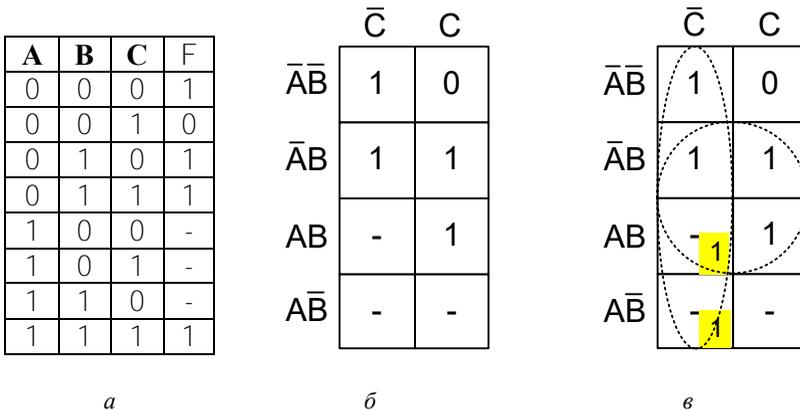


Рисунок 3.5 – Минимизация недоопределенной функции:
 а – таблица истинности; б – карта Карно; в – доопределение карты Карно

В результате будет получено логическое выражение

$$F = C + B.$$

Особенности построения логических схем на реальной элементной базе

При реализации функциональной логической схемы на наборе стандартных ИС возможны несовпадения состава элементов, имеющих для реализации схемы, с составом элементов, необходимых согласно синтезу.

Существует несколько типовых ситуаций:

1. Наличие у имеющихся элементов «лишних» (неиспользуемых в данном случае) входов.
2. Наличие в корпусах ИС лишних элементов.
3. Отсутствие у имеющихся элементов необходимого числа входов.

Неиспользуемые входы логических элементов

Вопрос о режиме «лишних» входов решается с учетом конкретного типа логики используемых элементов.

Пусть, например, нужно получить конъюнкцию пяти переменных. В стандартных сериях нет соответствующих элементов с пятью входами, и придется взять элемент с восемью входами, у которого окажется три «лишних» входа. Принципиально возможно поступить следующим образом:

1. Оставить их разомкнутыми.
2. Присоединить их к задействованным входам.
3. Подать на «лишние» входы некоторые константы.

С точки зрения логических операций все три возможности равномерны (рисунок 3.6).

Если учитывать особенности той или иной логики элемента, то выбор варианта действий становится определенным.

Для КМОП и ТТЛ(Ш) неиспользуемые входы разомкнутыми не оставляют.

Для КМОП-элементов это строгая рекомендация, т. к. они имеют очень большие входные сопротивления, и, следовательно, на разомкнутые входы легко наводятся паразитные потенциалы, которые могут изменять работу схемы.

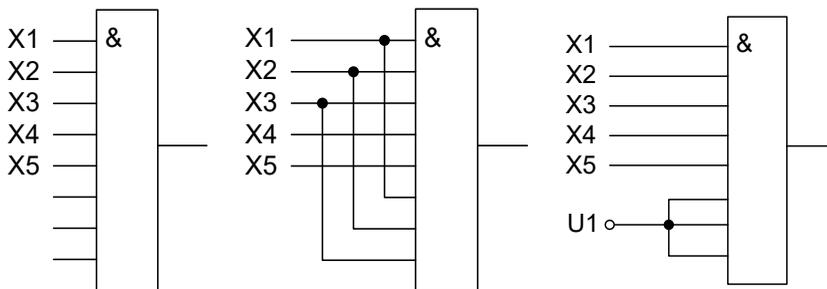


Рисунок 3.6 – Принципиально возможные режимы неиспользуемых входов ЛЭ

Для ТТЛ(Ш)-элементов строгого запрета на оставление разомкнутых входов нет, но так делать не рекомендуется, поскольку пострадают параметры быстродействия элемента.

Присоединение «лишних» входов к задействованным для КМОП и ТТЛ(Ш) принципиально возможно, но нежелательно, т. к. это приводит к увеличению нагрузки на источник сигнала, что также сопровождается уменьшением быстродействия источника сигнала.

Таким образом, для КМОП и ТТЛ(Ш) режим неиспользуемых входов заключается в подаче на них констант (логических единиц или нулей), не изменяющих работу схемы для задействованных входов.

При этом уровни напряжения U^1 и U^0 для КМОП совпадают с уровнями U_n (напряжение питания) и «земля», которые и подаются на неиспользуемые входы.

У элементов ТТЛ(Ш) уровень U^1 на 1,5–2 В ниже U_n , поэтому для предотвращения пробоев неиспользуемые входы подключают к источнику питания U_n через резистор R (обычная $R = 1$ кОм), причем к одному резистору разрешается подключать до 20 входов.

Примеры, иллюстрирующие перечисленные способы подключения неиспользуемых входов ИС, показаны на рисунке 3.7.

Сигнал логической 1 можно получить от специального элемента (рисунок 3.8), причем если это мощный элемент, то он может иметь коэффициент разветвления до 30.

Режим неиспользуемых логических элементов

Поскольку напряжение питания является общим для всего корпуса ИС, то к нему подключены все элементы ИС: как используемые, так и неиспользуемые.

Если мощности, потребляемые элементами в состоянии нуля и единицы, не равны, то имеет смысл поставить неиспользуемый элемент в состояние минимальной мощности.

Для этого необходимо подать на какой-либо из его входов соответствующую константу.

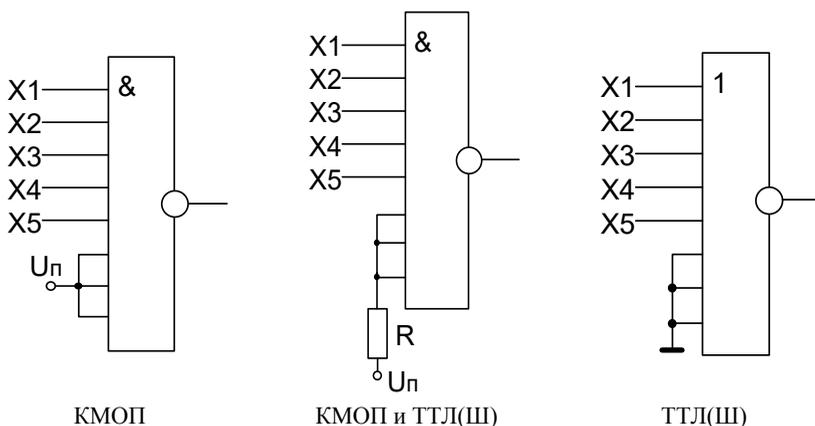


Рисунок 3.7 – Рекомендуемые режимы неиспользуемых входов ЛЭ

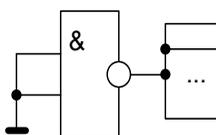


Рисунок 3.8 – Получение сигнала логической 1 с помощью ЛЭ И-НЕ

Наращивание числа входов логических элементов

Для элементов И и ИЛИ для получения нужного числа входов берется несколько элементов, выходы которых объединяются далее элементом того же типа (рисунок 3.9, а).

Наращивание числа входов для операций И-НЕ и ИЛИ-НЕ, в сущности, производится аналогичным методом, но в схеме появляются дополнительные инверторы (рисунок 3.9, б).

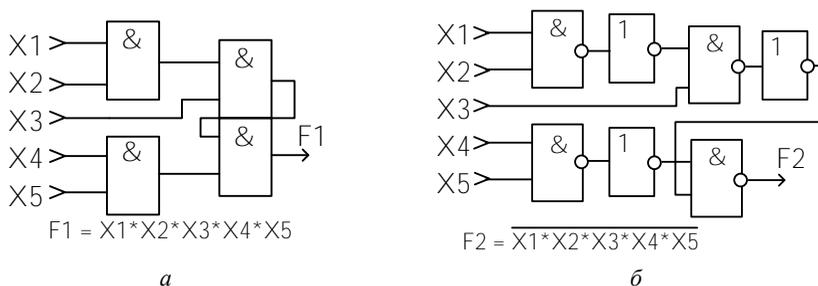


Рисунок 3.9 – Схемы наращивания числа входов логических элементов

Подготовка к выполнению работы

Контрольные вопросы

1. Объясните принцип построения карты Карно.
2. Объясните особенность минимизации недоопределенных булевых функций.
3. Поставьте значения после знака равенства: $X * 1 = ?$; $X * 0 = ?$
4. Поставьте значения после знака равенства: $X + 1 = ?$; $X + 0 = ?$
5. Какие входы ИС называются «лишними»? Решите проблему лишних входов для элемента И на 4 входа, относящегося к семейству ТТЛ(Ш), если задействованы будут только 2. Приведите схему решения.
6. Решите вопрос «лишнего» элемента в корпусах ИС, представленных на рисунке 3.10, если в корпусе НЕ «лишние» элементы имеют выходы 2 и 4; 2ИЛИ-НЕ – 10 и 13; 3И-НЕ – 6; 9И1НЕ – 12. Приведите схемы решений.
7. Осуществите наращивание числа входов ЛЭ: для 5 входных переменных, используя только корпуса ИС, представленной на ри-

сунке 3.10, б, и для 7 входных переменных, используя только корпуса ИС, представленной на рисунке 3.10, в. Нарисуйте принципиальные схемы решений.

Индивидуальные задания

1. В соответствии с вариантом, указанным преподавателем, осуществить упрощение логической функции, заданной таблицей истинности 3.3, представив в отчете таблицу истинности в стандартной форме. Упрощение провести по 0 и 1.

Определить и записать, в каком случае и почему результирующее логическое выражение окажется проще.

2. Нарисовать принципиальную схему, реализующую упрощенную логическую функцию, рационально используя корпуса ИС, представленные на рисунке 3.10, и руководствуясь требованиями ЕСКД.

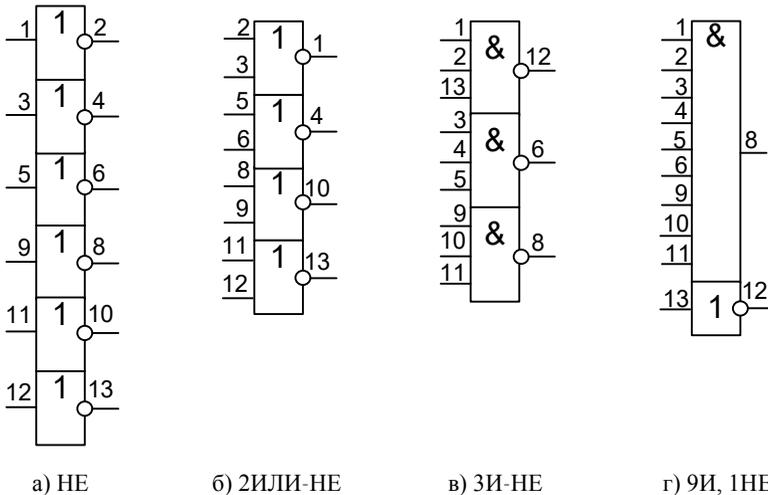


Рисунок 3.10 – Цифровые интегральные схемы

Решить типовые ситуации, возникшие в процессе реализации принципиальной схемы на указанных корпусах. При этом, пользуясь литературой, представить в отчете маркировки данных ИС и необходимые справочные данные для доказательства правильности выбранного решения.

3. Осуществить проверку схемы. Для этого взять любую комбинацию входных данных из таблицы истинности и проверить, соответствует ли значение, полученное на выходе схемы, значению функции F , заданному для этой комбинации в таблице.

Процедуру проверки представить в отчете.

Таблица 3.3 – Таблица истинности к индивидуальному заданию

Входные сигналы				Функция F согласно варианту задания									
X1	X2	X3	X4	F1	F2	F3	F4	F5	F6	F7	F8	F9	F10
0	0	0	0	1	1	1	0	0	0	0	0	0	1
0	0	0	1	1	1	1	0	1	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	0	0	1
0	0	1	1	0	0	0	0	0	0	0	0	1	0
0	1	0	0	1	1	1	0	0	0	0	1	1	1
0	1	0	1	1	1	1	1	1	1	1	1	1	1
0	1	1	0	0	0	0	0	0	0	0	1	1	1
0	1	1	1	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	1	0	0	1	0	0	0	0
1	0	1	0	0	0	0	0	0	0	1	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	1	0	0	0	0	0	1	0	0
1	1	0	1	0	1	1	1	1	1	1	0	0	0
1	1	1	0	0	0	0	0	0	0	0	1	0	0
1	1	1	1	0	0	0	1	1	1	1	0	0	0
0	0	0	0	1	1	1	1	1	0	1	1	1	1
0	0	0	1	0	0	0	0	0	0	0	0	1	1
0	0	1	0	1	1	1	1	1	1	1	1	0	0
0	0	1	1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	1	0	0	1	0	1	1	0	1
0	1	0	1	0	0	0	0	0	0	0	0	1	1
0	1	1	0	0	1	1	0	0	1	1	1	0	0
0	1	1	1	0	0	0	0	0	1	0	0	0	0
1	0	0	0	1	1	1	1	1	0	0	1	1	1
1	0	0	1	0	0	0	1	0	0	0	0	1	1
1	0	1	0	1	1	1	1	1	1	1	1	0	0
1	0	1	1	0	0	0	1	0	0	1	1	0	0
1	1	0	0	0	0	0	0	1	0	0	1	0	1
1	1	0	1	0	0	0	0	0	0	0	0	1	1
1	1	1	0	0	0	1	0	0	1	1	1	0	0
1	1	1	1	0	0	0	0	0	1	1	1	0	0
0	0	0	0	1	-	-	1	1	0	1	1	-	1

Окончание таблицы 3.3

Входные сигналы				Функция F согласно варианту задания									
X1	X2	X3	X4	F1	F2	F3	F4	F5	F6	F7	F8	F9	F10
0	0	0	1	-	1	1	0	-	-	0	0	1	1
0	0	1	0	0	0	0	-	-	0	-	-	-	-
0	0	1	1	0	0	0	0	0	0	0	0	-	0
0	1	0	0	1	1	-	1	1	1	0	1	0	-
0	1	0	1	1	-	1	1	1	-	0	0	1	1
0	1	1	0	-	-	-	-	-	1	-	-	0	-
0	1	1	1	0	0	-	-	0	1	0	0	0	0
1	0	0	0	-	1	0	0	1	-	1	0	1	1
1	0	0	1	1	-	0	0	-	-	-	0	1	1
1	0	1	0	-	0	-	0	0	0	1	-	-	-
1	0	1	1	0	0	0	-	0	0	1	1	-	-
1	1	0	0	0	1	0	0	1	-	-	0	0	1
1	1	0	1	-	-	-	0	-	1	-	-	1	-
1	1	1	0	0	0	-	-	0	-	-	1	-	0
1	1	1	1	0	-	1	0	0	1	0	-	0	0

Порядок выполнения работы

Представить отчет о выполнении индивидуального задания и получить разрешение преподавателя на проверку работоспособности схем на лабораторном макете.

ВНИМАНИЕ: включать источник питания можно только после сборки схемы и получения разрешения преподавателя.

1. Собрать схему на лабораторном макете.
 2. Подводку входных сигналов (уровень логического 0 или 1) осуществлять от соответствующих клемм макета.
 3. При сборке схемы на лабораторном макете использовать светодиоды для контроля истинности.
 4. Подключить макет к источнику питания ± 5 В.
 5. Проверить работу собранной схемы, пользуясь таблицей истинности и контролируя значение функции F при помощи светодиода.
 6. На основании проверенных комбинаций входных переменных и соответствующих им значений функции на выходе схемы, собранной на макете, построить временную диаграмму.
 7. Если задана недоопределенная функция, убедиться, что значения функции на комбинациях, помеченных «->», не влияют на работу схемы.
- Процедуру проверки и выводы представить в отчете.

СИНТЕЗ И ИССЛЕДОВАНИЕ РАБОТЫ ТРИГГЕРНЫХ УСТРОЙСТВ

Цель работы: изучение вопросов, касающихся синтеза и принципа действия триггеров различных типов: асинхронных, синхронных, «мастер-помощник», с установочными входами. Изучение основных схем включения триггеров.

Теоретическая часть

Классификация триггеров. Основные параметры триггеров

Триггером называется устройство, имеющее два устойчивых состояния (0 или 1) и способное под действием входного сигнала скачком переходить из одного устойчивого состояния в другое.

Триггер – это простейший автомат с памятью и способностью хранить 1 бит информации (0 или 1).

Триггеры имеют два выхода: прямой Q и инверсный \bar{Q} (рисунки 4.1–4.3). Если триггер находится в состоянии 1, то на выходе Q будет сигнал 1, а на выходе \bar{Q} – 0. Если триггер находится в состоянии 0, то сигнал на его выходе Q равен 0, а сигнал на его выходе \bar{Q} равен 1.

По способу записи информации триггера делятся на асинхронные и синхронные.

У асинхронных триггеров запись информации происходит под действием информационных сигналов. Такие триггера имеют только информационные входы. Условно-графическое обозначение такого триггера представлено на рисунке 4.1.

У синхронных триггеров запись информации происходит под действием разрешающих сигналов синхронизации.

Синхронные триггера бывают со статическим, динамическим управлением записью и двухступенчатые.

Синхронные триггера со статическим управлением записью принимают информационные сигналы все время, пока действует импульс синхронизации (рисунок 4.2, а). Следовательно, переключе-

чение триггера за время действия импульса синхронизации может быть многократным. У таких триггеров вход C – статический.

Синхронные триггера с динамическим управлением записью принимают только те информационные сигналы, которые были на информационных входах к моменту прихода синхроимпульса. У таких триггеров вход C – динамический (рисунок 4.2, б).

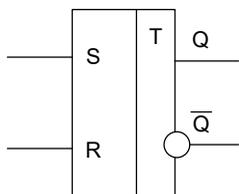


Рисунок 4.1 – Асинхронный триггер

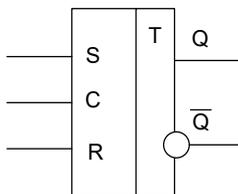
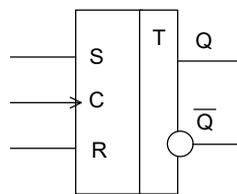


Рисунок 4.2 – Синхронные триггер: а – со статическим управлением; б – с динамическим управлением



Синхронные двухступенчатые триггера состоят из двух ступеней (рисунок 4.3). Запись информации в первую ступень происходит с появлением синхроимпульса, а во вторую ступень – после окончания синхроимпульса. Следовательно, двухступенчатые триггера задерживают выходную информацию на время, равное длительности синхроимпульса. Такие триггера еще называют триггерами с внутренней задержкой.

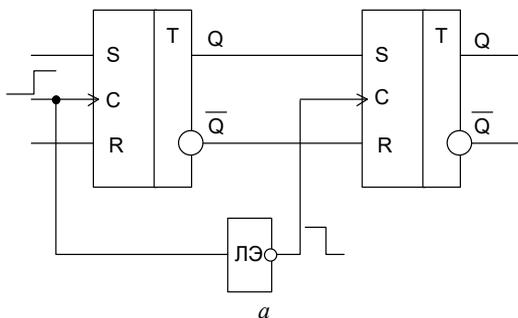
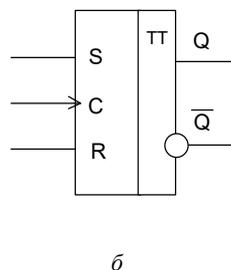


Рисунок 4.3 – Синхронный двухступенчатый триггер: а – структура; б – УГО



Приняты следующие обозначения входов триггеров:

- S – отдельный вход установки триггера в единичное состояние по прямому выходу Q;
- R – отдельный вход сброса триггера в нулевое состояние по прямому выходу Q;
- C – вход синхронизации. На рисунке 4.4 приведены условные обозначения входа синхронизации;
- D – информационный вход. На него подается информация, предназначенная для записи в триггер (рисунок 4.5, а);
- T – счетный вход (рисунок 4.5, б).

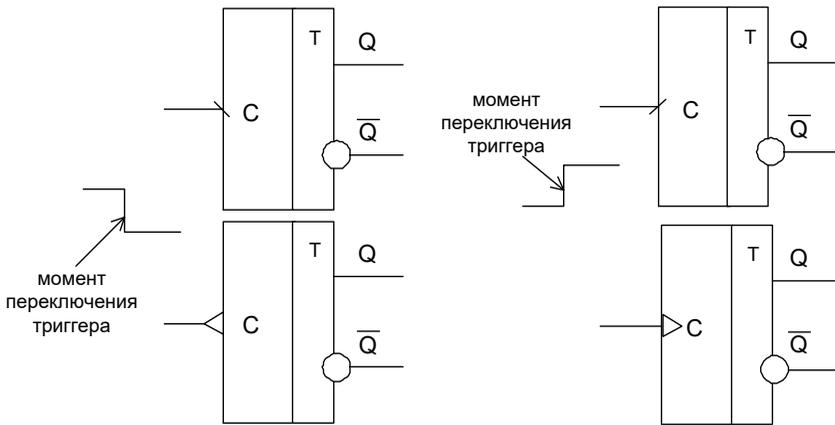


Рисунок 4.4 – Условные обозначения входа синхронизации

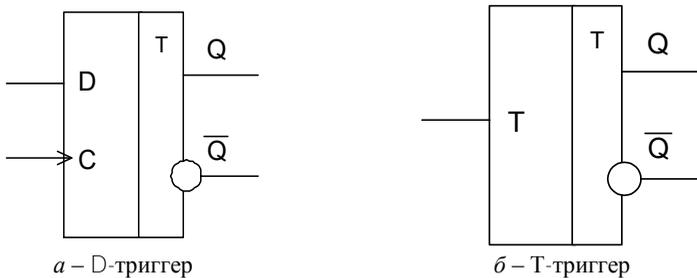


Рисунок 4.5 – Условно-графические обозначения D-триггера и T-триггера

Для всех триггеров характерны следующие параметры:

$K_{\text{раз}}$ – коэффициент разветвления. Показывает нагрузочную способность триггера, т. е. обозначает количество элементов, которые параллельно присоединены к выходу триггера и на которые подается выходной сигнал триггера.

$K_{\text{об}}$ – коэффициент объединения по входу. Обозначает максимальное число входных сигналов, которые можно подать на вход триггера.

$t_{\text{н}}$ – наименьшая длительность входного сигнала (импульса), при котором еще происходит надежное переключение триггера.

$t_{\text{зд}}$ – время задержки между моментом подачи входного сигнала и появлением выходного сигнала.

$t_{\text{р}}$ – время разрешения, которое характеризует наименьший интервал между моментами подачи двух входных сигналов с длительностью $t_{\text{н}}$, вызывающих переключение триггера.

Асинхронные триггера

Асинхронный RS-триггер. УГО асинхронного RS-триггера, его схема и диаграмма работы представлены на рисунке 4.6.

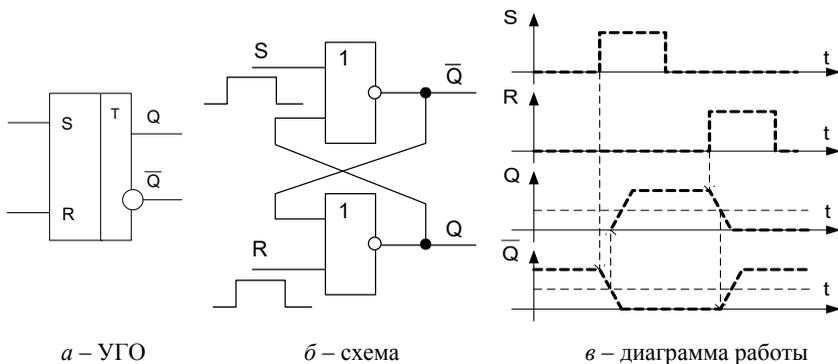


Рисунок 4.6 – RS-триггер

Из схемы и диаграммы работы RS-триггера видно, что активным сигналом, вызывающим переключение триггера, например, из состояния 1 в состояние 0, является сигнал 1, поданный на вход R.

Запрещенной комбинацией будет являться комбинация входных сигналов $R = S = 1$.

Работу асинхронного RS-триггера можно описать таблицей истинности, таблица 4.1.

Таблица 4.1 – Таблица истинности асинхронного RS-триггера

S^t	R^t	Q^t	Q^{t+1}	Примечание
0	0	0	0	Хранение 0 (сигналы на входах неактивны)
0	1	0	0	Установка в состояние 0 (триггер находился в состоянии 0, устанавливается в состояние 0 по активному входу $R = 1$)
1	0	0	1	Установка в состояние 1 (триггер находился в состоянии 0, устанавливается в состояние 1 по активному входу $S = 1$)
1	1	0	–	Запрещенная комбинация
0	0	1	1	Хранение 1 (сигналы на входах неактивны)
0	1	1	0	Установка в состояние 0 (триггер находился в состоянии 1, устанавливается в состояние 0 по активному входу $R = 1$)
1	0	1	1	Установка в состояние 1 (триггер находился в состоянии 1, устанавливается в состояние 1 по активному входу $S = 1$)
1	1	1	-	Запрещенная комбинация

Асинхронный JK-триггер. УГО асинхронного JK-триггера, его схема и диаграмма работы представлены на рисунке 4.7.

JK-триггер не имеет запрещенных комбинаций входных сигналов.

Если на входы J и K одновременно действуют активные сигналы 1, то триггер изменяет свое состояние на противоположное.

Такой режим работы называют счетным режимом.

Вход J триггера (аналогично входу S) является входом установки триггера в единичное состояние по прямому выходу Q. Вход K триггера (аналогично входу R) является входом установки триггера в нулевое состояние по прямому выходу Q.

Работу асинхронного JK-триггера можно описать таблицей истинности (таблица 4.2).

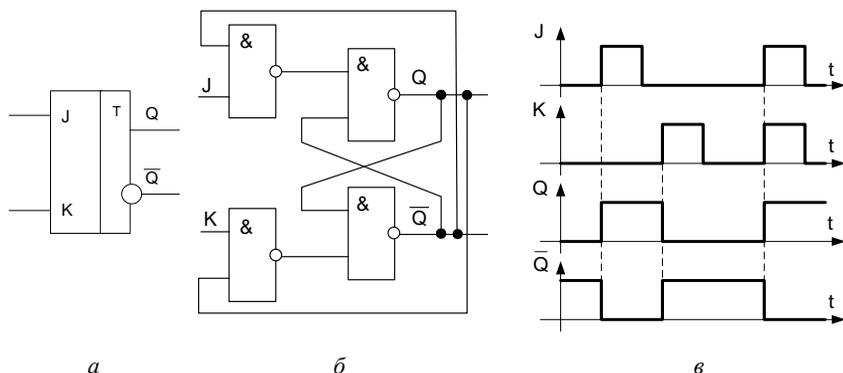


Рисунок 4.7 – JK-триггер:
а – УГО; *б* – схема; *в* – диаграмма работы

Таблица 4.2 – Таблица истинности асинхронного JK-триггера

J	K	Q^t	Q^{t+1}	Примечание
0	0	0	0	Хранение 0 (сигналы на входах неактивны)
0	1	0	0	Установка в состояние 0 (триггер находился в состоянии 0, устанавливается в состояние 0 по активному входу $K = 1$)
1	0	0	1	Установка в состояние 1 (триггер находился в состоянии 0, устанавливается в состояние 1 по активному входу $J = 1$)
1	1	0	1	Счетный режим, триггер переходит из состояния 0 в состояние 1
0	0	1	1	Хранение 1 (сигналы на входах неактивны)
0	1	1	0	Установка в состояние 0 (триггер находился в состоянии 1, устанавливается в состояние 0 по активному входу $K = 1$)
1	0	1	1	Установка в состояние 1 (триггер находился в состоянии 1, устанавливается в состояние 1 по активному входу $J = 1$)
1	1	1	0	Счетный режим, триггер переходит из состояния 1 в 0

Асинхронный Т-триггер. Асинхронный Т-триггер имеет только один счетный вход Т. Работу Т-триггера можно описать таблицей истинности (таблица 4.3).

УГО асинхронного Т-триггера, его схема и диаграмма работы представлены на рисунке 4.8.

Таблица 4.3 – Таблица истинности асинхронного Т-триггера

T^l	Q^l	Q^{l+1}
0	0	0
1	0	1
0	1	1
1	1	0

Т-триггер изменяет свое состояние на противоположное всякий раз, когда на вход Т поступает сигнал «1».

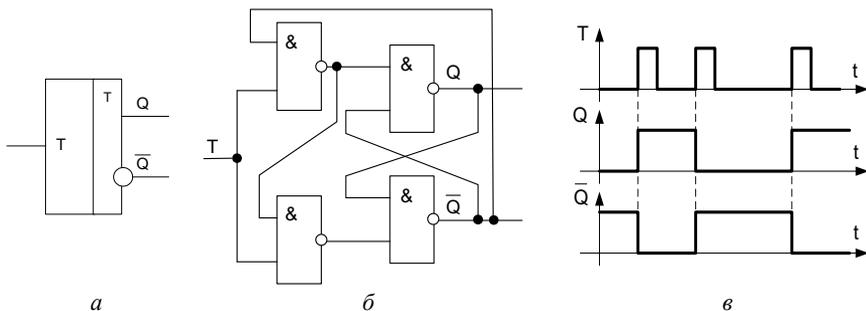


Рисунок 4.8 – Т-триггер:
а – УГО; б – схема; в – диаграмма работы

Синхронные триггера

Синхронный RS-триггер. УГО синхронного RS-триггера, его схема и диаграмма работы представлены на рисунке 4.9.

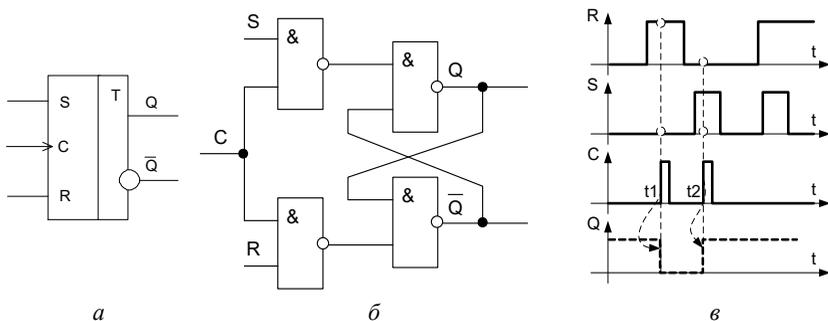


Рисунок 4.9 – Синхронный RS-триггер:
а – УГО; б – схема; в – диаграмма работы

Работу синхронного RS-триггера можно описать таблицей истинности (таблица 4.4).

Таблица 4.4 – Таблица истинности синхронного RS-триггера

S^t	R^t	C^t	Q^t	Q^{t+1}
0	0	0	0	0
0	1	0	0	0
1	0	0	0	0
1	1	0	0	0
0	0	0	1	1
0	1	0	1	1
1	0	0	1	1
1	1	0	1	1
0	0	1	0	0
0	1	1	0	0
1	0	1	0	1
1	1	1	0	-
0	0	1	1	1
0	1	1	1	0
1	0	1	1	1
1	1	1	1	-

D-триггер. УГО D-триггера, его схема и диаграмма работы представлены на рисунке 4.10.

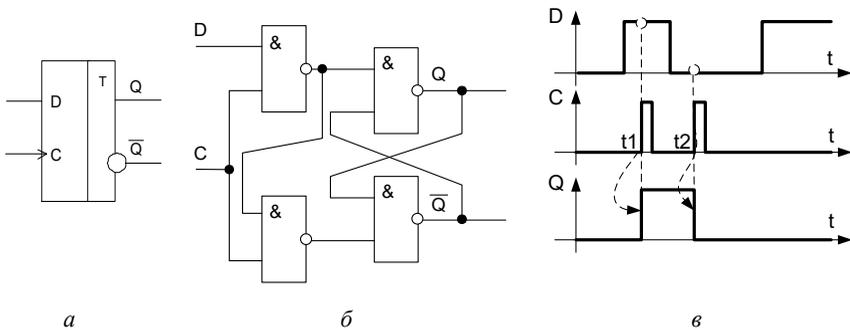


Рисунок 4.10 – D-триггер.
a – УГО; *б* – схема; *в* – диаграмма работы

D-триггер (триггер задержки) является самым распространенным триггером. Он имеет информационный вход D (вход данных) и тактовый вход C.

Триггер меняет свое состояние по положительному фронту сигнала C (по его переходу из нуля в единицу) в зависимости от состояния входа данных D.

Если на входе D присутствует высокий сигнал (1), то по положительному фронту сигнала C прямой выход триггера устанавливается в единицу (инверсный – в ноль).

Если же на входе D присутствует нулевой сигнал, то по фронту сигнала C прямой выход триггера устанавливается в ноль (инверсный – в единицу).

Работа D-триггера описывается таблицей истинности (таблица 4.5).

Таблица 4.5 – Таблица истинности синхронного D-триггера

C ^t	D ^t	Q ^t	Q ^{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

D-триггер с установочными входами. УГО D-триггера с установочными входами, его схема и диаграмма работы представлены на рисунке 4.11.

В момент t₁ работа триггера определяется установочным сигналом на входе \bar{R} (логический 0) – триггер переключается в состояние 0.

В момент t₂ сигналы на установочных входах неактивны, на входе D присутствует сигнал 1, на входе C – положительный фронт, триггер переключается из состояния 0 в состояние 1.

В момент t₃ сигналы на установочных входах неактивны, на входе D присутствует сигнал 0, на входе C – положительный фронт, триггер переключается из состояния 1 в состояние 0.

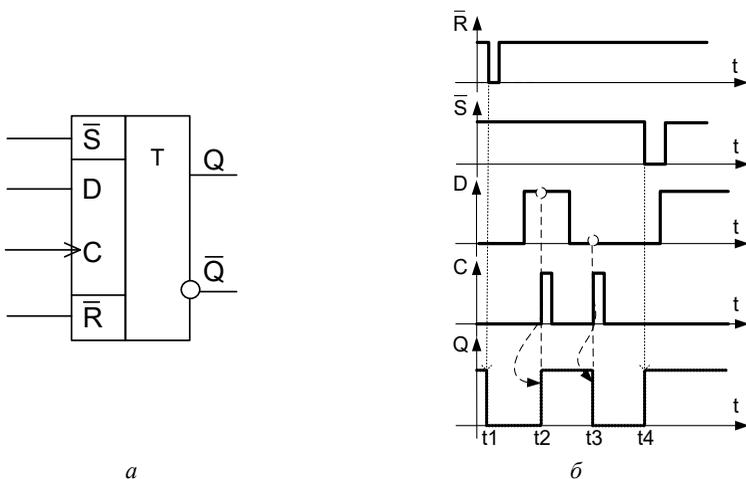


Рисунок 4.11 – D-триггер с установочными входами $\bar{R}\bar{S}$:
 а – УГО; б – диаграмма работы

В момент t_4 работа триггера определяется установочным сигналом на входе \bar{S} , (логический 0) – триггер переключается в состояние 1.

Следует помнить, что согласно схмотехнической организации триггера с установочными входами при одновременном действии сигналов на один из установочных входов, информационный вход и вход синхронизации C , состояние триггера определяет установочный вход.

На установочные входы \bar{R} , \bar{S} активные сигналы ($\bar{R} = \bar{S} = 0$) одновременно поданы быть не могут (согласно схеме $\bar{R}\bar{S}$ -триггера это запрещенная комбинация).

Синтез триггера

Последовательность синтеза триггера рассмотрим на примере синтеза асинхронного триггера RS. Допустим, что:

- t – момент времени действия входных сигналов;
- $t+1$ – момент времени, когда сигналы на выходе схемы под действием входных сигналов принимают значения, соответствующие следующему состоянию.
- Q^t – внутренний сигнал обратной связи.

В общем случае состояние триггерной схемы при одновременном действии активных сигналов R^t и S^t является неопределенным, т. е. при действии двух активных входных сигналов триггер находится одновременно в состоянии логического 0 и логической 1, что недопустимо.

Опишем работу триггера RS таблицей истинности (таблица 4.6).

Таблица 4.6 – Таблица истинности RS-триггера

R^t	S^t	Q^t	Q^{t+1}
0	0	0	0
0	1	0	1
1	0	0	0
1	1	0	–
0	0	1	1
0	1	1	1
1	0	1	0
1	1	1	–

Как видно из таблицы истинности, в двух случаях состояние триггера является неопределенным (помечено «–»).

Используя правила по работе с частично определенной функцией «–» можно доопределить комбинациями 00, 01, 10 или 11.

В зависимости от того, какой комбинацией будет доопределена функция, можно получить разные типы триггеров.

Доопределим функцию вместо «–» комбинацией 11 и составим карту Карно, в клетки которой запишем значения функции Q^{t+1} для комбинаций SR.

	\bar{Q}^t	Q^t
$\bar{S}\bar{R}$	0	1
$\bar{S}R$	0	0
SR	1	1
$S\bar{R}$	1	1

Из карты Карно следует:

$$Q^{t+1} = S^t + \bar{R}^t \cdot Q^t$$

Из выражения видно, что вход S триггера – прямой, а вход R – инверсный, т. е. в результате такого доопределения был синтезирован триггер $\bar{R}S$.

Условно-графическое обозначение $\bar{R}S$ -триггера, его схема на элементах 2-ИИЛИ-НЕ представлены на рисунке 4.12.

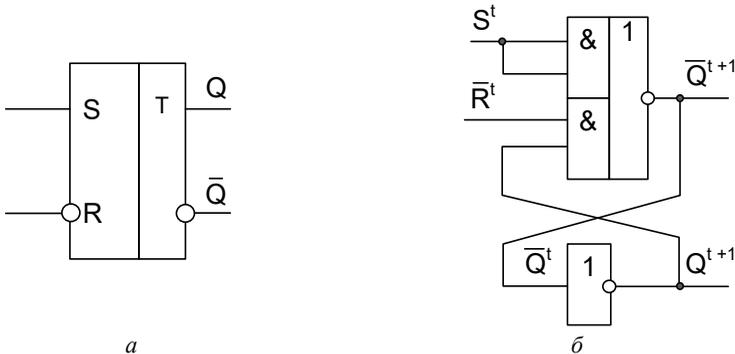


Рисунок 4.12 – $\bar{R}S$ -триггер:
 а – УГО; б – схема на элементах 2-ИИЛИ-НЕ

Поставим отрицание с двух сторон выражения:

$$\overline{Q^{t+1}} = \overline{S^t + \bar{R}^t \cdot Q^t}.$$

Если выражение $\overline{Q^{t+1}} = \overline{S^t + \bar{R}^t \cdot Q^t}$ привести к базисам И-НЕ или ИЛИ-НЕ, то получим триггера другого типа, например, триггер $R\bar{S}$.

Подготовка к выполнению работы

Контрольные вопросы

1. Что такое триггер? Какие входы и выходы имеет триггер?
2. Какие бывают триггера по способу записи?
3. Какие параметры триггера Вы знаете?
4. Нарисуйте УГО и таблицу истинности $\bar{R}\bar{S}$ -триггера. Какая комбинация сигналов является запрещенной?
5. Нарисуйте УГО и таблицу истинности $\bar{J}\bar{K}$ -триггера.

6. Какой триггер называется «мастер-помощник»? Нарисуйте его УГО.
7. Какой триггер называется синхронным?
8. Нарисуйте схему синхронного \overline{RS} -триггера на элементах ИЛИ-НЕ. Объясните его работу с помощью диаграммы.
9. Нарисуйте схему синхронного JK-триггера и его таблицу истинности.
10. Нарисуйте схемы преобразования JK-триггера в триггер T и триггер D.

Индивидуальное задание

В соответствии с вариантом индивидуальных заданий, представленных в таблице 4.7, выполнить следующие действия:

1. Составить таблицу переходов указанного триггера.
2. Используя таблицу переходов, составить карту Карно и синтезировать логическое выражение, описывающее работу данного триггера.
3. Привести полученное выражение к базовому ЛЭ, указанному для данного варианта, с помощью алгебры логики, представив всю последовательность преобразований.
4. Нарисовать принципиальную схему триггера на базовых ЛЭ в соответствии с ЕСКД.
5. Используя таблицу переходов триггера, проверить правильность синтезированной схемы. Для этого подать значения переменных на входы схемы и получить соответствующие значения сигнала на выходах триггера. Процедуру проверки представить в отчете.
6. Нарисовать схему триггера на основе бистабильной ячейки, указанной для данного варианта.
7. Нарисовать временную диаграмму работы данного триггера, предусмотрев на ней максимально возможное количество комбинаций из таблицы переходов.

Таблица 4.7 – Варианты индивидуального задания

№ варианта	Триггер	Базовый ЛЭ	Бистабильная ячейка
1	\overline{RS}	И-НЕ	\overline{RS}

Продолжение таблицы 4.7

№ варианта	Триггер	Базовый ЛЭ	Бистабильная ячейка
2	$\bar{R}S$	И-НЕ	$\bar{R}\bar{S}$
3	$C\bar{R}S$	И-НЕ	$\bar{R}\bar{S}$
4	$CR\bar{S}$	И-НЕ	$\bar{R}\bar{S}$
5	$\bar{C}R\bar{S}$	И-НЕ	$\bar{R}\bar{S}$
6	$\bar{C}\bar{R}S$	И-НЕ	$\bar{R}\bar{S}$
7	$J\bar{K}$	И-НЕ	$\bar{R}\bar{S}$
8	$\bar{J}K$	И-НЕ	$\bar{R}\bar{S}$
9	$CJ\bar{K}$	И-НЕ	$\bar{R}\bar{S}$
10	CJK	И-НЕ	$\bar{R}\bar{S}$
11	$\bar{C}JK$	И-НЕ	$\bar{R}\bar{S}$
12	$\bar{C}\bar{J}K$	И-НЕ	$\bar{R}\bar{S}$
13	$\bar{C}J\bar{K}$	И-НЕ	$\bar{R}\bar{S}$
14	$\bar{C}\bar{J}\bar{K}$	И-НЕ	$\bar{R}\bar{S}$
15	$D\bar{C}$	И-НЕ	$\bar{R}\bar{S}$
16	$R\bar{S}$	ИЛИ-НЕ	RS
17	$\bar{R}S$	ИЛИ-НЕ	RS
18	$C\bar{R}S$	ИЛИ-НЕ	RS
19	$CR\bar{S}$	ИЛИ-НЕ	RS

Окончание таблицы 4.7

№ варианта	Триггер	Базовый ЛЭ	Бистабильная ячейка
20	$\overline{CR}\overline{S}$	ИЛИ-НЕ	RS
21	$\overline{C}\overline{R}S$	ИЛИ-НЕ	RS
22	$J\overline{K}$	ИЛИ-НЕ	RS
23	$\overline{J}K$	ИЛИ-НЕ	RS
24	$CJ\overline{K}$	ИЛИ-НЕ	RS
25	$C\overline{J}K$	ИЛИ-НЕ	RS
26	$\overline{C}JK$	ИЛИ-НЕ	RS
27	$\overline{C}\overline{J}K$	ИЛИ-НЕ	RS
28	$\overline{C}J\overline{K}$	ИЛИ-НЕ	RS
29	$\overline{C}J\overline{K}$	ИЛИ-НЕ	RS
30	$D\overline{C}$	ИЛИ-НЕ	RS

Порядок выполнения работы

1. Представить отчет о выполнении индивидуального задания преподавателю и получить разрешение на проверку работоспособности схем на лабораторном макете.

2. Ознакомиться с лабораторным макетом.

Подводку входных сигналов (уровень логического 0 или 1) осуществлять от соответствующих клемм макета.

При сборке схемы на лабораторном макете использовать светодиоды для контроля истинности.

Подключить макет к источнику питания ± 5 В.

3. Адаптировать одну из схем, выполненных в соответствии с индивидуальным заданием, к логическим элементам, присутствующим на лабораторном макете.

Адаптированную схему триггера и таблицу истинности представить в отчете.

Собрать схему на лабораторном макете.

Исследовать работу триггера полученного в результате выполнения индивидуального задания, используя таблицу его истинности.

На основании проведенных исследований нарисовать диаграмму работы.

4. Собрать на лабораторном макете асинхронный RS-триггер (см. рисунок 4.6).

Исследовать работу триггера, используя таблицу истинности. На основании проведенных исследований нарисовать диаграмму работы.

5. Собрать на лабораторном макете асинхронный JK-триггер (см. рисунок 4.7).

Исследовать работу триггера, используя таблицу истинности. На основании проведенных исследований нарисовать диаграмму работы.

6. Собрать на лабораторном макете асинхронный T-триггер (см. рисунок 4.8).

Исследовать работу триггера, используя таблицу истинности. На основании проведенных исследований нарисовать диаграмму работы.

7. Собрать на лабораторном макете синхронный RS-триггер (см. рисунок 4.9).

Исследовать работу триггера, используя таблицу истинности. На основании проведенных исследований нарисовать диаграмму работы.

8. Собрать на лабораторном макете синхронный D-триггер (см. рисунок 4.10).

Исследовать работу триггера, используя таблицу истинности. На основании проведенных исследований нарисовать диаграмму работы.

9. Исследовать работу D-триггера с установочными входами. Нарисовать его УГО и на основании проведенных исследований представить диаграмму работы.

10. Преобразовать триггер D в триггер T. Исследовать его работу. На основании проведенных исследований нарисовать диаграмму работы.

11. Преобразовать JK триггер в триггер D. Исследовать его работу. На основании проведенных исследований нарисовать диаграмму работы.

СИНТЕЗ И ИССЛЕДОВАНИЕ РАБОТЫ РЕГИСТРОВ

Цель работы: изучение регистров памяти, сдвига, параллельно-последовательных регистров; способов ввода и вывода информации из регистров; особенностей организации регистров на триггерах различного типа.

Теоретическая часть

Регистр (англ. *register*) – устройство, предназначенное для хранения и преобразования многоразрядных двоичных чисел. В качестве запоминающего элемента в регистрах используют триггер.

Регистры классифицируют по различным признакам, основными из которых являются способы ввода информации в регистр и способы вывода информации из регистра.

Регистры делятся на три группы:

- параллельные регистры (иначе регистры памяти);
- регистры сдвига;
- параллельно-последовательные регистры.

По виду вводимой и выводимой информации различают регистры однофазного и парафазного типа.

В однофазных регистрах информация вводится (выводится) только в прямом или только в обратном коде. В парафазных информация вводится (выводится) одновременно в прямом и обратном кодах.

Вывод информации из регистров осуществляется в прямом и обратном кодах (триггер имеет два выхода: Q – прямой и \bar{Q} – инверсный).

Регистры памяти

Назначение регистров памяти – хранить двоичную информацию небольшого объема в течение некоторого промежутка времени. Эти регистры представляют собой набор триггеров, каждый из которых хранит один разряд двоичного числа.

В параллельных регистрах ввод (запись) и вывод (считывание) информации производится одновременно во всех разрядах параллельным кодом.

*Способы ввода информации в регистр памяти,
организованный на триггерах с установочными входами*

Существует несколько способов записи информации по установочным входам:

- в прямом коде по установочному входу S с предварительной установкой регистра в 0;
- в обратном коде по установочному входу R с предварительной установкой всех триггеров в 1;
- с подачей парафазного кода информации (прямой код на вход S , обратный код на вход R).

Во всех перечисленных способах запись информации осуществляется уровнем сигнала.

Схема регистра с возможностью записи информации по установочному входу S с предварительной установкой регистра в 0 представлена на рисунке 5.1, а, диаграмма работы данного регистра – на рисунке 5.1, б.

Как видно из диаграммы, до момента действия сигнала Уст «0» (момент времени t_1), регистр находится в некотором состоянии ($Q_1 = 1, Q_2 = 1, \dots, Q_m = 1$), т. е. хранит некоторую, ранее записанную информацию.

Для корректной работы схемы первым (в момент времени t_1) подается сигнал Уст 0 (высокий уровень), который устанавливает все разряды регистра в нулевое состояние.

На входы регистра подается в прямом коде некоторая информация ($D_1 = 0, D_2 = 1, \dots, D_m = 1$), которая поступает на один из входов логических элементов, образующих управляющую комбинационную схему. В момент прихода управляющего сигнала Тзап.пр. (момент времени t_2), информация, присутствующая на входах D_1, D_2, \dots, D_m , записывается в регистр. То есть триггер, на установочный вход S которого подается сигнал логической 1 с ЛЭ И (вход $D_i = 1, T_{зап} = 1$), переходит в состояние 1. Триггер, на установочный вход S которого подается сигнал логического 0 с ЛЭ И (вход $D_i = 0, T_{зап} = 1$), остается в состоянии логического 0, обусловленном сигналом Уст 0.

Регистр хранит записанную информацию до момента времени t_3 .

К этому моменту времени на входах D_1, D_2, \dots, D_m установились новые данные.

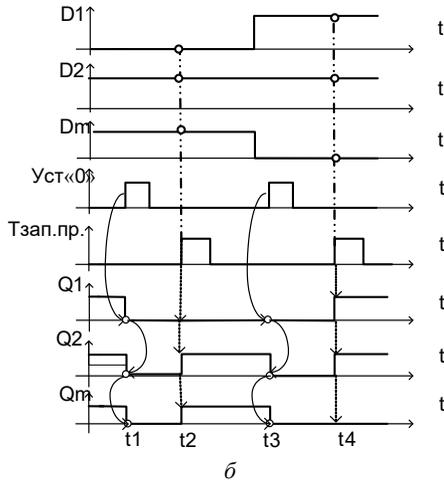
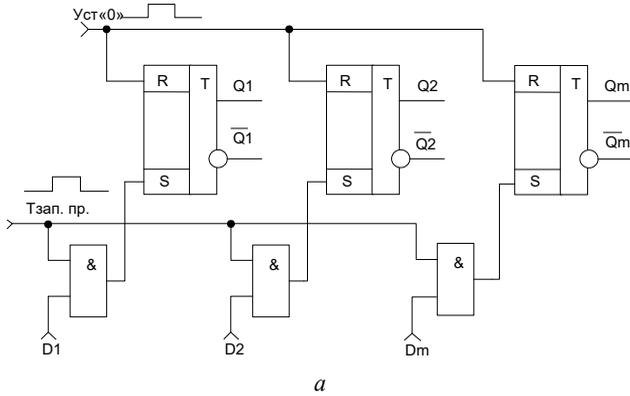
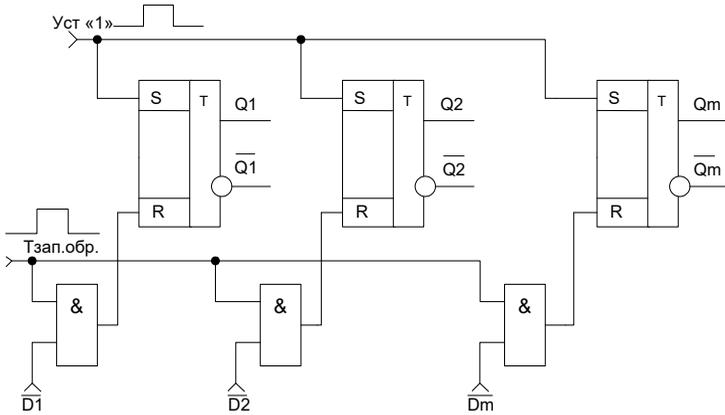


Рисунок 5.1 – Запись информации в прямом коде по установочному входу S с предварительной установкой в «0» всех триггеров регистра:
a – схема; *б* – диаграмма работы

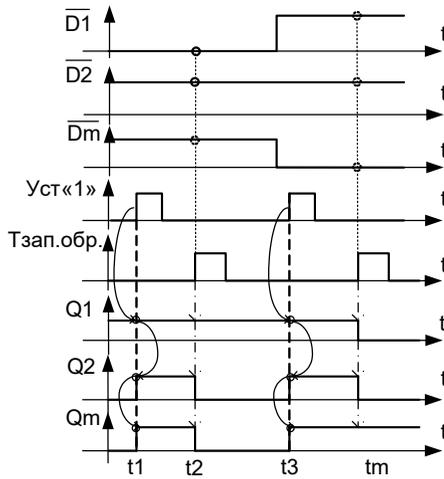
В момент t_3 подается сигнал Уст «0». В момент t_4 подается сигнал Тзап.пр., и в регистр записываются новые данные. Недостатком приведенной схемы является необходимость подачи сигнала Уст «0».

Если триггер имеет инверсные установочные входы ($\bar{R}\bar{S}$), то для записи информации, подаваемой на входы D_i в прямом коде, необходимо вместо ЛЭ И использовать ЛЭ И-НЕ, а в цепь Уст «0» включить инвертор.

Схема регистра с возможностью записи информации по установочному входу R с предварительной установкой в «1» всех триггеров регистра приведена на рисунке 5.2, а, диаграмма его работы – на рисунке 5.2, б.



а



б

Рисунок 5.2 – Запись информации в прямом коде по установочному входу R с предварительной установкой в «1» всех триггеров регистра:
а – схема; б – диаграмма работы

Особенностью работы данного регистра является то, что данные, поступающие на входы D_i , должны подаваться в обратном коде.

При записи числа в регистр в состояние логического 0 устанавливаются только те триггера, на которые подается обратный код разряда числа, равный 1. Остальные триггера останутся в состоянии 1.

Недостатком приведенной схемы является необходимость подачи сигнала Уст «1» на все триггера.

Схема регистра с возможностью записи информации парафазным кодом представлена на рисунке 5.3, а, диаграмма его работы – на рисунке 5.3, б.

При записи парафазным кодом прямой код числа подается на вход S, обратный код – на вход R.

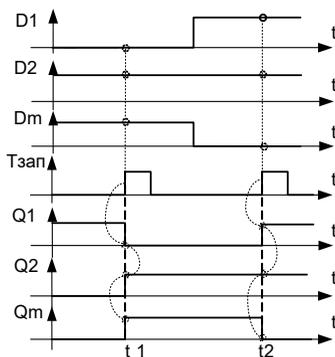
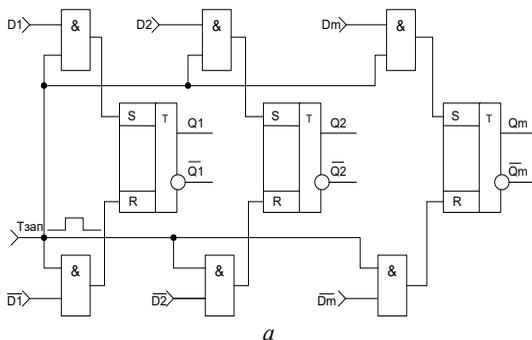


Рисунок 5.3 – Запись информации в прямом коде по установочным входам парафазным кодом:
а – схема; б – диаграмма работы

Достоинством данной схемы является отсутствие сигнала предварительной установки регистра.

Недостатком схемы является требование наличия одновременно прямого и обратного кодов числа. Если устройство работает только с прямым кодом, то для формирования обратного кода необходимо в схеме предусмотреть m инверторов.

*Ввод информации в регистр памяти,
организованный на триггерах без установочных входов*

Если регистр организован на D-триггерах, то по положительному фронту тактового сигнала Тзап.пр., поступающего на входы синхронизации С (рисунок 5.4), информация, присутствующая на входах D_i , записывается в регистр.

Информация в регистре сохраняется до момента выключения питания схемы или записи новой информации.

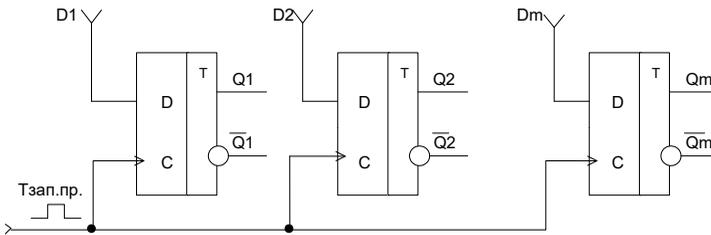


Рисунок 5.4 – Запись информации параллельным кодом

На рисунке 5.5 представлена схема параллельного регистра на JK-триггерах.

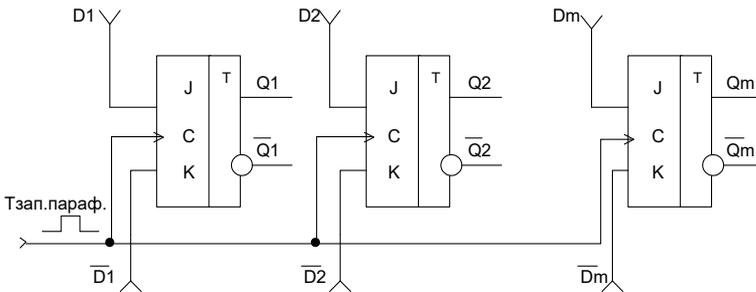


Рисунок 5.5 – Запись информации парафазным кодом

В данном случае (см. рисунок 5.5) необходим парафазный код числа. Прямой код D_1, D_2, \dots, D_m подается на входы J, обратный код – на входы K.

Регистры сдвига

В регистрах сдвига все триггера соединены в последовательную цепочку (выход каждого предыдущего триггера соединен со входом D следующего триггера). Входы синхронизации C всех триггеров объединены между собой.

По тактовому сигналу ($T_{п}$) в момент действия сигнала $T_{зап.} \rightarrow$ содержимое каждого предыдущего триггера переписывается в следующий по порядку в цепочке триггер. Код, хранящийся в регистре, с каждым тактом сдвигается на один разряд в сторону старших разрядов или в сторону младших разрядов в зависимости от организованных связей.

Для регистров сдвига указывается направление сдвига:

- \rightarrow вправо (основной режим, который есть у всех сдвиговых регистров);
- \leftarrow влево (этот режим есть только у некоторых, реверсивных сдвиговых регистров);
- \leftrightarrow реверсивный (двунаправленный), т. е. записанную информацию можно сдвигать по линейке триггеров вправо или влево. Для включения режима сдвига предусматривают специальный управляющий вход.

Направление сдвига отражает внутреннюю структуру регистров сдвига (рисунок 5.6). При этом триггера нумеруются слева направо, например, от 0 до 7.

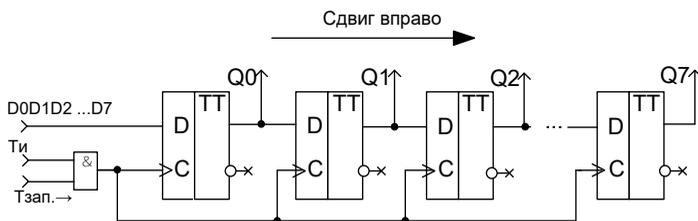


Рисунок 5.6 – 8-разрядный регистр сдвига вправо

В результате сдвиг информации вправо представляет собой сдвиг в сторону разрядов, имеющих большие номера (старших разрядов), т. е. на вход D число подается, начиная со старшего разряда.

Сдвиг информации в регистре влево – это сдвиг в сторону разрядов, имеющих меньшие номера (младших разрядов), т. е. на вход D число подается, начиная с младшего разряда (рисунок 5.7).

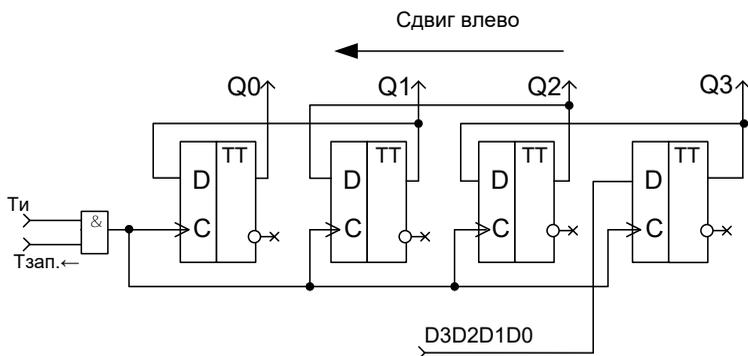


Рисунок 5.7 – 4-разрядный регистр сдвига влево

Однако, как известно, в любом двоичном числе слева расположены старшие разряды, а справа – младшие разряды. О такой особенности необходимо помнить разработчику цифрового прибора.

Все регистры сдвига строятся на базе двухступенчатых триггеров, синхронизируемых фронтом синхроимпульса. Сигнал Tзап.→ или Tзап.← определяет количество Tи, которые должны поступить на вход C. Количество Tи соответствует разрядности вводимых данных.

Регистры сдвига могут быть построены и на триггерах одноступенчатой структуры. В этом случае в каждом разряде регистра нужно использовать два триггера, которые управляются двумя сдвинутыми во времени тактовыми импульсами. Если бы в регистре были применены одноступенчатые триггера по одному на разряд, то правило работы регистра было бы нарушено: при первом же импульсе сдвига информация, записавшись в первый разряд, перешла бы во второй, затем в третий и т. д.

Реверсивные регистры сдвига объединяют в себе свойства регистров прямого и обратного сдвига.

Разряд реверсивного регистра представлен на рисунке 5.8.

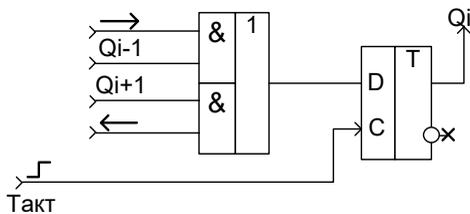


Рисунок 5.8 – Разряд реверсивного регистра

Способы вывода информации из регистра

Так как регистры строятся на триггерах, а триггер имеет прямой Q и инверсный \bar{Q} выходы, то существует несколько способов вывода информации из регистра.

1. Вывод прямым параллельным m -разрядным кодом на m -разрядную шину (рисунок 5.9).

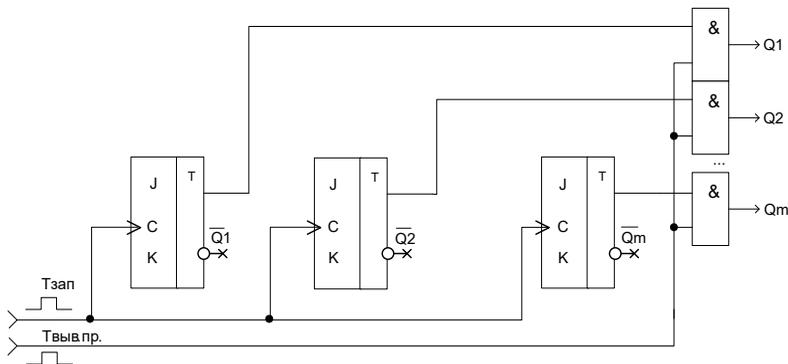


Рисунок 5.9 – Вывод информации прямым m -разрядным кодом на m -разрядную шину

Для вывода информации подается сигнал Тыв. пр. высокого уровня.

Сигнал Тыв. пр. должен быть подан после сигнала Тзап (должно соблюдаться условие $Тзап * Тыв. пр. = 0$) и необходимо учитывать время задержки самого триггера, на котором реализован регистр.

2. Вывод обратным m -разрядным кодом на m -разрядную шину (рисунок 5.10).

Для записи информации в регистр подается сигнал Тзап. (см. способы ввода). Вывод осуществляется подачей сигнала Твыр.обр. (высокий уровень). Информация снимается с выходов \bar{Q}_i триггеров регистра. Сигналы Твыр.обр. и Тзап одновременно поданы быть не могут, т. е. $\text{Тзап} * \text{Твыв.обр.} = 0$.

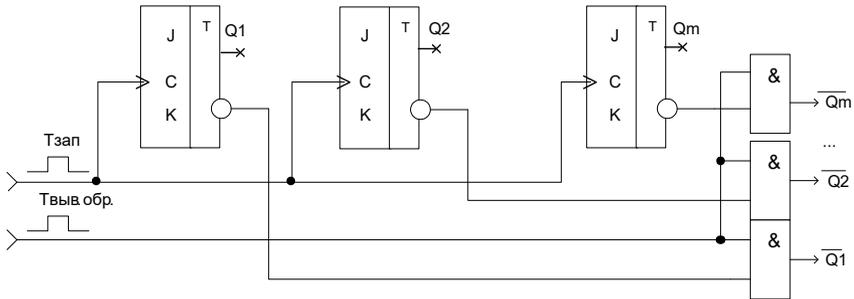


Рисунок 5.10 – Вывод информации обратным m -разрядным кодом на m -разрядную шину

3. Прямым или обратным параллельным m -разрядным кодом на m -разрядную шину (рисунок 5.11).

Сигналы Твыв.пр и Твыв.обр подаваться вместе не могут, т. е. должно соблюдаться условие $\text{Твыв.пр} * \text{Твыв.обр} = 0$. В зависимости от поданного в данный момент времени сигнала вывода выход Y_i соответствует прямому (Q_i) или обратному (\bar{Q}_i) кодам.

4. Парафазным m -разрядным кодом (прямой m -разрядный код на одну шину, обратный m -разрядный код – на другую шину). Из рисунка 5.12 видно, что при подаче управляющего сигнала Твыв.параф на одну m -разрядную шину выводится прямой код числа, а на вторую m -разрядную шину – обратный код числа. Для корректной работы схемы должно соблюдаться условие $\text{Тзап} * \text{Твыв.параф} = 0$.

Все перечисленные способы действительны и для последовательного вывода информации из регистра.

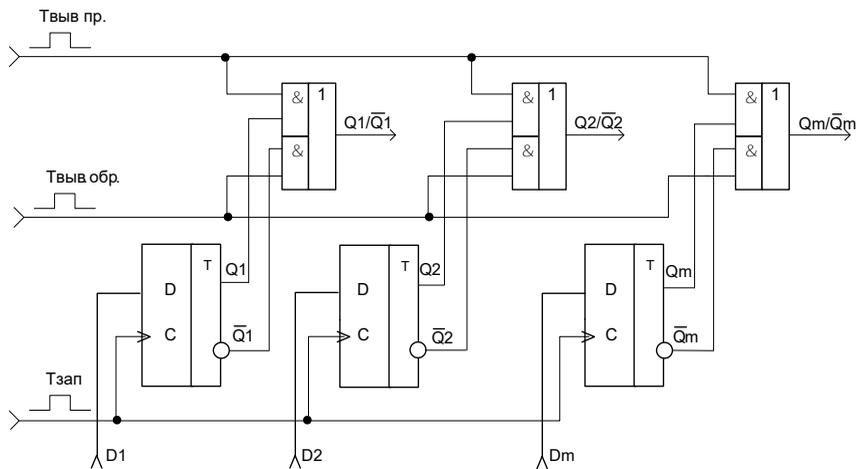


Рисунок 5.11 – Вывод информации прямым или обратным m -разрядным кодом на m -разрядную шину

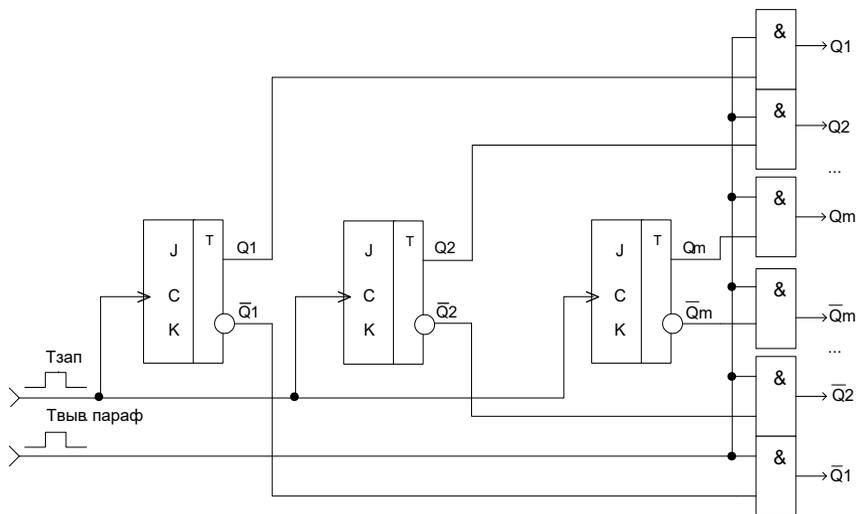


Рисунок 5.12 – Вывод информации парафазным m -разрядным кодом

Подготовка к выполнению работы

Контрольные вопросы

1. Что такое регистр? Для чего они предназначены?
2. Нарисуйте функциональную схему регистра сдвига вправо.
3. Нарисуйте функциональную схему регистра сдвига влево.
4. Какие регистры относятся к однофазным? Нарисуйте функциональную схему такого регистра.
5. Какие регистры относятся к парафазным? Нарисуйте функциональную схему такого регистра.
6. Какие способы ввода информации в регистр, организованный на триггерах с установочными входами, Вы знаете?
7. Нарисуйте функциональную схему регистра с параллельным вводом и параллельным выводом информации в прямом коде.
8. Нарисуйте функциональную схему регистра с последовательным вводом информации со старшего разряда и параллельным выводом в обратном коде.
9. Нарисуйте функциональную схему реверсивного регистра.
10. Какие способы вывода информации Вы знаете?

Индивидуальные задания

В соответствии с вариантом, заданным преподавателем из таблицы 5.1:

- нарисовать принципиальную схему регистра в соответствии с ЕСКД;
- пояснить работу регистра с помощью диаграммы.

Таблица 5.1 – Варианты для выполнения индивидуального задания

№ варианта	Триггер	Тип ввода	Тип вывода	Вводимые данные
1	JKC с установочными $\bar{R}\bar{S}$	Параллельным кодом с предварительной установкой в 0 (высоким)	Со старшего разряда в прямом коде с обнулением регистра	0111

Продолжение таблицы 5.1

№ варианта	Триггер	Тип ввода	Тип вывода	Вводимые данные
2	JKC с установочными \overline{RS}	Парафазным кодом	В прямом или обратном кодах с младшего разряда	1100
3	JKC с установочными $R\overline{S}$	Парафазным кодом	С младшего разряда в прямом коде с обнулением регистра	1010
4	JKC с установочными $R\overline{S}$	Параллельным кодом с предварительной установкой в 0 (низким)	Со старшего разряда в прямом коде	0101
5	JKC с установочными $\overline{R}\overline{S}$	Параллельным кодом с предварительной установкой в 15_{10} (низким)	Парафазным со старшего разряда с обнулением регистра	1100
6	$\overline{J}\overline{K}C$ с установочными $\overline{R}\overline{S}$	В прямом коде с младшего разряда	В прямом или обратном коде на 4-разрядную шину	1000
7	$\overline{J}\overline{K}C$ с установочными $\overline{R}\overline{S}$	В обратном коде с младшего разряда	В обратном коде на 4-разрядную шину	0011
8	$\overline{J}\overline{K}C$ с установочными $\overline{R}\overline{S}$	Параллельным кодом с предварительной установкой в 0 (низким)	В прямом или обратном коде со старшего разряда с обнулением регистра	1010
9	$\overline{J}\overline{K}C$ с установочными $\overline{R}\overline{S}$	Параллельным кодом с предварительной установкой в 0 (высоким)	Парафазным со старшего разряда	0011

Продолжение таблицы 5.1

№ варианта	Триггер	Тип ввода	Тип вывода	Вводимые данные
10	$\overline{JK}\overline{C}$ с установочными \overline{RS}	Парафазным кодом	В обратном коде со старшего разряда с обнулением регистра	1101
11	$JK\overline{C}$ с установочными \overline{RS}	В обратном коде с младшего разряда	Парафазным	1101
12	$\overline{JK}\overline{C}$ с установочными \overline{RS}	В прямом коде со старшего разряда	В обратном или прямом коде на 4-разрядную шину	0010
13	$\overline{JK}\overline{C}$ с установочными $R\overline{S}$	В прямом коде с младшего разряда	Парафазным	1000
14	$\overline{JK}\overline{C}$ с установочными $R\overline{S}$	Парафазным кодом	В обратном коде с младшего разряда	0001
15	$JK\overline{C}$ без установочных	В обратном коде со старшего разряда	Парафазный на две шины	0101
16	$\overline{JK}\overline{C}$ с установочными \overline{RS}	В обратном коде со старшего разряда	В прямом коде на 4-х разрядную шину	1110
17	$\overline{JK}\overline{C}$ с установочными \overline{RS}	В прямом или обратном кодах с младшего разряда	Парафазным	0100

Продолжение таблицы 5.1

№ варианта	Триггер	Тип ввода	Тип вывода	Вводимые данные
18	$J\bar{K}\bar{C}$ с установочными $\bar{R}\bar{S}$	В обратном коде с младшего разряда	В обратном коде на две 4-разрядные шины	1010
19	$\bar{J}\bar{K}\bar{C}$ с установочными $R\bar{S}$	Параллельным кодом с предварительной установкой в 0 (низким)	В прямом или обратном со старшего разряда с обнулением	1011
20	$\bar{J}\bar{K}\bar{C}$ с установочными $\bar{R}\bar{S}$	Парафазным кодом	В прямом с младшего разряда с обнулением регистра	1100
21	DC с установочными $\bar{R}\bar{S}$	Параллельным кодом с предварительной установкой в 0 (низким)	Со старшего разряда с обнуление регистра	1011
22	DC с установочным $\bar{R}\bar{S}$	В обратном коде с младшего разряда	Парафазным кодом	0101
23	DC с установочным $\bar{R}\bar{S}$	Парафазным кодом	В прямом коде с младшего разряда с обнулением регистра	1000
24	DC с установочным $\bar{R}\bar{S}$	Параллельным кодом с предварительной установкой в 0 (низким)	В прямом или обратном коде на 4-х разрядную шину	0110
25	$D\bar{C}$ с установочными $\bar{R}\bar{S}$	В обратном коде с младшего разряда	Парафазным	1110

Окончание таблицы 5.1

№ варианта	Триггер	Тип ввода	Тип вывода	Вводимые данные
26	\overline{DC} с установочными \overline{RS}	В прямом коде с обнуление регистра	В прямом или обратном со старшего разряда с обнулением	0111
27	\overline{DC} с установочными \overline{RS}	В обратном коде с установкой всех триггеров регистра в 1 (высоким)	В прямом коде со старшего разряда с обнулением регистра	0101
28	\overline{DC} с установочными \overline{RS}	Парафазным	В прямом или обратном кодах	1101
29	\overline{DC} с установочными \overline{RS}	В обратном коде со старшего разряда	В обратном коде на 4-разрядную	0111
30	\overline{DC} с установочными \overline{RS}	Параллельным кодом с предварительной установкой в 0 (низким)	В обратном коде со старшего разряда с обнулением регистра	1101

Порядок выполнения работы

1. Представить отчет о выполнении индивидуального задания преподавателю и получить его разрешение на проверку работоспособности схем на лабораторном макете.

2. Ознакомиться с лабораторным макетом.

Подводку входных сигналов (уровень логического 0 или 1) осуществлять от соответствующих клемм макета.

При сборке схемы на лабораторном макете использовать светодиоды для контроля истинности.

Подключить макет к источнику питания ± 5 В.

3. Собрать на лабораторном макете схему 4-разрядного регистра, представленную на рисунке 5.1, исследовать ее работу по записи в регистр числа в соответствии с вариантом индивидуально-го задания. Нарисовать диаграмму работы.

4. Собрать на лабораторном макете схему 4-разрядного регистра, представленную на рисунке 5.2, исследовать ее работу по записи в регистр числа в соответствии с вариантом индивидуально-го задания. Нарисовать диаграмму работы.

5. Собрать на лабораторном макете схему 4-разрядного регистра, представленную на рисунке 5.3, исследовать ее работу по записи в регистр числа в соответствии с вариантом индивидуально-го задания. Нарисовать диаграмму работы.

6. Собрать на лабораторном макете схему 4-разрядного регистра, представленную на рисунке 5.4, исследовать ее работу по записи в регистр числа в соответствии с вариантом индивидуально-го задания. Нарисовать диаграмму работы.

7. Собрать на лабораторном макете схему 4-разрядного регистра, представленную на рисунке 5.5, исследовать ее работу по записи в регистр числа в соответствии с вариантом индивидуально-го задания. Нарисовать диаграмму работы.

8. Собрать на лабораторном макете схему 4-разрядного регистра, представленную на рисунке 5.6, исследовать ее работу по записи в регистр числа в соответствии с вариантом индивидуально-го задания. Нарисовать диаграмму работы.

9. Собрать на лабораторном макете схему 4-разрядного регистра, представленную на рисунке 5.7, исследовать ее работу по записи в регистр числа в соответствии с вариантом индивидуально-го задания. Нарисовать диаграмму работы.

ИССЛЕДОВАНИЕ СЧЕТЧИКОВ С ПОСЛЕДОВАТЕЛЬНЫМ ПЕРЕНОСОМ

Цель работы: изучение принципов построения и работы счетчиков с последовательным переносом, выполненных на различных типах триггеров, в том числе суммирующих, вычитающих и реверсивных.

Теоретическая часть

Счетчик представляет собой устройство, которое осуществляет счет сигналов, поступающих на его вход, и хранение накапливаемой величины.

Счетчик, образованный цепочкой из m триггеров, может подсчитать в двоичном коде 2^m импульсов, т. е. его коэффициент (модуль) счета $K_{сч} = 2^m$. Каждый из триггеров называется разрядом счетчика.

К основным параметрам счетчика, кроме $K_{сч}$, относятся разрешающая способность (t_p) и время установления кода ($t_{уст}$).

Разрешающая способность – минимально допустимый интервал времени между входными импульсами, при котором еще не происходит сбоя, т. е. пропуска счета сигналов.

Время установки кода – это интервал времени между моментом поступления на вход импульса счета и моментом завершения перехода счетчика в нулевое состояние.

По направлению счета счетчики классифицируются следующим образом:

- суммирующие;
- вычитающие;
- реверсивные.

По способу организации внутренних связей счетчики классифицируются как:

- с последовательным переносом (асинхронные счетчики);
- с параллельным переносом (синхронные счетчики);
- с комбинированным переносом;
- кольцевые.

Счетчики с последовательным переносом

Асинхронные счетчики строятся из простой цепочки триггеров «мастер-помощник», каждый из которых работает в счетном режиме. Выходной сигнал каждого триггера служит входным сигналом для следующего триггера.

Поэтому все разряды (выходы) асинхронного счетчика переключаются последовательно, один за другим, начиная с младшего и заканчивая старшим (отсюда название – последовательные счетчики). Каждый следующий разряд переключается с задержкой относительно предыдущего.

Чем больше разрядов имеет счетчик, тем большее времени ему требуется на полное переключение всех разрядов. Задержка переключения каждого разряда примерно равна задержке триггера ($t_{зд.тр}$), а полная задержка установления кода на выходе счетчика равна задержке одного разряда, умноженной на число разрядов счетчика:

$$t_{зд.сч} = N^* t_{зд.тр}.$$

При периоде входного сигнала, меньшем полной задержки установления кода всего счетчика, правильный код на выходе счетчика не успеет установиться.

Это накладывает жесткие ограничения на период (частоту) входного сигнала ($f_{сч}$), причем увеличение, к примеру, вдвое количества разрядов счетчика автоматически уменьшает вдвое предельно допустимую частоту входного сигнала.

Суммирующий счетчик с последовательным переносом

С приходом очередного счетного импульса T_0 к содержимому счетчика прибавляется единица.

Схема асинхронного суммирующего счетчика с последовательным переносом на Т-триггерах приведена на рисунке 6.1, а, диаграмма работы суммирующего счетчика – на рисунке 6.1, б.

Максимальная частота работы такого счетчика определяется максимально допустимой частотой переключения его младшего разряда.

Частота следования сигналов счета составляет

$$F_{сч} \leq 1 / (t_{сч} + t_{зд.тр}).$$

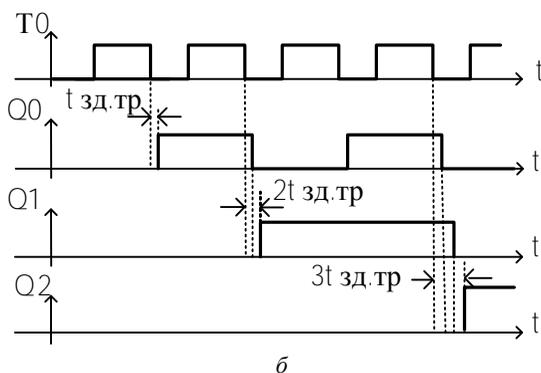
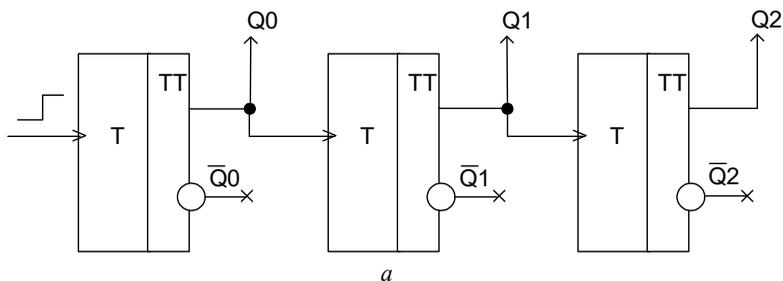


Рисунок 6.1 – Суммирующий счетчик с последовательным переносом:
а – схема; б – диаграмма работы

Числа, формируемые счетчиком, могут быть выведены из него параллельным кодом (прямым или обратным) посредством одновременного опроса состояний всех разрядов счетчика.

Такой опрос может происходить только в паузе между сигналами счета, т. е. после того, как завершится переходной процесс, связанный с переключением триггерной схемы.

В этом случае минимальный период следования счетных импульсов должен быть увеличен на время, необходимое для полного переключения всех m разрядов счетчика и опроса его состояния:

$$T_{сч} \geq t_{сч} + m \cdot t_{зд.тр} + t_{опр},$$

где $t_{сч}$ – длительность счетного импульса T_0 ;

$t_{зд.тр}$ – время переключения триггера;

$t_{опр}$ – длительность сигнала опроса.

Для корректной работы счетчика часто необходимо устанавливать его в начальное состояние, чаще всего начальным состоянием суммирующего счетчика является 0 (счетчик предварительно обнуляется). Такой асинхронный счетчик организуется на триггерах «мастер-помощник» с установочным входом R (прямым или инверсным).

На рисунке 6.2 представлена схема асинхронного суммирующего двоичного счетчика с предварительной установкой в нулевое состояние.

Для установки исходного состояния служит шина $Уст.0$, в которой объединены установочные R -входы всех триггеров. Так как на примере вход R является инверсным, то сигнал $Уст.0$ имеет низкий уровень (0).

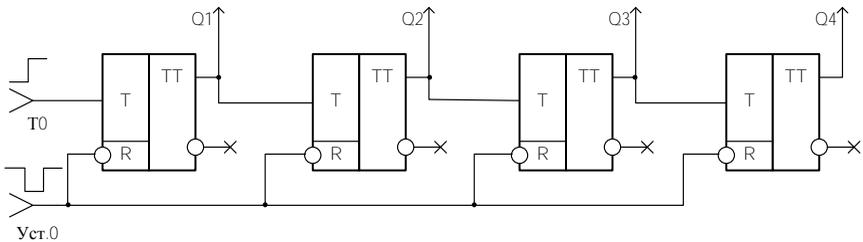


Рисунок 6.2 – Асинхронный суммирующий счетчик с предварительной установкой

Диаграмма работы такого счетчика представлена на рисунке 6.3.

Начальное состояние счетчика до действия сигнала $Уст.0$ – 1011. С подачей сигнала $Уст.0$ триггера, имеющие состояние 1 ($Q1, Q3, Q4$), меняют свое состояние на 0.

Из диаграммы видно, что пока действует сигнал $Уст.0$ (низкий), счетчик находится в состоянии 0 и счетные импульсы 1 и 2 не изменяют состояния счетчика.

Используя установочные входы RS-триггера, можно осуществить установку асинхронного счетчика в любое начальное состояние.

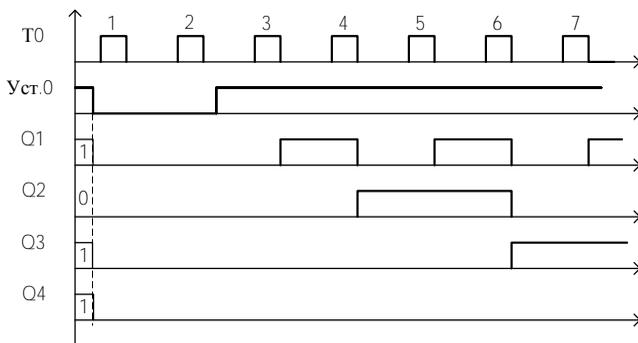


Рисунок 6.3 – Диаграмма работы асинхронного суммирующего счетчика с предварительной установкой в нулевое состояние

Если счетчик организуется не на Т-триггерах, то такие триггера необходимо преобразовать в Т-триггер.

Примеры преобразования приведены на рисунке 6.4.

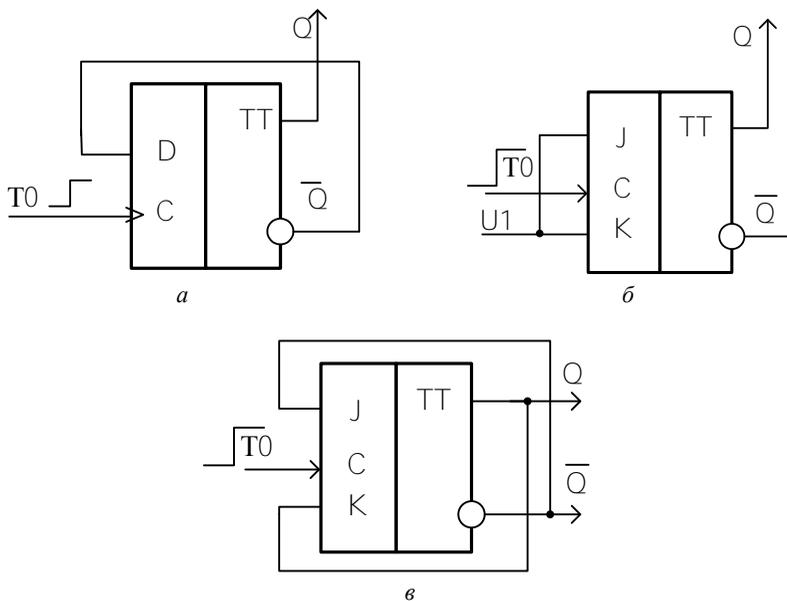


Рисунок 6.4 – Преобразование D-триггера в Т-триггер: а – D в Т; б – JK в Т (1 вариант); в – JK в Т (2 вариант)

Вычитающий счетчик с последовательным переносом

Вычитающий счетчик с последовательным переносом имеет обратный порядок смены состояний: с приходом очередного счетного импульса содержащееся в счетчике число уменьшается на единицу.

Другая особенность вычитающего счетчика с последовательным переносом: триггер каждого последующего разряда переключается в противоположное состояние при изменении уровня на выходе триггера предыдущего разряда от 0 к 1, т. е. при сигнале займа, обратном сигналу переноса в суммирующем счетчике.

Синтезируется вычитающий счетчик с последующим переносом так же, как суммирующий счетчик, но с тем отличием, что со входом каждого последующего триггера соединяется инверсный выход предыдущего триггера (рисунок 6.5).

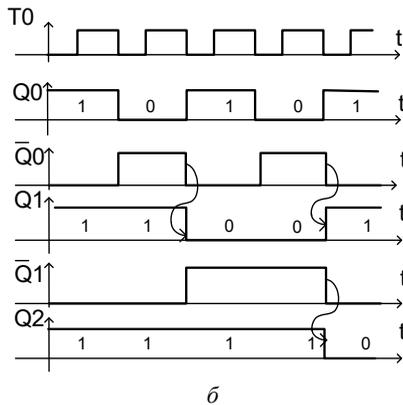
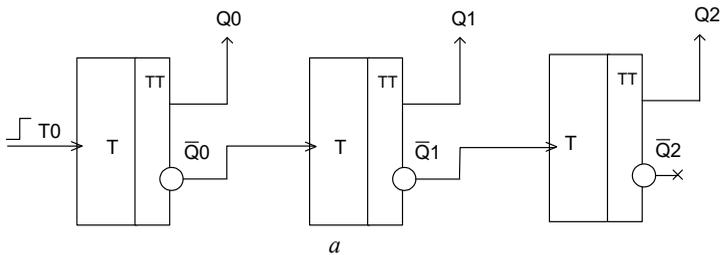


Рисунок 6.5 – Вычитающий счетчик с последовательным переносом: а – схема; б – диаграмма

Для синтеза вычитающих счетчиков с последовательным переносом с предварительной установкой в требуемое значение, аналогично как и в суммирующих счетчиках, используются триггера с установочными входами.

Реверсивный счетчик

Реверсивные счетчики (имеют режимы суммирования и вычитания) должны иметь управляющие сигналы(л), которые меняют направление счета.

На рисунках 6.1 и 6.4 видно, что счетчики прямого и обратного счета различаются лишь точкой съема сигнала, подаваемого с предыдущего разряда на последующий.

Схема двухразрядного реверсивного счетчика приведена на рисунке 6.5.

Управляющими сигналами являются сигналы $T_{\text{сум}}$ (суммирование), $T_{\text{выч}}$ (вычитание).

Управляющие сигналы одновременно поданы быть не могут, т. е. при подаче сигналов управления необходимо соблюдать условие:

$$T_{\text{сум}} * T_{\text{выч}} = 0.$$

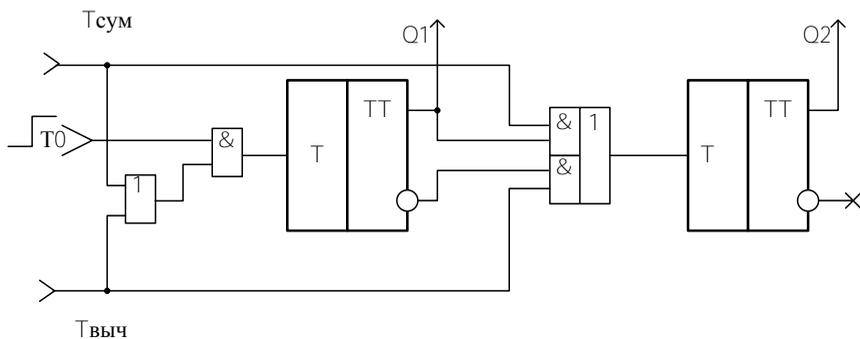


Рисунок 6.5 – Схема реверсивного счетчика

Подготовка к выполнению работы

Контрольные вопросы

1. Что такое счетчик.
2. Что обозначает коэффициент счета?
3. Что такое разрешающая способность счетчика (t_p)?
4. Что такое время установления кода ($t_{уст}$)?
5. Как классифицируются счетчики по направлению счета?
6. Как классифицируются счетчики по модулю счета?
7. Как организовать суммирующий счетчик с последовательным переносом на Т-триггерах?
8. Нарисуйте схему 4-разрядного вычитающего счетчика с последовательным переносом на JK-триггерах?
9. Какой счетчик называется реверсивным?
10. Нарисуйте схему реверсивного счетчика на JK-триггерах на 4 разряда.

Индивидуальные задания

Согласно заданному преподавателем варианту нарисуйте схему и диаграмму работы 4-разрядного счетчика (таблица 6.1).

Таблица 6.1 – Варианты индивидуального задания

№ вар.	Триггер	Установочн. входы	Начальная установка	Счетчик
1	DC	$\overline{R}\overline{S}$	5 (высокий)	Суммирующий
2	DC	$\overline{R}\overline{S}$	6 (низкий)	Вычитающий
3	DC	$\overline{R}\overline{S}$	0 (высокий)	Реверсивный
4	CJK	$\overline{R}\overline{S}$	7 (низкий)	Суммирующий
5	CJK	$\overline{R}\overline{S}$	11 (высокий)	Вычитающий
6	CJK	$\overline{R}\overline{S}$	1 (высокий)	Реверсивный

Окончание табл. 6.1

№ вар.	Триггер	Установочн. входы	Начальная установка	Счетчик
7	DC	$\bar{R}S$	2 (низкий)	Суммирующий
8	DC	$\bar{R}S$	9 (низкий)	Вычитающий
9	DC	$\bar{R}S$	12 (низкий)	Реверсивный
10	$\bar{C}JK$	$\bar{R}S$	3 (высокий)	Вычитающий
11	$\bar{C}JK$	$\bar{R}S$	4 (низкий)	Суммирующий
12	$\bar{C}JK$	$\bar{R}S$	8 (высокий)	Реверсивный
13	$D\bar{C}$	$\bar{R}\bar{S}$	13 (низкий)	Вычитающий
14	$D\bar{C}$	$\bar{R}\bar{S}$	0 (высокий)	Реверсивный
15	$D\bar{C}$	$\bar{R}\bar{S}$	14 (низкий)	Суммирующий
16	$D\bar{C}$	$\bar{R}S$	0 (низкий)	Реверсивный
17	$D\bar{C}$	$\bar{R}S$	5 (высокий)	Суммирующий
18	$D\bar{C}$	$\bar{R}S$	13 (низкий)	Вычитающий
18	$\bar{C}JK$	$\bar{R}\bar{S}$	11 (низкий)	Вычитающий
19	$\bar{C}JK$	$\bar{R}\bar{S}$	4 (высокий)	Суммирующий
20	$\bar{C}JK$	$\bar{R}\bar{S}$	5 (низкий)	Реверсивный

Порядок выполнения работы

1. Ознакомьтесь с лабораторным макетом.

При сборке схемы на лабораторном макете для контроля истинности используйте светодиоды.

Подводку входных сигналов (уровень логического 0 или 1) осуществляйте от соответствующих клемм макета.

2. Присоедините стенд к источнику питания ± 5 В.

3. Проверьте работу схемы, полученной в результате выполнения индивидуального задания. Для этого адаптируйте полученную схему к макету и подсоедините выходы счетчика к светодиодам.

Исследуйте работу счетчика в следующих режимах: установка счетчика в заданное начальное значение, работа счетчика в заданном(ых) режиме (суммирование, вычитание).

4. Соберите на лабораторном макете схему 4-разрядного суммирующего счетчика (см. рисунок 6.2).

Исследуйте работу счетчика в следующих режимах:

- установка счетчика в 0;
- суммирование до его обнуления.

Нарисуйте диаграмму работы счетчика.

5. Адаптируйте схему, представленную на рисунке 6.5, к макету. Соберите на лабораторном макете полученную схему 4-разрядного вычитающего счетчика.

Исследуйте работу счетчика в следующих режимах:

- установка счетчика в 0;
- вычитание до значения счетчика 13_{10} .

Нарисуйте диаграмму работы счетчика.

6. Адаптируйте схему, представленную на рисунке 6.5, к макету. Соберите на лабораторном макете полученную схему 4-разрядного реверсивного счетчика.

Исследуйте работу вычитающего счетчика в следующих режимах:

- суммирование;
- вычитание.

Нарисуйте диаграмму работы счетчика в режимах суммирования и вычитания.

СИНТЕЗ И ИССЛЕДОВАНИЕ НЕДВОИЧНЫХ СЧЕТЧИКОВ

Цель работы: изучение вопросов, касающихся синтеза пересчетных схем (иначе счетчики с произвольным коэффициентом счѐта или недвоичные счетчики), анализ принципов их организации, изучение особенностей их работы.

Теоретическая часть

Двоичные N -разрядные счетчики позволяют осуществлять деление частоты следования сигналов счѐта с коэффициентом пересчѐта, равным $2N$.

На их основе могут быть построены делители частоты и счетчики с произвольным коэффициентом пересчѐта (недвоичные счетчики).

Недвоичными называются счетчики с модулем $K_{сч} \neq 2m$, где m – целое число.

Такие счетчики чаще всего используются для формирования управляющего сигнала после поступления заданного числа счѐтных импульсов.

Для построения пересчетных схем с произвольным коэффициентом деления частоты могут использоваться Т-триггера, имеющие дополнительные входы установки триггера в состояние логической 1 (вход S) или установки в состояние логического 0 (вход R).

Построение недвоичных асинхронных счетчиков (пересчетных схем)

Способ 1. Если использовать дополнительные (установочные) входы S Т-триггера, то сигнал окончания счѐта формируется как логическое произведение счѐтного импульса и сигналов с единичных выходов тех разрядов счетчика, которые соответствуют единицам в двоичном числе, равном $K-1$, где K – коэффициент пересчѐта.

На рисунке 7.1 приведена схема счетчика с коэффициентом счѐта, равным 6.

В схеме на рисунке 7.1 управляющим сигналом, передаваемым в другую схему, служит сигнал $K_{сч} = 6$ уровня логической 1.

На рисунке 7.2 приведена диаграмма работы данного счетчика.

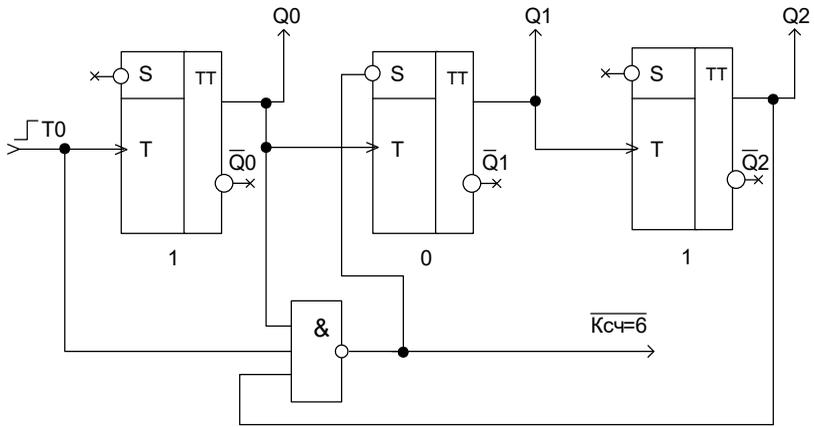


Рисунок 7.1 – Счетчик с коэффициентом счета 6

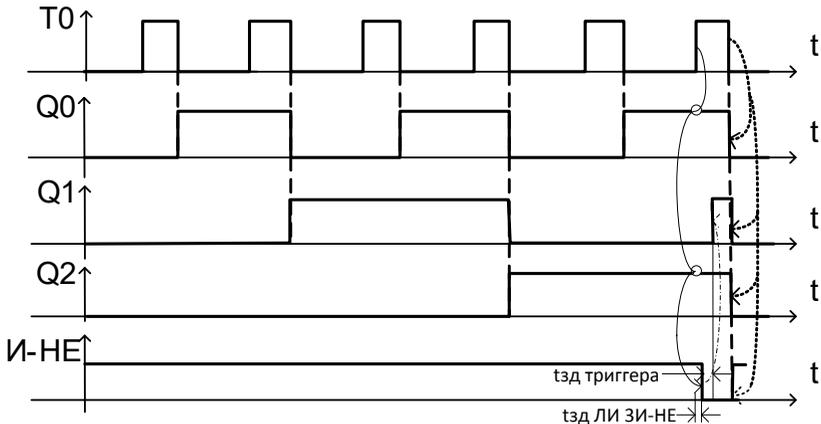


Рисунок 7.2 – Диаграмма работы счетчика, организованного на триггерах с дополнительными входами S, с коэффициентом счета 6

Способ 2. Если триггера не имеют дополнительных входов для установки в единичное состояние, но имеют входы для установки в состояние 0, то счетчик с произвольным коэффициентом счета строится следующим образом: сигнал окончания счета представляет собой логическое произведение единичных разрядов счетчика, которые соответствуют единицам в двоичном числе $K_{сч}$.

Полученный сигнал может быть использован для установки в 0 всех разрядов счетчика.

На рисунке 7.3 приведена схема счетчика с коэффициентом счета 5, на рисунке 7.4 – диаграмма работы данного счетчика.

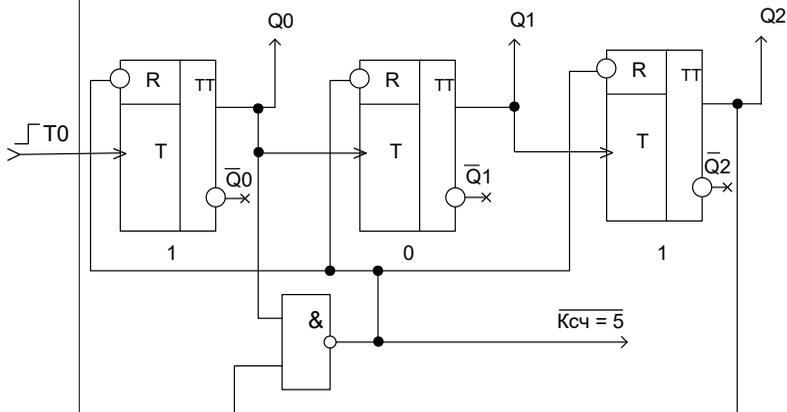


Рисунок 7.3 – Счетчик с коэффициентом счета 5

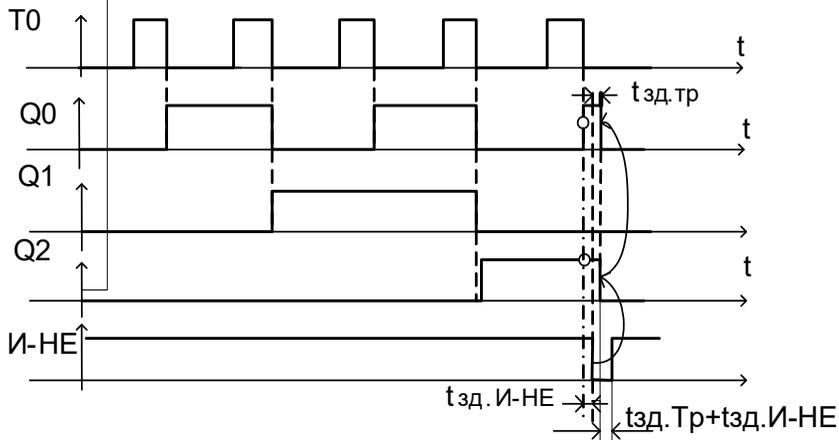


Рисунок 7.4 – Диаграмма работы счетчика, организованного на триггерах с дополнительными входами \overline{R} , с коэффициентом счета 5

Табличный способ синтеза не двоичных счетчиков рассмотрим на примере синтеза не двоичного счетчика с $K_{сч} = 11$ на двухтактных D-триггерах с установочным входом \bar{R} для начальной установки счетчика в состояние 0.

1. Определим количество триггеров счетчика по формуле

$$m = \lceil \log_2 K_{сч} \rceil,$$

округляя результат до ближайшего большего целого числа.

Состояния $(2^m - K_{сч})$ являются избыточными и исключаются внутри счетчика с помощью обратных связей, соединяющих входы и выходы триггеров.

$$m = \lceil \log_2 11 \rceil = 4.$$

2. Определим число избыточных состояний:

$$2^4 - 11 = 5.$$

3. Составим таблицу переходов счетчика (таблица 7.1).

4. Составим карты переходов для каждого триггера (рисунок 7.6).

Карта переходов размечается аналогично карте Карно и отражает переход триггера из состояния Q_{it} в состояние Q_{it+1} при поступлении очередного тактового импульса в зависимости от состояний остальных триггеров счетчика в такте.

Например, первой строке таблицы 7.1 ($Q_{0t}, Q_{1t}, Q_{2t}, Q_{3t} = 0$) соответствует левая верхняя клетка карт переходов. Так как при поступлении первого T_i (см. таблицу 7.1) Q_0 должен перейти из состояния 0 в состояние 1, а все остальные триггера (Q_1, Q_2, Q_3) сохранят состояние 0, то в указанную клетку карты переходов для Q_0 следует поставить 01, а в картах для Q_1, Q_2, Q_3 поставить 00 и т. д.

Таблица 7.1 – Таблица переходов счетчика

Q_3	Q_2	Q_1	Q_0	Примечание
0	0	0	0	Начальное состояние
0	0	0	1	Состояние счетчика после 1-го тактового импульса

Окончание таблицы 7.1

Q_3	Q_2	Q_1	Q_0	Примечание
0	0	1	0	Состояние счетчика после 2-го тактового импульса
0	0	1	1	...
0	1	0	0	...
0	1	0	1	...
0	1	1	0	...
0	1	1	1	...
1	0	0	0	...
1	0	0	1	...
1	0	1	0	...
0	0	0	0	11-й тактовый импульс вызвал начальное состояние

В клетках карт переходов, которые соответствуют исключенным наборам, ставятся прочерки (как в случае частично определенной функции).

5. Согласно таблице истинности триггера D (таблица 7.2), на котором необходимо организовать недвоичный счетчик согласно условию примера, составляем карты Карно для синтеза функции возбуждения каждого триггера. Например, для перехода триггера из состояния 0 в состояние 1 на вход D необходимо подать уровень логической 1 (рисунок 7.7).

Таблица 7.2 – Таблица истинности D-триггера

D	Q^t	Q^{t+1}
0	0	0
0	1	0
1	0	1
1	1	1

6. Осуществим минимизацию функций возбуждения.

Учитывая, что в клетках с прочерками (исключенные состояния счетчика) функция возбуждения не определена, при нанесении минимизирующих контуров в картах Карно можно эти клетки доопределить 1 с целью получения минимальной функции (рисунок 7.8).

Карта переходов для Q_0
из момента t в момент $t+1$

		00	01	11	10
		$\bar{Q}_2\bar{Q}_3$	\bar{Q}_2Q_3	Q_2Q_3	$Q_2\bar{Q}_3$
00	$\bar{Q}_0\bar{Q}_1$	01	01	—	01
01	\bar{Q}_0Q_1	01	00	—	01
11	Q_0Q_1	10	—	—	10
10	$Q_0\bar{Q}_1$	10	10	—	10

Карта переходов для Q_1
из момента t в момент $t+1$

		00	01	11	10
		$\bar{Q}_2\bar{Q}_3$	\bar{Q}_2Q_3	Q_2Q_3	$Q_2\bar{Q}_3$
00	$\bar{Q}_0\bar{Q}_1$	00	00	—	00
01	\bar{Q}_0Q_1	11	10	—	11
11	Q_0Q_1	10	—	—	10
10	$Q_0\bar{Q}_1$	01	01	—	01

Карта переходов для Q_2
из момента t в момент $t+1$

		00	01	11	10
		$\bar{Q}_2\bar{Q}_3$	\bar{Q}_2Q_3	Q_2Q_3	$Q_2\bar{Q}_3$
00	$\bar{Q}_0\bar{Q}_1$	00	00	—	11
01	\bar{Q}_0Q_1	00	00	—	11
11	Q_0Q_1	01	—	—	10
10	$Q_0\bar{Q}_1$	00	00	—	11

Карта переходов для Q_3
из момента t в момент $t+1$

		00	01	11	10
		$\bar{Q}_2\bar{Q}_3$	\bar{Q}_2Q_3	Q_2Q_3	$Q_2\bar{Q}_3$
00	$\bar{Q}_0\bar{Q}_1$	00	11	—	00
01	\bar{Q}_0Q_1	00	10	—	00
11	Q_0Q_1	00	—	—	01
10	$Q_0\bar{Q}_1$	00	11	—	00

Рисунок 7.6 – Карты переходов каждого триггера

Карта Карно для функции возбуждения триггера D_0

	00	01	11	10	
	$\bar{Q}_2\bar{Q}_3$	\bar{Q}_2Q_3	Q_2Q_3	$Q_2\bar{Q}_3$	
00	$\bar{Q}_0\bar{Q}_1$	1	1	—	1
01	\bar{Q}_0Q_1	1	0	—	1
11	Q_0Q_1	0	—	—	0
10	$Q_0\bar{Q}_1$	0	0	—	0

Карта Карно для функции возбуждения триггера D_1

	00	01	11	10	
	$\bar{Q}_2\bar{Q}_3$	\bar{Q}_2Q_3	Q_2Q_3	$Q_2\bar{Q}_3$	
00	$\bar{Q}_0\bar{Q}_1$	0	0	—	0
01	\bar{Q}_0Q_1	1	0	—	1
11	Q_0Q_1	0	—	—	0
10	$Q_0\bar{Q}_1$	1	1	—	1

Карта Карно для функции возбуждения триггера D_2

	00	01	11	10	
	$\bar{Q}_2\bar{Q}_3$	\bar{Q}_2Q_3	Q_2Q_3	$Q_2\bar{Q}_3$	
00	$\bar{Q}_0\bar{Q}_1$	0	0	—	1
01	\bar{Q}_0Q_1	0	0	—	1
11	Q_0Q_1	1	—	—	0
10	$Q_0\bar{Q}_1$	0	0	—	1

Карта Карно для функции возбуждения триггера D_3

	00	01	11	10	
	$\bar{Q}_2\bar{Q}_3$	\bar{Q}_2Q_3	Q_2Q_3	$Q_2\bar{Q}_3$	
00	$\bar{Q}_0\bar{Q}_1$	0	1	—	0
01	\bar{Q}_0Q_1	0	0	—	0
11	Q_0Q_1	0	—	—	1
10	$Q_0\bar{Q}_1$	0	1	—	0

Рисунок 7.7 – Карты Карно для синтеза функций возбуждения каждого триггера

Карта Карно для функции
возбуждения триггера по входу D_0

	00	01	11	10
	$\bar{Q}_2\bar{Q}_3$	\bar{Q}_2Q_3	Q_2Q_3	$Q_2\bar{Q}_3$
00	$\bar{Q}_0\bar{Q}_1$ 1	1	1	1
01	\bar{Q}_0Q_1 1	0	—	1
11	Q_0Q_1 0	—	—	0
10	$Q_0\bar{Q}_1$ 0	0	—	0

Карта Карно для функции
возбуждения триггера по входу D_1

	00	01	11	10
	$\bar{Q}_2\bar{Q}_3$	\bar{Q}_2Q_3	Q_2Q_3	$Q_2\bar{Q}_3$
00	$\bar{Q}_0\bar{Q}_1$ 0	0	—	0
01	\bar{Q}_0Q_1 1	0	—	1
11	Q_0Q_1 0	—	—	0
10	$Q_0\bar{Q}_1$ 1	1	1	1

Карта Карно для функции
возбуждения триггера по входу D_2

	00	01	11	10
	$\bar{Q}_2\bar{Q}_3$	\bar{Q}_2Q_3	Q_2Q_3	$Q_2\bar{Q}_3$
00	$\bar{Q}_0\bar{Q}_1$ 0	0	1	1
01	\bar{Q}_0Q_1 0	0	1	1
11	Q_0Q_1 1	1	—	0
10	$Q_0\bar{Q}_1$ 0	0	1	1

Карта Карно для функции
возбуждения триггера по входу D_3

	00	01	11	10
	$\bar{Q}_2\bar{Q}_3$	\bar{Q}_2Q_3	Q_2Q_3	$Q_2\bar{Q}_3$
00	$\bar{Q}_0\bar{Q}_1$ 0	1	1	0
01	\bar{Q}_0Q_1 0	0	—	0
11	Q_0Q_1 0	—	1	1
10	$Q_0\bar{Q}_1$ 0	1	1	0

Рисунок 7.8 – Доопределение карт Карно для синтеза функций
возбуждения каждого триггера

7. Напишем функции возбуждения для каждого триггера:

$$\begin{aligned} D_0 &= \overline{Q_0}\overline{Q_1} + \overline{Q_0}\overline{Q_3}; \\ D_1 &= Q_0\overline{Q_1} + \overline{Q_0}Q_1\overline{Q_3}; \\ D_2 &= \overline{Q_0}Q_2 + Q_0Q_1\overline{Q_2} + Q_0\overline{Q_1}Q_2; \\ D_3 &= \overline{Q_1}Q_3 + Q_0Q_1Q_2. \end{aligned}$$

8. Осуществим проверку полученных функций возбуждения. Проверим, например, переход счетчика из состояния 9 в состояние 10 (см. таблицу 7.1).

Подставим двоичную комбинацию, соответствующую значению 9_2 (1001), в функции возбуждения каждого триггера и проверим, обеспечивают ли значения сигналов на входах D_i переход триггера в состояние 10₂ (1010):

$$D_0 = \overline{1}*\overline{0} + \overline{1}*\overline{1} = 0; \quad D_2 = \overline{1}*0 + 1*0*\overline{0} + 1*\overline{0}*0 = 0;$$

$$D_1 = 1*\overline{0} + \overline{1}*0*\overline{1} = 1; \quad D_3 = \overline{0}*1 + 1*0*0 = 1.$$

Как видно из полученных значений $D_0...D_i$, функции возбуждения обеспечивают требуемый переход счетчика из состояния 9_2 (1001) в состояние 10_2 (1010).

9. Нарисуем функциональную схему полученного недвоичного счетчика (рисунок 7.9).

Предусмотрим сигнал установки счетчика в начальное состояние (нулевое). Обозначим данный сигнал «Уст 0».

Примечание. Если в качестве триггера для реализации недвоичного счетчика выбирается триггер JK, то функции возбуждения должны быть составлены для входов J и K.

Кроме этого, при заполнении карт Карно для функций возбуждения каждого триггера может оказаться так, что для данного перехода состояние входа J или K могут быть безразличны (таблица 7.3).

В этом случае в соответствующие клетки целесообразно поставить «*» и в случае необходимости доопределить ее для получения оптимального контура, как и исключенные состояния, помеченные «←».

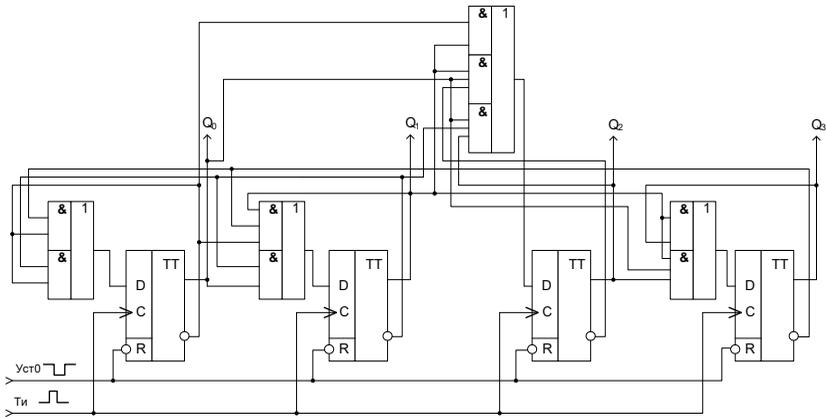


Рисунок 7.9 – Функциональная схема не двоичного счетчика с $K_{сч} = 11$

Таблица 7.3 – Таблица истинности JK-триггера

J	K	Q^t	Q^{t+1}	Примечание
0	0	0	0	
0	1	0	0	
1	0	0	1	Триггер переходит из состояния 0 в состояние 1, если $J = 1$, K может быть 1 или 0, т. е. безразлично. В этом случае в карту функции возбуждения J ставится 1, а в карту функции возбуждения K – символ «*»
1	1	0	1	
0	0	1	1	
0	1	1	0	
1	0	1	1	
1	1	1	0	

Подготовка к выполнению работы

Контрольные вопросы

1. Какие счетчики называются счетчиками с произвольным коэффициентом счета?
2. Что такое коэффициент счета?
3. Дайте определение двоичного счетчика.
4. Какие параметры счетчиков Вы знаете?

5. Дайте определение синхронного счетчика.
6. Как определяется количество триггеров в не двоичном счетчике?
7. Нарисуйте таблицу переходов суммирующего счетчика с коэффициентом счета 6.
8. Нарисуйте таблицу переходов вычитающего счетчика с коэффициентом счета 6.
9. Объясните, почему синхронный счетчик реализуется на триггерах «мастер-помощник».
10. Нарисуйте диаграмму работы счетчика приведенного на рисунке 7.9.
11. Объясните, почему на рисунке 7.9 сигнал «Уст 0» подается как низкий.

Индивидуальные задания

Задание 1. В соответствии с заданным вариантом (таблица 7.4):

- синтезируйте табличным способом не двоичный синхронный счетчик;
- нарисуйте функциональную схему счетчика;
- нарисуйте диаграмму работы счетчика.

Таблица 7.6 – Варианты индивидуальных заданий № 1

№ варианта	Тип счетчика	$K_{сч}$	Триггер (установочные входы)	Начальная установка
1	Вычитающий	11	JKC (-RS)	4 (низкий)
2	Суммирующий	9	JKC (R-S)	9 (низкий)
3	Реверсивный	10	JKC (-R-S)	3 (высокий)
4	Реверсивный	8	JKC (RS)	2 (низкий)
5	Вычитающий	13	DC (-R-S)	1 (низкий)
6	Суммирующий	14	DC (-RS)	6 (низкий)
7	Реверсивный	11	DC (R-S)	3 (высокий)
8	Реверсивный	12	DC (RS)	5 (высокий)
9	Вычитающий	10	JK-C (R-S)	2 (высокий)
10	Суммирующий	8	JK-C (-RS)	6 (низкий)
11	Реверсивный	6	JK-C (-R-S)	1 (низкий)
12	Реверсивный	5	JK-C (RS)	3 (низкий)
13	Вычитающий	9	D-C (-RS)	2 (высокий)
14	Суммирующий	8	D-C (-R-S)	4 (высокий)

Окончание таблицы 7.6

№ варианта	Тип счетчика	К _{сч}	Триггер (установочные входы)	Начальная установка
15	Реверсивный	10	D-C (-RS)	5 (высокий)
16	Реверсивный	13	D-C (-R-S)	9 (высокий)
17	Вычитающий	8	JK-C (-RS)	1 (низкий)
18	Суммирующий	9	JK-C (-R-S)	3 (низкий)
19	Реверсивный	7	JK-C (R-S)	6 (низкий)
20	Реверсивный	11	JK-C (RS)	4(высокий)
21	Суммирующий	7	DC (-R-S)	3 (низкий)
22	Суммирующий	9	DC (-RS)	2 (низкий)
23	Суммирующий	11	DC (RS)	4 (низкий)
24	Суммирующий	13	JK-C (-RS)	5 (низкий)
25	Суммирующий	7	DC (RS)	0 (высокий)
26	Реверсивный	6	D-C (-R-S)	1 (высокий)
27	Реверсивный	9	JK-C (-RS)	3 (низкий)
28	Вычитающий	8	JK-C (-R-S)	0 (высокий)
29	Вычитающий	10	JK-C (-R-S)	5 (высокий)
30	Вычитающий	11	DC (RS)	3 (высокий)

Задание 2. Нарисуйте функциональную схему и диаграмму работы недвоичного асинхронного счетчика в соответствии с пунктом «Построение недвоичных асинхронных счетчиков (пересчетных схем)» теоретической части согласно заданным в таблице 7.7 условиям.

Таблица 7.7 – Варианты индивидуальных заданий № 2

№ варианта	К _{сч}	Триггер	Способ
1	10	DC	Способ 1
2	9	DC	Способ 1
3	8	DC	Способ 1
4	6	DC	Способ 1
5	4	DC	Способ 1
6	5	DC	Способ 1
7	13	DC	Способ 1
8	10	D-C	Способ 2
9	9	D-C	Способ 2
10	8	D-C	Способ 2
11	6	D-C	Способ 2

Окончание таблицы 7.7

№ варианта	К _{сч}	Триггер	Способ
12	4	D-C	Способ 2
13	5	DC	Способ 2
14	13	DC	Способ 2
15	3	JKC	Способ 1
16	4	JKC	Способ 1
17	5	JKC	Способ 1
18	2	JKC	Способ 2
19	4	JKC	Способ 2
20	5	JK-C	Способ 2
21	3	JK-C	Способ 1
22	7	JK-C	Способ 1
23	11	JK-C	Способ 1
24	13	JK-C	Способ 2
25	9	JK-C	Способ 2
26	10	JK-C	Способ 2
27	6	JKC	Способ 1
28	7	D-C	Способ 2
29	13	D-C	Способ 1
30	11	D-C	Способ 2

Порядок выполнения работы

1. Ознакомьтесь с лабораторным макетом.

При сборке схемы на лабораторном макете для контроля истинности используйте светодиоды.

Подводку входных сигналов (уровень логического 0 или 1) осуществляйте от соответствующих клемм макета.

2. Присоедините стенд к источнику питания ± 5 В.

3. Проверьте работу одной из схем, полученных в результате выполнения индивидуального задания. Для этого адаптируйте полученную схему к макету и подсоедините выходы счетчика к светодиодам.

Исследуйте работу счетчика в следующих режимах: установка счетчика в начальное значение, работа счетчика в заданном(ых) режиме (суммирование, вычитание).

4. Соберите на лабораторном макете схему 4-х разрядного счетчика, приведенного на рисунке 7.1.

Исследуйте работу счетчика, пользуясь диаграммой представленной на рисунке 7.2.

5. Соберите на лабораторном макете схему 4-разрядного счетчика приведенного на рисунке 7.3.

Исследуйте работу счетчика, пользуясь диаграммой, представленной на рисунке 7.4.

6. Адаптируйте схему, представленную на рисунке 7.5, к макету. Соберите на лабораторном макете схему 4-разрядного счетчика, приведенного на рисунке 7.5.

Исследуйте его работу и нарисуйте диаграмму.

СОДЕРЖАНИЕ

Общие положения	3
<i>Лабораторная работа № 1. Изучение основных логических элементов и цифровых микросхем</i>	<i>6</i>
<i>Лабораторная работа № 2. Изучение принципов синтеза и анализа простейших логических схем.....</i>	<i>21</i>
<i>Лабораторная работа № 3. Упрощение логических схем</i>	<i>40</i>
<i>Лабораторная работа № 4. Синтез и исследование работы триггерных устройств</i>	<i>52</i>
<i>Лабораторная работа № 5. Синтез и исследование работы регистров</i>	<i>68</i>
<i>Лабораторная работа № 6. Исследование счетчиков с последовательным переносом</i>	<i>85</i>
<i>Лабораторная работа № 7. Синтез и исследование недвоичных счетчиков.....</i>	<i>95</i>

Учебное издание

ЭЛЕКТРОНИКА

ЦИФРОВАЯ ЭЛЕКТРОНИКА

Лабораторные работы
(практикум)

для студентов специальностей

1-38 02 01 «Информационно-измерительная техника»,

1-38 02 03 «Техническое обеспечение безопасности»,

1-38 02 04 «Спортивная инженерия»,

1-54 01 02 «Методы и приборы контроля качества
и диагностики состояния объектов»

Составители:

ВЛАДИМИРОВА Татьяна Леонидовна

ЖЕРДЕВА Галина Федоровна

ЗУЙКОВ Игорь Евгеньевича

Редактор *Е.О. Коржуева*

Компьютерная верстка *Д.А. Исаева*

Подписано в печать 26.01.2012. Формат 60×84 ¹/₁₆. Бумага офсетная. Ризография.

Усл. печ. л. 6,45. Уч.-изд. л. 5,04. Тираж 300. Заказ 583.

Издатель и полиграфическое исполнение: Белорусский национальный технический университет. ЛИ № 02330/0494349 от 16.03.2009. Пр. Независимости, 65. 220013, г. Минск.