



Министерство образования
Республики Беларусь

**БЕЛОРУССКИЙ НАЦИОНАЛЬНЫЙ
ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ**

**Кафедра «Информационно-измерительная техника
и технологии»**

**И.Е. Зуйков
Т.Л. Владимирова
Н.В. Кондратюк**

ЭЛЕКТРОНИКА. ЦИФРОВАЯ ЭЛЕКТРОНИКА

Методическое пособие

**Минск
БНТУ
2011**

Министерство образования Республики Беларусь
БЕЛОРУССКИЙ НАЦИОНАЛЬНЫЙ ТЕХНИЧЕСКИЙ
УНИВЕРСИТЕТ

Кафедра «Информационно-измерительная техника
и технологии»

И.Е. Зуйков
Т.Л. Владимирова
Н.В. Кондратюк

ЭЛЕКТРОНИКА.
ЦИФРОВАЯ ЭЛЕКТРОНИКА

Методическое пособие
для студентов заочной формы обучения
специальности 1-38 02 03 «Техническое
обеспечение безопасности»

Минск
БНТУ
2011

УДК 621.38.037.372:378.14(075.4)

ББК 32.85я7

3 93

Рецензент *Р.И. Воробей*

Зуйков, И.Е.

3 93 Электроника. Цифровая электроника: методическое пособие для студентов заочной формы обучения специальности 1-38 02 03 «Техническое обеспечение безопасности» / И.Е. Зуйков, Т.Л. Владимирова, Н.В. Кондратюк. – Минск: БНТУ, 2011. – 243 с.

ISBN 978-985-525-403-5.

Пособие содержит краткий конспект лекций, а также контрольные вопросы и задачи по каждому разделу курса для самостоятельного изучения и проверки студентами своего понимания пройденного материала. Рассматривается широкий круг вопросов, связанных с применением интегральных микросхем, которые являются основой для построения цифровых устройств в области приборостроения и технологии безопасности.

УДК 621.38.037.372:378.14(075.4)

ББК 32.85я7

ISBN 978-985-525-403-5

© Зуйков И.Е., Владимирова Т.Л.

Кондратюк Н.В., 2011

© БНТУ, 2011

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ.....	8
1. ОСНОВЫ ЦИФРОВОЙ ЭЛЕКТРОНИКИ.....	9
1.1. Простейшие способы получения цифрового сигнала.....	11
1.2. Простейшие способы контроля цифровых сигналов.....	13
1.3. Логические переменные, базовые операции между логическими переменными.....	14
1.4. Числа, используемые в цифровой электронике.....	16
1.5. Арифметические действия над двоичными числами.....	19
1.6. Переполнение.....	20
1.7. Цифровая интегральная схема.....	20
1.8. Упрощение и минимизация логических функций.....	23
1.9. Недоопределенная функция.....	26
Контрольные вопросы.....	27
Индивидуальные задания.....	27
2. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ.....	30
2.1. Базовые логические элементы.....	30
2.2. Особенности работы логических элементов.....	33
2.2.1. Совместимость входных и выходных сигналов.....	34
2.2.2. Нагрузочная способность.....	34
2.2.3. Квантование (формирование) сигнала.....	35
2.2.4. Помехоустойчивость.....	37
2.2.5. Работоспособность в широкой области допусков и параметров.....	38
2.2.6. Затухание переходных процессов за время одного такта.....	39
2.3. Основные характеристики логических элементов.....	40
2.4. Основные параметры логических элементов.....	42
2.4.1. Динамические параметры.....	43
2.4.2. Статические параметры логических элементов.....	46

2.5.	Особенности проектирования цифровых приборов. . .	47
2.6.	Входы и выходы цифровых микросхем.	51
2.6.1.	Входы микросхем.	52
2.6.2.	Выходы микросхем.	52
	Контрольные вопросы.	60
	Индивидуальные задания.	61
3.	ТРИГГЕРЫ.	62
3.1.	Общие сведения.	62
3.2.	Принцип работы асинхронного триггера.	65
3.2.1.	Асинхронный RS триггер.	68
3.2.2.	Асинхронный JK триггер.	70
3.2.3.	Асинхронный T триггер.	71
3.3.	Синхронные триггеры.	73
3.3.1.	Состязания в асинхронных комбинационных и последовательных схемах.	73
3.3.2.	Синхронный RS триггер.	74
3.3.3.	D триггер.	75
3.4.	Основные схемы включения триггеров.	78
3.4.1.	Подавление дребезга контактов выключателя при помощи триггера.	80
3.4.2.	Использование триггера в качестве флага процесса.	80
3.4.3.	Синхронизация с помощью триггера.	81
3.4.4.	Построение линий задержки с помощью триггера.	83
	Контрольные вопросы.	84
	Индивидуальные задания.	85
4.	РЕГИСТРЫ.	90
4.1.	Общие сведения.	90
4.2.	Регистры хранения (памяти)	95
4.2.1.	Строблируемые регистры.	97
4.2.2.	Тактируемые регистры.	100
4.3.	Регистры сдвига.	104
4.4.	Способы вывода информации из регистра.	111
	Контрольные вопросы.	113
	Индивидуальное задание.	115

5.	СЧЕТЧИКИ.	117
5.1.	Общие сведения.	117
5.2.	Счетчики с последовательным переносом (асинхронные счетчики)	119
5.2.1.	Суммирующие счетчики.	120
5.2.2.	Вычитающие счетчики.	123
5.2.3.	Увеличение разрядности асинхронных счетчиков.	126
5.2.4.	Применение асинхронных счетчиков.	126
5.3.	Счетчики с параллельным переносом (синхронные счетчики)	127
5.3.1.	Синхронные счетчики с асинхронным переносом.	129
5.3.2.	Синхронные счетчики с синхронным переносом.	131
5.4.	Счетчики с произвольным коэффициентом счета.	134
	Контрольные вопросы.	136
	Индивидуальные задания.	137
6.	ШИФРАТОРЫ И ДЕШИФРАТОРЫ.	140
6.1.	Общие сведения.	140
6.2.	Дешифраторы.	140
6.3.	Шифраторы.	146
	Контрольные вопросы.	149
	Индивидуальные задания.	149
7.	МУЛЬТИПЛЕКСОРЫ.	150
7.1.	Мультиплексоры.	150
7.2.	Демльтиплексоры.	153
	Контрольные вопросы.	154
	Индивидуальные задания.	154
8.	КОМПАРАТОРЫ.	154
8.1.	Одноразрядный компаратор.	154
8.2.	Многоразрядный компаратор.	156
	Контрольные вопросы.	158
	Индивидуальное задание.	158
9.	СУММАТОРЫ.	159
9.1.	Общие сведения.	159

9.2.	Четвертьсумматор.	162
9.3.	Полусумматор.	163
9.4.	Полный одноразрядный двоичный сумматор.	164
9.5.	Многоразрядные сумматоры.	165
9.5.1.	Последовательный многоразрядный сумматор.	165
9.5.2.	Параллельный многоразрядный сумматор с последовательным переносом.	166
9.5.3.	Параллельный многоразрядный сумматор с параллельным переносом.	167
9.6.	Микросхемы многоразрядных сумматоров.	168
9.7.	Сумматоры групповой структуры.	170
	Контрольные вопросы.	172
	Индивидуальные задания.	172
10.	ПРЕОБРАЗОВАТЕЛИ КОДОВ.	173
	Контрольные вопросы.	176
11.	ОДНОВИБРАТОРЫ И ГЕНЕРАТОРЫ.	176
11.1.	Одновибраторы.	176
11.2.	Генераторы.	183
	Контрольные вопросы.	185
12.	ПАМЯТЬ.	186
12.1.	Общие сведения.	186
12.2.	Типовые структуры и функциональные узлы микросхем памяти.	192
12.3.	Условные графические обозначения микросхем памяти.	195
12.4.	Применение ПЗУ.	196
12.5.	Применение ОЗУ.	202
	Контрольные вопросы.	207
	Индивидуальное задание.	208
13.	ЦИФРОВЫЕ И АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ.	209
13.1.	Цифро-аналоговые преобразователи.	209
13.2.	Аналого-цифровые преобразователи.	214
	Контрольные вопросы.	224

14. ТИПОВЫЕ СИТУАЦИИ ПРИ ПОСТРОЕНИИ УЗЛОВ И УСТРОЙСТВ НА СТАНДАРТНЫХ ИНТЕГРАЛЬНЫХ СХЕМАХ.	225
14.1. Режимы неиспользуемых входов в логических элементах.	225
14.2. Режимы неиспользуемых логических элементов.	227
14.3. Нарращивание числа входов логических элементов.	227
14.4. Снижение нагрузок на выходах логических элементов.	228
14.5. Паразитные связи цифровых элементов по цепям питания.	229
14.6. Паразитные связи цифровых элементов по цепям питания.	231
14.6.1. Внешние помехи.	232
14.6.2. Токовые помехи.	232
14.6.3. Перекрестные помехи.	233
14.6.4. Искажения сигналов в несогласованных линиях.	234
14.6.5. Линии передачи сигналов.	238
СПИСОК ЛИТЕРАТУРЫ.	242

ВВЕДЕНИЕ

Цифровая электроника является стремительно развивающейся областью современной электроники. Не только инженеры-электронщики, но и специалисты в других областях техники стремятся расширить свои знания в этой области.

Пособие освещает важную область электроники: принципы построения, свойства, схемотехнику, особенности применения цифровых интегральных микросхем.

Основное внимание уделяется ясному для студента изложению материала. Цифровая электроника раскрывается последовательно: от кратких сведений об основах цифровой электроники до ее взаимосвязи с другими областями техники.

Контрольные вопросы и задачи в конце каждой главы позволят студенту проверить знание пройденного материала.

Основной задачей данного пособия является приучить студентов к принятому в данной области электроники цифровому мышлению, а целью – углубление и закрепление теоретических знаний по применению наиболее распространенных цифровых элементов, узлов и устройств, а также приобретение навыков работы с цифровыми интегральными схемами и устройствами, построенными на их основе.

1. ОСНОВЫ ЦИФРОВОЙ ЭЛЕКТРОНИКИ

Сигнал – это любая физическая величина (температура, давление воздуха, интенсивность света, сила тока и т. д.), изменяющаяся со временем. Благодаря такому изменению сигнал может нести в себе какую-то информацию.

Все операции, производимые электронными устройствами над сигналами, можно условно разделить на три большие группы:

- обработка (или преобразование);
- передача;
- хранение.

Аналоговый сигнал – это непрерывно меняющийся сигнал, который может принимать любые значения в определенных пределах (например, напряжение может плавно изменяться в пределах от нуля до десяти вольт). Аналоговые сигналы и работающая с ними аналоговая электроника имеют большие недостатки, связанные с природой аналоговых сигналов: чувствительны к действию всевозможных паразитных сигналов – шумов, наводок, помех. Со временем параметры всех аналоговых устройств изменяются из-за старения элементов, поэтому характеристики этих устройств не остаются постоянными.

Шум – это внутренние хаотические слабые сигналы любого электронного устройства (микрофона, транзистора, резистора и т. д.).

Наводки и помехи – это сигналы, приходящие на электронную систему извне и искажающие полезный сигнал.

Цифровой сигнал – это сигнал, который может принимать значение 0 (низкое) или 1 (высокое) значение (рис. 1.1). За 0 принимается некоторый интервал значений напряжений от U_{\min}^0 (например, 0 В) до U_{\max}^0 (например, 0,8 В).

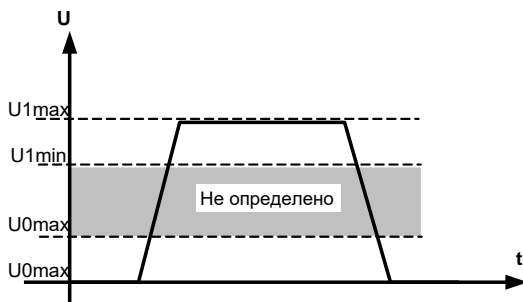


Рис. 1.1. Цифровой сигнал

За 1 принимается некоторый интервал значений напряжений от U_{\min}^1 (например, 2,4 В) до U_{\max}^1 (например, 5 В).

Устройства, работающие исключительно с цифровыми сигналами, называются *цифровыми устройствами*.

Интервал значений от U_{\max}^0 до U_{\min}^1 является неопределенным, так как невозможно предсказать, как поведет себя схема при подаче на ее вход значений напряжений из этого диапазона: будут ли они восприняты как значение 0 или как значение 1. Неопределенный уровень доставляет много неприятностей при работе с электронными схемами.

В отличие от аналоговых цифровые сигналы, имеющие всего два разрешенных значения (0 и 1), гораздо лучше защищены от действия шумов, наводок и помех. Небольшие отклонения от разрешенных значений никак не искажают цифровой сигнал, так как всегда существуют зоны допустимых отклонений (рис. 1.2). Именно поэтому цифровые сигналы допускают гораздо более сложную и многоступенчатую обработку, гораздо более длительное хранение без потерь и гораздо более качественную передачу, чем аналоговые. К тому же поведение цифровых устройств всегда можно абсолютно точно рассчитать и предсказать.

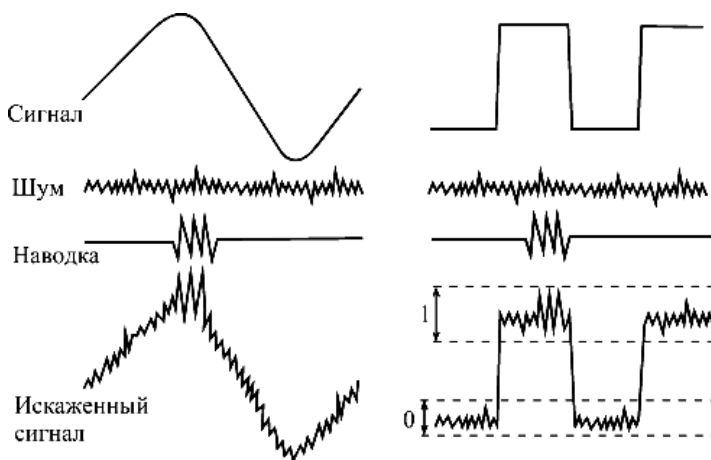


Рис. 1.2. Искажение шумами и наводками аналогового (слева) и цифрового (справа) сигналов

Цифровые устройства значительно меньше подвержены старению, так как небольшое изменение их параметров никак не отражается на функционировании таких устройств. Кроме того, цифровые устройства проще проектировать и отлаживать.

Однако у цифровых сигналов есть и крупный недостаток: на каждом из своих разрешенных уровней (0 или 1) цифровой сигнал должен оставаться хотя бы в течение какого-то минимального временного интервала, иначе его невозможно будет распознать.

Аналоговый сигнал может принимать любое свое значение бесконечно малое время. Можно сказать и иначе: аналоговый сигнал определен в непрерывном времени (то есть в любой момент времени), а цифровой – в дискретном (то есть только в выделенные моменты времени).

Поэтому максимально достижимое быстродействие аналоговых устройств всегда принципиально больше, чем цифровых. Аналоговые устройства могут работать с более быстро меняющимися сигналами, чем цифровые. Скорость обработки и передачи информации аналоговым устройством всегда может быть выше, чем скорость обработки и передачи цифровым устройством.

Кроме того, цифровой сигнал передает информацию только двумя уровнями и изменением одного своего уровня на другой, а аналоговый – еще и каждым текущим значением своего уровня, то есть он более емкий с точки зрения передачи информации. Поэтому для передачи того объема информации, который содержится в одном аналоговом сигнале, чаще всего приходится использовать несколько цифровых сигналов (чаще всего от 4 до 16).

Надо учитывать и то, что в природе все сигналы аналоговые, то есть для преобразования их в цифровые сигналы и обратного преобразования, требуется применение специальной аппаратуры (анало-цифровых и цифро-аналоговых преобразователей).

1.1. Простейшие способы получения цифрового сигнала

На рис. 1.3 представлен способ получения цифрового сигнала с помощью механического переключателя.

Пусть механический переключатель установлен на низкий уровень (U0).

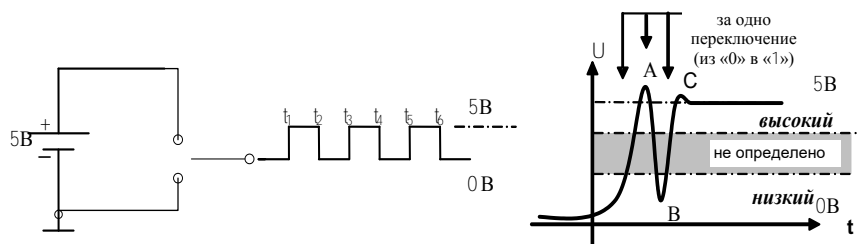


Рис. 1.3. Получение цифрового сигнала при помощи механического переключателя

При установке механического переключателя на высокий уровень ($U1$) низкий уровень сразу сменяется высоким (точка A), затем из-за дребезга контактов – вновь низким уровнем (точка B) и снова высоким (точка C). Хотя такое переключение происходит за короткое время, некоторые быстродействующие электронные схемы, принимающие данный сигнал, воспринимают процесс как чередование низкого, высокого, низкого и снова высокого уровня, что может привести к некорректной работе всей принимающей схемы.

На рис. 1.4 представлен способ получения цифрового сигнала с помощью кнопочного переключателя.

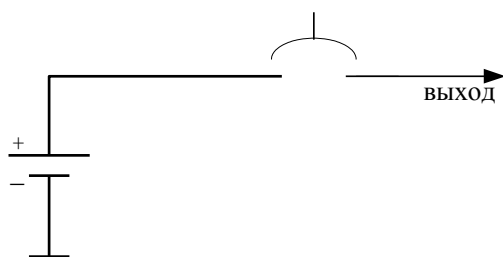


Рис. 1.4. Получение цифрового сигнала с помощью кнопочного переключателя

Если кнопка нажата, на выходе формируется высокий уровень – уровень 1.

При отпущенной кнопке уровень напряжения на выходе является неопределенным, так как в цепи между выходом и источником питания имеется разрыв.

Такая схема может быть использована при необходимости формирования только сигналов высокого уровня.

На рис. 1.5 представлен способ получения цифрового сигнала с помощью одновибратора.

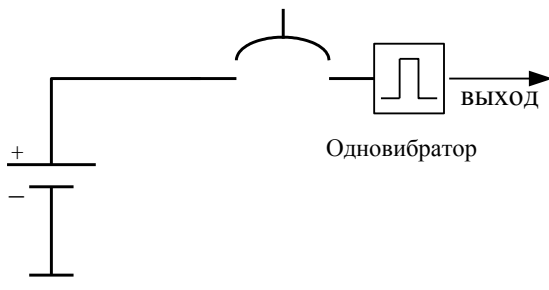


Рис. 1.5. Получение цифрового сигнала с помощью одновибратора

При нажатии кнопки на выходе формируется короткий импульс, длительность которого не зависит от того, как долго нажата кнопка.

1.2. Простейшие способы контроля цифровых сигналов

На рис. 6.1 индикатором цифрового сигнала служит светоизлучающий диод. Резистор R ограничивает ток, проходящий через светодиод, до безопасной величины.

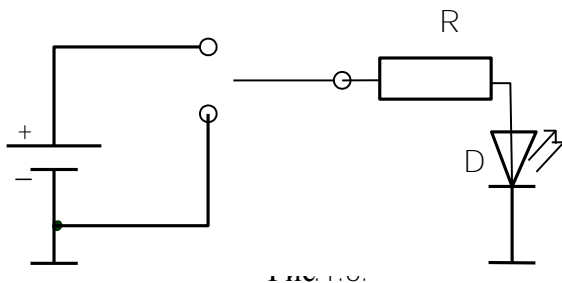


Рис. 1.6. Контроль цифрового сигнала светоизлучающим диодом

Если переключатель находится в верхнем положении, то на анод светодиода подается напряжение в 5 В, светодиод включен в пря-

мом направлении, проходящий через него ток возрастает и возникает свечение.

На рис. 1.7 представлена схема, в которой светоизлучающий индикатор управляется транзистором. Преимущество такой схемы – меньший ток, потребляемый транзистором с входа контролируемой схемы.

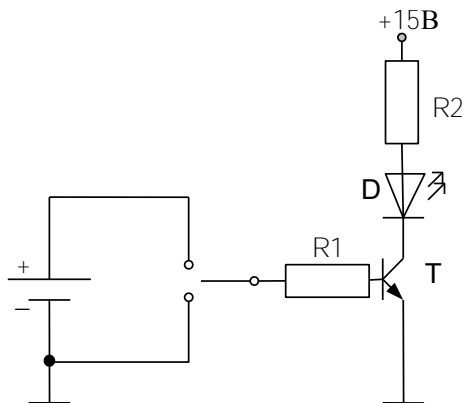


Рис. 1.7.

Управление индикатором с помощью транзистора

Если переключатель включен в верхнее положение, то на базу транзистора подается напряжение, достаточное для его открытия. В цепи коллектора протекает ток, что обеспечивает индикацию сигнала высокого уровня.

1.3. Логические переменные, базовые операции между логическими переменными

Одна и та же задача может решаться аналоговыми или цифровыми методами.

Цифровые устройства, решающие задачу, аналогичную с аналоговыми устройствами, содержат гораздо большее число элементов. Вместо одной линии обработки информации требуется N линий.

Цифровые устройства кажутся довольно сложными, однако они основаны на принципе многократного повторения относительно простых базовых логических схем. Связи между этими схемами строятся на основе чисто формальных методов. Даже самые сложные пре-

образования цифровой информации в конечном счете сводятся к простейшим операциям над сигналами 0 и 1.

Инструментом такого построения служит булева алгебра, которая называется также алгеброй логики.

В отличие от переменной в обычной алгебре логическая переменная в булевой алгебре имеет только два значения – «истинность» и «ложность», которые называются логическим нулем и логической единицей. В качестве обозначений используются «1» и «0».

Существуют три основные (базовые) операции между логическими переменными:

1. конъюнкция (логическое умножение), иначе – операция И;
2. дизъюнкция (логическое сложение), иначе – операция ИЛИ;
3. инверсия (логическое отрицание), иначе – операция НЕ.

Введем условные обозначения:

- F – значение выходного сигнала;
- $X1$ и $X2$ – значения входных сигналов.

Тогда базовые логические операции можно записать в виде, представленном в табл. 1.1.

Таблица 1.1

Операция	Логическое выражение	Определение
Конъюнкция	$F = X1 \cdot X2 = X1 \wedge X2$	Значение функции И истинно (равно 1) тогда и только тогда, когда все ее аргументы ($X1$ и $X2$) равны 1, т. е. истинны
Дизъюнкция	$F = X1 + X2 = X1 \vee X2$	Значение функции ИЛИ истинно (равно 1) тогда, когда хотя бы один из ее аргументов ($X1$ или $X2$, или $X1$ и $X2$) равны 1, т. е. истинны
Инверсия	$F = \overline{X1}$	Значение F истинно тогда, когда аргумент ($X1$) является ложным

Применительно к логическим операциям существуют теоремы, приведенные в табл. 1.2.

Таблица 1.2

Наименование	Для умножения	Для сложения
Коммутативный закон	$X_1X_2 = X_2X_1$	$X_1 + X_2 = X_2 + X_1$
Ассоциативный закон	$X_1(X_2X_3) = (X_1X_2)X_3$	$X_1 + (X_2 + X_3) = (X_1 + X_2) + X_3$
Дистрибутивный закон	$X1(X2 + X3) = X1X2 + X1X3$	
Правило повторения	$XX = X$	$X + X = X$
Правило отрицания	$X \cdot \bar{X} = 0$	$X + \bar{X} = 1$
Правило двойного отрицания	$\overline{(\bar{x})} = x$	
Теорема де Моргана	$\overline{x_1 \cdot x_2} = \bar{x}_1 + \bar{x}_2$	$\overline{x_1 + x_2} = \bar{x}_1 \cdot \bar{x}_2$
Операции с 0 и 1	$X \cdot 1 = 1$ $X \cdot 0 = 0$ $\bar{0} = 1$	$X + 1 = 1$ $X + 0 = X$ $\bar{1} = 0$

Многие из этих теорем известны из алгебры чисел. Однако некоторые теоремы для чисел несправедливы; кроме того, понятие «инверсия» (отрицание) для чисел вообще не определено.

С помощью выражений алгебры логики можно вычислить результаты логических операций для всех возможных значений входных переменных и определить их таблицы истинности.

1.4. Числа, используемые в цифровой электронике

Возможность применения булевой алгебры для решения задач анализа и синтеза цифровых устройств обусловлена аналогией понятий и категорий этой алгебры и двоичной системы счисления, которая положена в основу представления преобразуемых устройством сигналов.

Двоичная система счисления – это система с основанием 2 (две цифры: 0 и 1) относится к позиционной системе счисления (в зависимости от расположения цифры в числе цифра имеет разный вес).

Символы десятичной системы соответствуют символам двоичной системы счисления:

$$0 \Rightarrow 0; 1 \Rightarrow 1; 2 \Rightarrow 10; 3 \Rightarrow 11; 4 \Rightarrow 100; 5 \Rightarrow 101;$$

$$6 \Rightarrow 110; 7 \Rightarrow 111; 8 \Rightarrow 1000; 9 \Rightarrow 1001.$$

Двоичное число можно преобразовать в десятичное, используя соответствующий вес разряда двоичного числа.

$$110011_2 = 1 \cdot 2^0 + 1 \cdot 2^1 + 0 \cdot 2^2 + 0 \cdot 2^3 + 1 \cdot 2^4 + 1 \cdot 2^5 = 51_{10}$$

Обратное преобразование (из десятичного числа в двоичное) выполняется путем деления каждого промежуточного частного на два. При этом каждый неделимый конечный остаток дает очередную цифру для искомого двоичного числа. Деление происходит до тех пор, пока частное не будет равно нулю.

Двоичное число представляет собой полученные остатки, записанные в порядке от последнего к первому, как показано на примере.

13 : 2 = 6	1	1	
	Остаток 1		
6 : 2 = 3	0	2	=> 1101 ₂
	Остаток 0		
3 : 2 = 1	1	4	
	Остаток 1		
1 : 2 = 0	1	8	
	Остаток 1		

В цифровых устройствах используется также шестнадцатеричная система счисления. Она является вспомогательной и используется при подготовке задач к решению.

За основание шестнадцатеричной системы принято число 16. Она является избыточной по отношению к десятичной системе. Помимо цифр от 0 до 9 в шестнадцатеричной системе счисления использу-

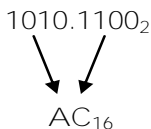
ются буквы A(10), B(11), C(12), D(13), E(14), F(15). Каждая цифра или буква кодируется четырьмя двоичными разрядами.

Цифровые устройства должны иметь возможность обрабатывать как положительные, так и отрицательные двоичные числа.

Для работы с отрицательными или положительными цифрами используется так называемый знаковый разряд (старший разряд).

Положительное число кодируется 0 в знаковом разряде ($[0]0010_2$).

Перевод из двоичной системы в шестнадцатеричную систему



Перевод из шестнадцатеричной системы в двоичную систему

$$2F_{16} \Rightarrow 00101111 \Rightarrow 101111_2$$

Отрицательное число -1 .

Для упрощения выполнения операций над отрицательными двоичными числами используются коды, приведенные в табл. 1.3.

Таблица 1.3

Наименование	Значение	Пояснения
Прямой код $[X]_{пр}$	$[X]_{пр} = [1]00101$	
Обратный код $[X]_{обр}$	$[X]_{обр} = [1]11010$	Обратный код отрицательного числа формируется по следующему принципу: в знаковый разряд заносится 1, а все остальные разряды меняются на обратные по отношению к прямому коду этого числа
Дополнительный код $[X]_{доп}$	$[X]_{доп} = [1]11011$	Дополнительный код отрицательного числа формируется по следующему принципу: младший разряд обратного кода складывается с 1

Дополнительный код иначе называют дополнением до двух или полным, например:

$$[X]_{\text{пр}} = [0]1001_2 = 1 \cdot 2^0 + 0 \cdot 2^1 + 0 \cdot 2^2 + 0 \cdot 2^3 + 0 \cdot 2^4 = 1 + 8 = 9_{10};$$

$$[X]_{\text{обр}} = [1]0110_2 = 0 \cdot 2^0 + 1 \cdot 2^1 + 1 \cdot 2^2 + 0 \cdot 2^3 - 1 \cdot 2^4 = 2 + 4 - 16 = -10_{10};$$

$$[X]_{\text{доп}} = [1]0111_2 = 1 \cdot 2^0 + 1 \cdot 2^1 + 1 \cdot 2^2 + 0 \cdot 2^3 - 1 \cdot 2^4 = 1 + 2 + 4 - 16 = -9_{10}.$$

1.5. Арифметические действия над двоичными числами

Арифметические действия над двоичными числами приведены в табл. 1.4.

Таблица 1.4

Операция	Правила	Пример
Сложение	$0 + 0 = 0$ $0 + 1 = 1$ $1 + 0 = 1$ $1 + 1 = 0$ (1 переноса в следующий разряд)	$ \begin{array}{r} + \quad 10101_2 \\ \quad 01001_2 \\ \hline \quad 11110_2 \end{array} $
Вычитание	$0 - 0 = 0$ $1 - 0 = 1$ $0 - 1 = 1$ (заем из старшего разряда) $1 - 1 = 0$	$ \begin{array}{r} - \quad 10101_2 \\ \quad 01001_2 \\ \hline \quad 01100_2 \end{array} $
Умножение	$0 \cdot 0 = 0$ $0 \cdot 1 = 0$ $1 \cdot 0 = 0$ $1 \cdot 1 = 1$	$ \begin{array}{r} \quad 0110_2 \\ \quad 0101_2 \\ \hline \quad 0110 \\ \quad 0000 \\ \quad 0110 \\ \quad 0000 \\ \hline \quad 0011110 \end{array} $
Деление	В цифровой технике деление выполняется разными методами: многократным вычитанием	

	(простейший метод), методом без восстановления
--	--

1.6. Переполнение

Понятие «переполнение» является важным в цифровой электронике.

Пусть мы работаем с 4-разрядными двоичными числами, то есть максимальное число, которое мы можем получить в результате арифметических операций, это 1112 (1510). Числа, например 10 и 8, при такой разрядности сложить уже нельзя – будет перенос в разряд, которого не существует:

$$1010 + 1000 = [1]0010.$$

Поэтому в цифровой электронике необходимо предусматривать меры контроля переполнения и индикации (или вообще прекращения вычислений) ошибки.

1.7. Цифровая интегральная схема

Элементной базой современных цифровых устройств и систем являются цифровые интегральные схемы.

Цифровая интегральная схема (ИС) – это микросэлектронное изделие, изготовленное методами интегральной технологии (чаще полупроводниковой), заключенное в самостоятельный корпус и выполняющее определенную функцию преобразования дискретных (цифровых) сигналов.

ИС (рис. 1.8) обязательно имеет следующие выводы («ножки»):

- выводы питания: общий («земля») и напряжения питания. Данные выводы на схемах обычно не показываются;
- выводы для входных сигналов («входы»), на которые поступают внешние цифровые сигналы;
- вывод или выводы для выходных сигналов («выходы»), на которые выдаются цифровые сигналы из самой микросхемы.

Каждый вывод имеет свой номер, например «U_n» – 14, «Общий» – 7 и т. д.

Каждая микросхема тем или иным способом преобразует последовательность входных сигналов в последовательность выходных сигналов или сигнал.

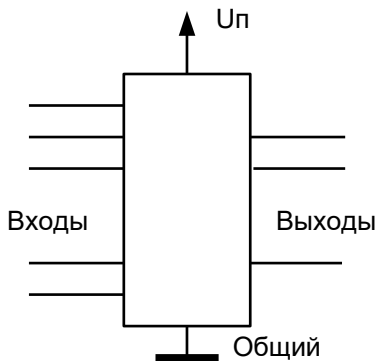


Рис. 1.8.

Рис. 1.8. Интегральная схема

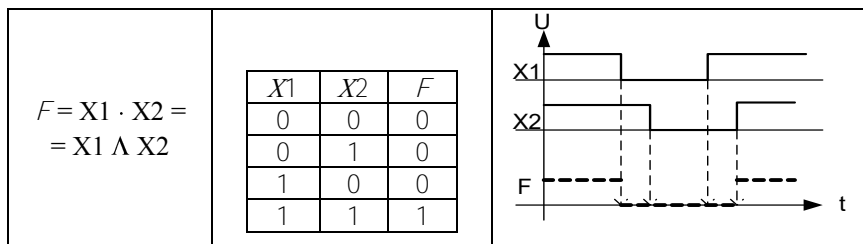
Способ преобразования чаще всего описывается:

- логическим выражением;
- в виде таблицы (таблицы истинности), которая отображает значение выходного сигнала (сигналов), соответствующее конкретному набору значений входных сигналов;
- в виде временных диаграмм, то есть графиков зависимости во времени значений выходного сигнала (сигналов) от значений входных сигналов.

Если $X1$ и $X2$ – входные сигналы, F – выходной сигнал, то примеры описания способов преобразования для операции «Конъюнкция» можно представить в видах, приведенных в табл. 1.5.

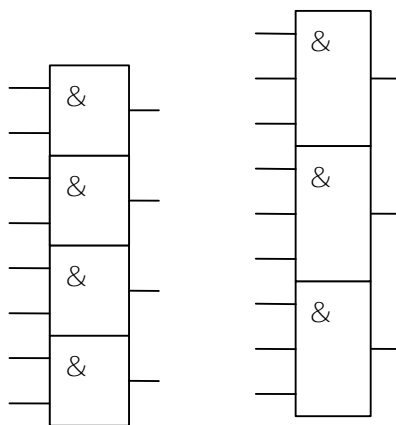
Таблица 1.5

Логическое выражение	Таблица истинности	Диаграмма
----------------------	--------------------	-----------



ИС может содержать несколько одинаковых цифровых элементов (узлов), которые выполняют одну и ту же функцию. В зависимости от сложности выполняемого преобразования таких элементов в интегральной схеме может быть разное количество.

Например, элементов, выполняющих операцию «Конъюнкция» над двумя входными сигналами ($X1, X2$) в ИС, – четыре, а элементов, выполняющих операцию «Конъюнкция» над тремя входными сигналами ($X1, X2, X3$) в ИС, – три (рис. 1.9).



& - обозначение операции «Конъюнкция»

Рис. 1.9. Элементы, выполняющие операцию «Конъюнкция»

Как уже говорилось, все цифровые микросхемы работают с логическими сигналами, имеющими два разрешенных уровня напряжения. Один из этих уровней называется уровнем логической единицы (или единичным уровнем), а другой – уровнем логического нуля (или

нулевым уровнем). Чаще всего логическому нулю соответствует низкий уровень напряжения, а логической единице – высокий уровень. В этом случае говорят, что принята «положительная логика».

Однако при передаче сигналов на большие расстояния и в системных шинах микропроцессорных систем порой используют и обратное представление, когда логическому нулю соответствует высокий уровень напряжения, а логической единице – низкий уровень. В этом случае говорят об «отрицательной логике».

В данном пособии речь будет идти о положительной логике.

1.8. Упрощение и минимизация логических функций

Сложность логической функции, а отсюда – сложность и стоимость реализующей ее схемы пропорциональны числу операций и числу вхождений перемещений или их отрицаний.

Логическая функция может быть упрощена с помощью аксиом и теорем алгебры логики, однако такие преобразования требуют громоздких выкладок и навыков.

На практике для упрощения логических выражений, описывающих работу устройства, применяют карты Карно.

Рассмотрим булево выражение

$$F = \bar{A}B + A\bar{B} + AB.$$

Для реализации данного выражения необходимы два инвертора, три конъюнктора (И) и один дизъюнктор (ИЛИ).

Упростим данное логическое выражение:

$$F = B(\bar{A} + A) + A\bar{B} = B + A\bar{B} = A + B.$$

Таким образом, все логическое выражение сведено к логической операции ИЛИ (конъюнктор).

Карта Карно представляет собой графическое изображение всех возможных наборов значений аргументов, каждый минтерм изображается на карте виде клетки.

Карта образуется путем такого расположения клеток, при котором минтермы, находящиеся в соседних клетках, отличаются значением одной переменной.

Карты Карно для двух переменных имеют вид, представленный на рис. 1.10, *a*.

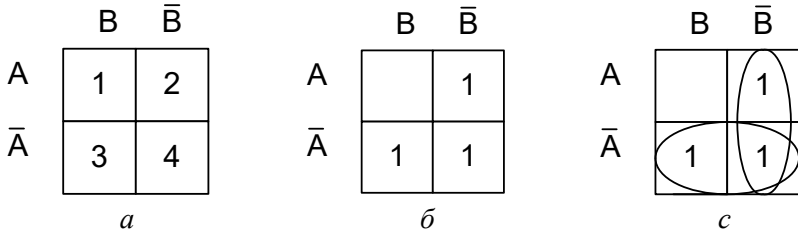


Рис. 1.10. Упрощение логического выражения с помощью карты Карно

Минимизируем исходное логическое выражение посредством применения карт Карно.

Проставим 1 в карту Карно в те клетки, которые соответствуют наборам функции присутствующим в логическом выражении.

Отыскание минимальной формы сводится к максимальному склеиванию по некоторому аргументу – по B – вертикаль – и по A – горизонталь.

Соседние 1 объединим контуром (рис. 1.10, *в*). Возможно объединение двух, четырех, восьми и т. д. единиц, стоящих в соседних клетках, кроме этого карта Карно может быть свернута в горизонтальный или вертикальный цилиндры или шар, что также позволяет объединить 1, стоящие в соседних крайних клетках свернутых карт.

Так как у нас два контура, то новое выражение будет состоять из двух членов, связанных функцией ИЛИ.

Для нижнего контура аргумент A встречается с \bar{B} и B , но в соответствии с правилом булевой алгебры аргументы \bar{B} и B дополняют друг друга и их можно опустить, то есть остается только аргумент A .

В результате значение функции также будет сведено к логической операции ИЛИ.

Рассмотрим пример построения карты Карно на три переменные. Пусть дано логическое выражение

$$F = \bar{A}\bar{B}\bar{C} + ABC + \bar{A}BC + \bar{A}\bar{B}C + \bar{A}B\bar{C}.$$

Карта Карно и результат минимизации представлены на рис. 1.11.

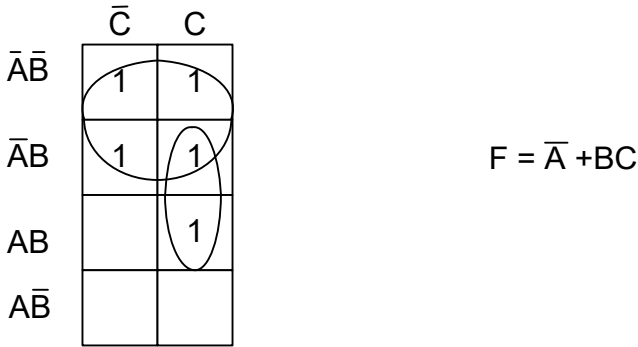


Рис. 1.11. Пример карты Карно для трех переменных

Рассмотрим пример построения карты Карно на четыре переменные (рис. 1.12).

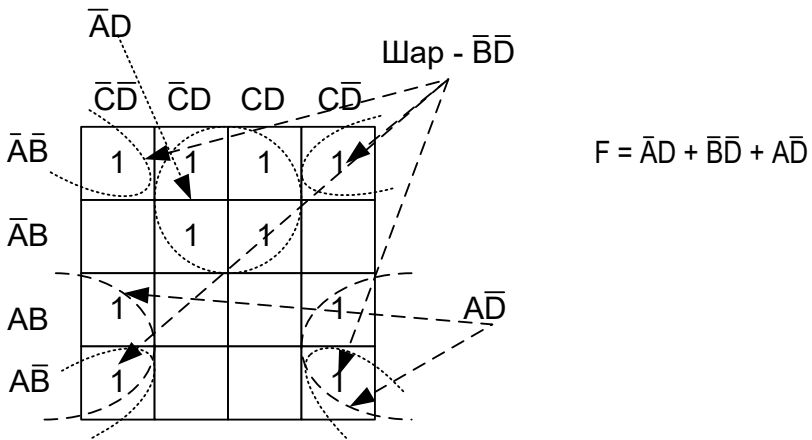
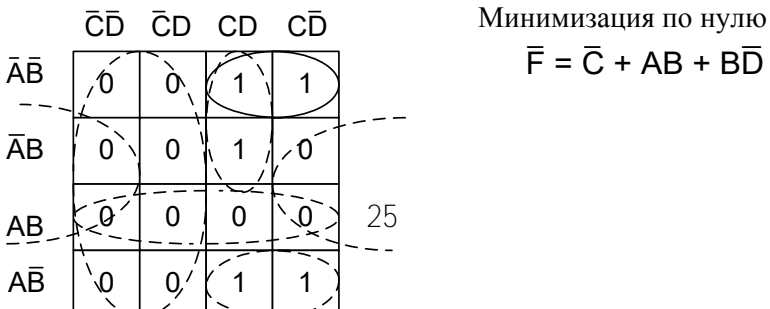


Рис. 1.12. Карта Карно на четыре переменные

В рассмотренных примерах осуществлялась минимизация по единице, однако в некоторых случаях более удобной может оказаться минимизация по нулю. Пример такого случая представлен на рис. 1.13.



Минимизация по единице

$$F = \overline{B}C + \overline{A}CD$$

Рис. 1.13. Минимизация по нулю

Минимизация по нулям показана штрихпунктирной линией, а по единицам – сплошной.

При минимизации по нулям получается отрицательная функция при постановке отрицания с двух сторон.

Используя теорему Де Моргана, можно перейти к положительной функции и реализовать полученное значение на требуемых логических элементах:

$$\overline{\overline{F}} = \overline{\overline{C + AB + BD}};$$

$$\overline{\overline{F}} = \overline{\overline{C} \cdot \overline{AB} \cdot \overline{BD}};$$

$$F = C \cdot \overline{AB} \cdot \overline{BD}$$

1.9. Недоопределенная функция

Функция называется частично определенной (недоопределенной), если ее значение на некоторых наборах запрещено или некоторые наборы не используются в работе схемы.

Значение функции на таких наборах можно задать по своему усмотрению (1 или 0), то есть доопределить функции. Доопределение функции не отразится на работе устройства, но облегчит его реализацию.

При минимизации недоопределенных булевых функций в картах Карно, которые соответствуют запрещенным наборам, ставят прочерки, которые могут доопределяться единицей или нулем для удобства конкретной минимизации.

Пример минимизации недоопределенной функции показан на рис. 1.14.

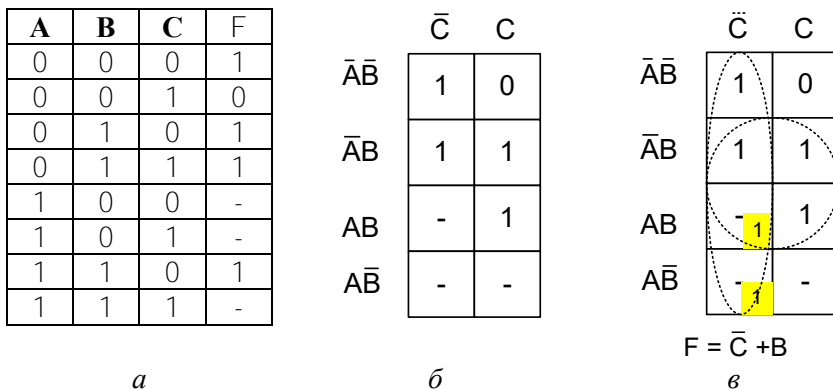


Рис. 1.14. Минимизация недоопределенной функции:
a – таблица истинности; *б* – карта Карно с нанесенными минтермами;
в – доопределение карты Карно

1.10. Контрольные вопросы

1. Что собой представляет цифровой аналоговый сигнал?
2. Что собой представляет цифровой сигнал?
3. Недостатки и достоинства устройств, работающих с аналоговыми сигналами.
4. Недостатки и достоинства устройств, работающих с цифровыми сигналами.
5. Как можно получить цифровой сигнал?
6. Как можно проконтролировать значение цифрового сигнала?
7. Назовите основные операции над логическими переменными.
8. Напишите логическое выражение операции «Конъюнкция» над переменными X_1, X_2, X_3 .
9. Напишите логическое выражение операции «Дизъюнкция» над переменными X_1, X_2, X_3 .
10. Напишите правило «отрицания» для умножения и сложения.
11. Напишите коммутативный закон для умножения и сложения.
12. Какая система счисления называется двоичной?
13. Какая система счисления называется шестнадцатеричной?
14. Как формируется обратный код отрицательного числа?
15. Как формируется дополнительный код отрицательного числа?
16. Что такое переполнение?

17. Что такое интегральная схема?
 18. Какие выводы имеет интегральная схема?
 19. Как можно описать способ преобразования входных сигналов в выходной?

1.11. Индивидуальные задания

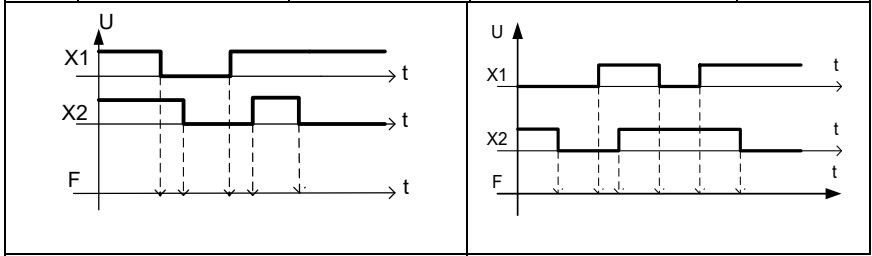
Вариант индивидуального задания указывает преподаватель. Используя диаграмму входных значений, изобразите значение функции F .

Варианты даны в табл. 1.6.

Таблица 1.6

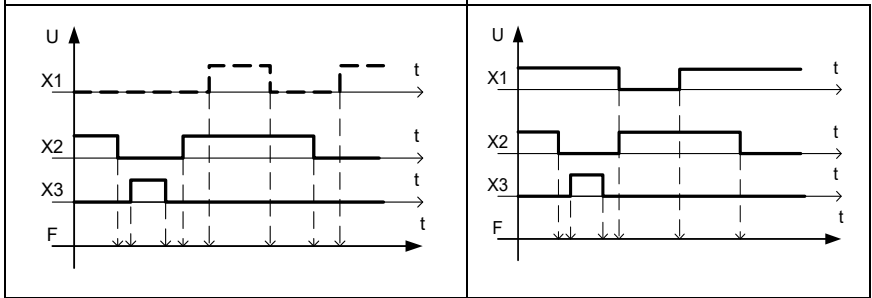
Вариант	Преобразуйте двоичное число в десятичное и шестнадцатеричное	Напишите обр. и доп. коды положительного числа	Составьте таблицу истинности следующего логического выражения	F
В.1	101011110000	00110101	$F = X1 + \overline{X2}$	Рис. 1.15, а
В.2	100001100111	00111100	$F = \overline{X1} + X2$	
В.3	110010000101	01000100	$F = \overline{X1} + \overline{X2}$	
В.4	110001010010	00110001	$F = \overline{X1} + X2$	
В.5	100001000001	00110010	$F = \overline{X1} \cdot X2$	Рис. 1.15, б
В.6	010001111100	10001110	$F = X1 \cdot \overline{X2}$	
В.7	111001110110	10010010	$F = \overline{X1} \cdot \overline{X2}$	
В.8	100010101010	10001111	$F = \overline{X1} \cdot X2$	
В.9	100111111101	00111000	$F = \overline{X1 \cdot X2} + X3$	Рис. 1.15, в
В.10	100111000111	10011001	$F = \overline{X1+X2} + X3$	
В.11	100010101111	10100001	$F = \overline{X1+X2} \cdot X3$	
В.12	110101000101	00110000	$F = \overline{X1 \cdot X2} \cdot X3$	
В.13	010001000101	00110011	$F = X1 \cdot X2 + \overline{X3}$	Рис. 1.15, г

B.14	100100001111	10001111	$F = X1 + X2 + \overline{X3}$	Рис. 1.15, д
B.15	100001000001	01100010	$F = X1 + X2 \cdot \overline{X3}$	
B.16	111111111000	01000101	$F = X1 \cdot X2 \cdot \overline{X3}$	
B.17	001100011111	00011110	$F = X1 + \overline{X2} + X3$	
B.18	100011010101	00111001	$F = \overline{X1} + X2 + \overline{X3}$	
B.19	010100001110	01010001	$F = X1 + \overline{X2} \cdot X3$	
B.20	011011110111	00111001	$F = X1 \cdot \overline{X2} + X3$	



a

б



в

г

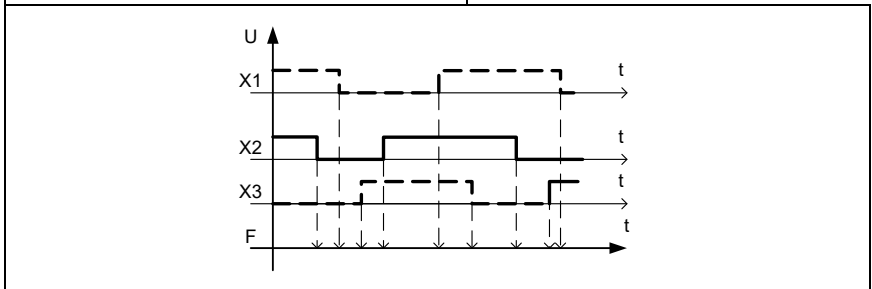


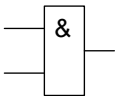
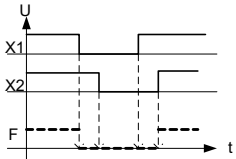
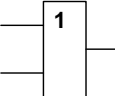
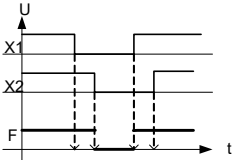
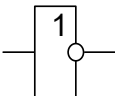
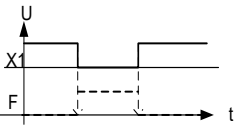
Рис. 1.15. Варианты заданий

2. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

2.1. Базовые логические элементы

Логические функции (конъюнкция, дизъюнкция, инверсия) могут быть реализованы с помощью электронных схем – логических элементов (табл. 2.1.).

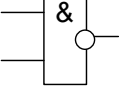
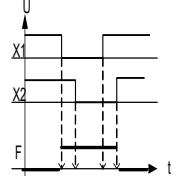
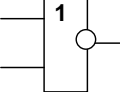
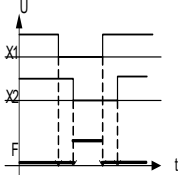
Таблица 2.1

Наименование	Логическое выражение	Условное обозначение	Таблица истинности	Диаграмма работы															
Конъюнктор (элемент И)	$F = X1 \cdot X2$		<table border="1"> <thead> <tr> <th>X1</th> <th>X2</th> <th>F</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	X1	X2	F	0	0	0	0	1	0	1	0	0	1	1	1	
X1	X2	F																	
0	0	0																	
0	1	0																	
1	0	0																	
1	1	1																	
Дизъюнктор (элемент ИЛИ)	$F = X1 + X2$		<table border="1"> <thead> <tr> <th>X1</th> <th>X2</th> <th>F</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	X1	X2	F	0	0	0	0	1	1	1	0	1	1	1	1	
X1	X2	F																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	1																	
Инвертор (элемент НЕ)	$F = \overline{X1}$		<table border="1"> <thead> <tr> <th>X1</th> <th>F</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	X1	F	0	1	1	0										
X1	F																		
0	1																		
1	0																		

Помимо логических функций в цифровой электронике имеется набор логических элементов (ЛЭ), реализующих функции, с помощью которых могут быть получены все остальные функции булевой

алгебры (например, конъюнкция, дизъюнкция, инверсия). Такой набор называется базовым (табл. 2.2.).

Таблица 2.2

Наименование	Логическое выражение	Условное обозначение	Таблица истинности	Диаграмма работы															
Элемент И-НЕ	$F = \overline{X1 \cdot X2}$		<table border="1"> <thead> <tr> <th>X1</th> <th>X2</th> <th>F</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	X1	X2	F	0	0	1	0	1	1	1	0	1	1	1	0	
X1	X2	F																	
0	0	1																	
0	1	1																	
1	0	1																	
1	1	0																	
Элемент ИЛИ-НЕ	$F = \overline{X1 + X2}$		<table border="1"> <thead> <tr> <th>X1</th> <th>X2</th> <th>F</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	X1	X2	F	0	0	1	0	1	0	1	0	0	1	1	0	
X1	X2	F																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	0																	

Преобразование функции ИЛИ (дизъюнкция) к базовому элементу И-НЕ осуществляется с помощью теоремы Де Моргана.

Преобразование функции ИЛИ к базовому элементу ИЛИ-НЕ осуществляется согласно правилу двойного отрицания (рис. 2.1).

$$F = X1 + X2 = \overline{\overline{X1} \cdot \overline{X2}}$$

$$F = X1 + X2 = \overline{\overline{X1} + \overline{X2}}$$

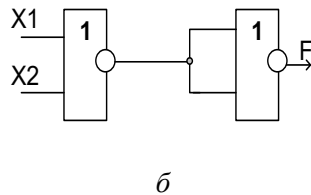
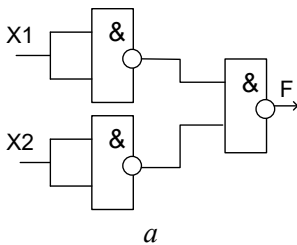


Рис. 2.1. Реализация функции ИЛИ с помощью базового элемента И-НЕ (а) и базового элемента ИЛИ-НЕ (б)

Преобразование функция И (конъюнкция) к базовому элементу ИЛИ-НЕ и И-НЕ представлено на рис. 2.2.

$$F = X1 \cdot X2 = \overline{\overline{X1} + \overline{X2}} \quad F = X1 \cdot X2 = \overline{\overline{X1} \cdot \overline{X2}}$$

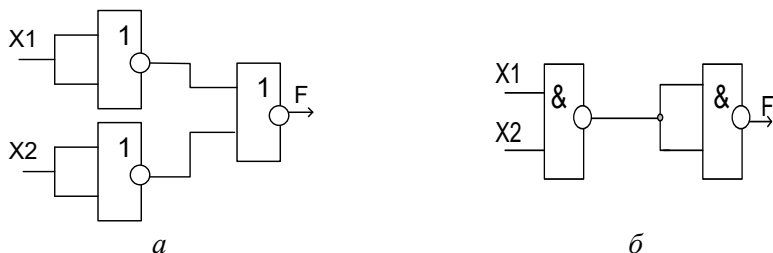


Рис. 2.2. Реализация функции ИЛИ с помощью базового элемента И-НЕ (а) и базового элемента ИЛИ-НЕ (б)

Преобразование функция НЕ (инверсия) к базовому элементу ИЛИ-НЕ и И-НЕ представлено на рис. 2.3. Функция НЕ реализуется элементом И-НЕ или ИЛИ-НЕ при объединении их входов. Используется правило повторения.

$$F = \overline{X1} = \overline{X1 \cdot X1} \quad F = X1 = \overline{\overline{X1} + \overline{X1}}$$

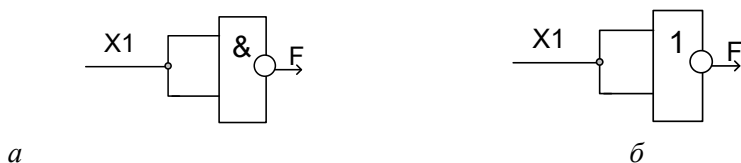


Рис. 2.3. Реализация функции НЕ с помощью базового элемента И-НЕ (а) и базового элемента ИЛИ-НЕ (б)

Использование наборов базисных элементов позволяет изготавливать на кристалле только одинаковые элементы, реализуя различные функции только их определенной коммутацией.

Другой причиной может служить, например, то, что для определенных типов логических элементов их электрические характери-

стики зависят от вида реализуемой функции. Так, для КМОП ИС элементы ИЛИ-НЕ характеризуются большим быстродействием и помехоустойчивостью, чем элементы И-НЕ.

Наряду с обозначениями U1 и U0 могут быть использованы и обозначения высокого и низкого уровней напряжения соответственно как H (High) и L (Low).

Одни и те же преобразования логических переменных можно задать в различных формах:

- с помощью операций И, ИЛИ, НЕ (булевский базис);
- операций И-НЕ (базис Шеффера);
- операции ИЛИ-НЕ (базис Пирса).

Выбор базиса зависит от простоты реализации той или иной операции с помощью электрических схем данной схмотехнологии.

Чаще всего встречаются базисы Шеффера и Пирса.

2.2. Особенности работы логических элементов

В логических схемах информация, представленная двоичными сигналами «0» и «1», многократно преобразуется и разветвляется, проходит последовательно по длинной цепочке логических элементов (ЛЭ), каждый из которых нагружен на n подобных элементов и имеет m информационных входов (рис. 2.4).

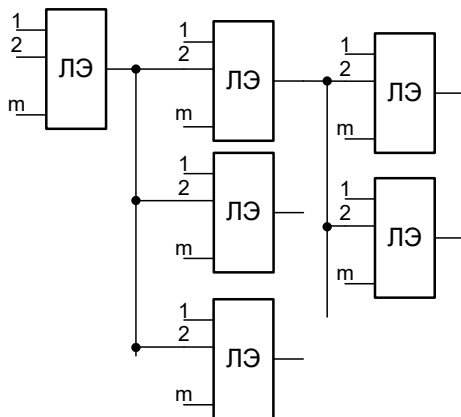


Рис. 2.4. Фрагмент логической цепи

Для нормального функционирования таких сложных логических схем необходимо, чтобы каждый ЛЭ безошибочно выполнял свои функции при самых различных комбинациях нагрузок на входе и выходе, независимо от положений в логической цепи и длины межэлементных связей. При этом должно быть обеспечено неискаженное логическое преобразование двоичной информации, в то время как искажения формы и уровней выходных сигналов существенного значения не имеют, если эти искажения находятся в пределах зон отображения (разброса) уровней двоичных сигналов «0» и «1» и не приводят к потере информации или сбоям в работе последующих ЛЭ.

Сложность логических схем и множество сочетаний входных сигналов и нагрузок не позволяют рассчитывать на индивидуальное согласование и регулировку ЛЭ в процессе изготовления, наладки и эксплуатации цифрового прибора. В связи с этим для обеспечения работоспособности цифрового прибора необходимо, чтобы ЛЭ обладал рядом функциональных свойств.

2.2.1. Совместимость входных и выходных сигналов

В логических схемах цифровых приборов логические элементы соединены так, чтобы выход каждого элемента работал на один или несколько входов других элементов, в том числе и на свои собственные входы. Для нормального функционирования таких цепей должна быть обеспечена совместимость уровней сигналов «0» и «1» (рис. 2.5).

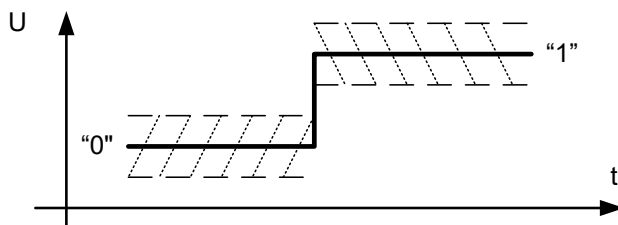


Рис. 2.5. Зоны отображения уровней сигнала «0» и «1»

2.2.2. Нагрузочная способность

Для построения разветвленных логических цепей необходимо, чтобы каждый ЛЭ обладал определенной нагрузочной способностью по входу и выходу, то есть мог работать по нескольким логическим

входам и одновременно управлять несколькими входами других ЛЭ (см. рис. 2.4).

Нагрузочную способность принято выражать коэффициентом разветвления по выходу $K_{\text{раз}}$ и коэффициентом объединения по входу $K_{\text{об}}$.

Под **коэффициентом разветвления по выходу** $K_{\text{раз}}$ понимают наибольшее число входов ЛЭ, которые можно подключить к выходу данного ЛЭ, не вызывая искажений формы и амплитуды сигнала, выходящих за границы зон отображения «0» и «1».

Коэффициент объединения по входу $K_{\text{об}}$ равен допустимому числу входов ЛЭ.

Со стороны входа каждый ЛЭ представляет собой нелинейную нагрузку, характер и значение которой определяется комбинацией и значением сигналов на других входах этого же элемента и разбором параметров схемы ЛЭ.

В реальной логической схеме каждый ЛЭ может быть нагружен на разное число других ЛЭ и соединен с ними линиями связи разной длины и конфигурации. В результате условия работы ЛЭ в разных схемах могут существенно отличаться, что не должно приводить к нарушению их функционирования.

2.2.3. Квантование (формирование) сигнала

В логических схемах цифровых приборов информационные сигналы проходят последовательно по длинной цепочке ЛЭ.

Для нормального функционирования логических схем необходимо, чтобы сигнал, проходя через каждый ЛЭ, имел некоторые стандартные амплитудные и временные параметры (амплитуду, длительность фронтов) и существенно не изменял их.

Для этого требуется, чтобы ЛЭ обладал определенными формирующими свойствами. Наиболее полно формирующие свойства ЛЭ определяются амплитудной передаточной характеристикой $U_{\text{вых}} = f(U_{\text{вх}})$ (рис. 2.6).

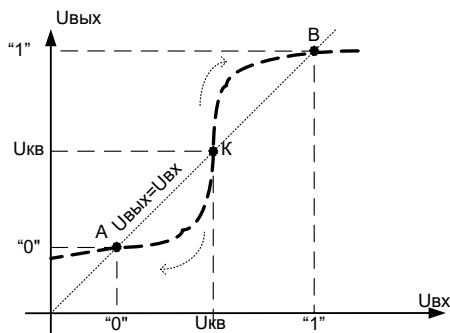


Рис. 2.6. Амплитудная передаточная характеристика неинвертирующего ЛЭ

Рассмотрим процесс квантования сигнала на примере цепочки неинвертирующих ЛЭ (см. рис. 2.6). Точка *A* соответствует нижнему уровню сигнала «0», а точка *B* – верхнему уровню сигнала «1». Точка *K* разграничивает две области сигналов: с амплитудой $U_{вх}$ меньше порога квантования и с амплитудой $U_{вх}$ больше $U_{кв}$.

Сигналы с амплитудой $U_{вх} < U_{кв}$ асимптотически стремятся к нижнему уровню (точка *A*), а сигналы с амплитудой $U_{вх} > U_{кв}$ – к верхнему уровню (точка *B*) (рис. 2.7).

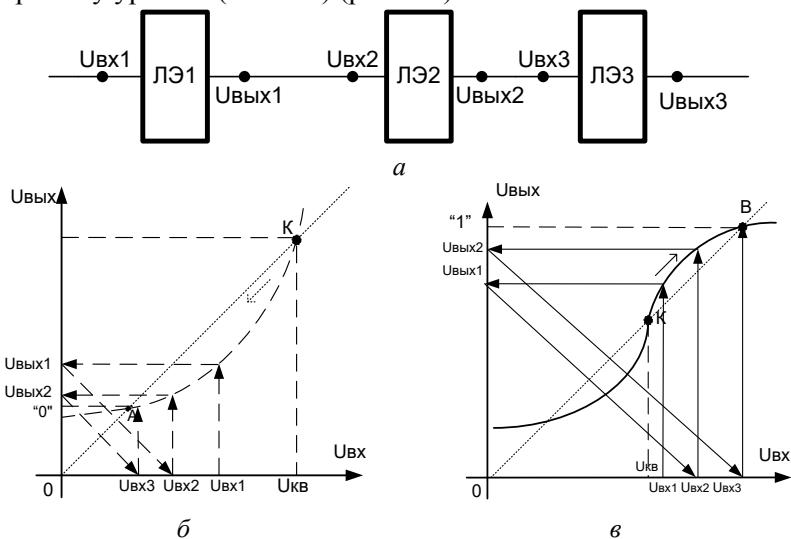


Рис. 2.7. Квантование сигналов «0» и «1» в цепочке ЛЭ:
a – цепочка логических элементов; *б* – квантование сигнала «0» ($U_{вх} < U_{кв}$);
в – квантование сигнала «1» ($U_{вх} > U_{кв}$)

Соответственно сигналы с амплитудой меньше $U_{\text{кв}}$ затухают, а сигналы с амплитудой больше $U_{\text{кв}}$ усиливаются в цепочке логических элементов до стандартного сигнала.

Таким образом при распространении по цепочке ЛЭ входной сигнал с амплитудой ниже или выше порога квантования $U_{\text{кв}}$ асимптотически приближается к одному из уровней двоичного сигнала («0» или «1»), то есть квантуется.

При проектировании логических схем цифровых приборов важно обеспечить минимальный разброс амплитудных передаточных характеристик ЛЭ при изменении окружающей температуры и напряжений питания, чтобы избежать появления в них сигналов нестандартной формы и сбоев.

Разброс амплитудных передаточных характеристик ЛЭ однозначно определяет зоны отображения уровней сигналов «0» и «1» и допустимый уровень помех в логических цепях.

2.2.4. Помехоустойчивость

При работе цифровых приборов недопустимы даже кратковременные искажения информации, так как они могут привести к ошибкам в конечных результатах. Поэтому ЛЭ должны обладать высокой помехоустойчивостью, то есть нечувствительностью к действию помех при нулевом («0») и единичном уровнях входных сигналов.

Помехи в цифровых приборах обычно имеют характер кратковременных импульсов.

Различают внутренние и внешние помехи.

К *внешним* помехам относятся помехи от промышленной сети электропитания, силовых переключателей и т. д. Как правило, амплитуда и длительность внешних помех не зависят от параметров ЛЭ и определяются мощностью и спектром электромагнитного излучения внешнего источника и экранирующими свойствами конструкций и линий связи. Уровень внешних помех должен учитываться при конструировании цифрового прибора и внешних линий связи.

К *внутренним* помехам относятся такие, амплитуда и длительность воздействия которых находится в прямой зависимости от амплитуды и длительности фронтов сигналов ЛЭ, то есть помехи от

ЛЭ и соединяющих их линий связи. Чем больше амплитуда рабочих сигналов ЛЭ, тем больше амплитуда внутренних помех, и наоборот.

Для избавления от помех в электронных приборах необходимо обеспечить определенную зону помехоустойчивости ЛЭ.

Зона устойчивости ЛЭ определяется его амплитудной передаточной характеристикой (рис. 2.8, а) как разность между порогом квантования $U_{кв}$ и соответствующими уровнями сигналов «0» и «1»: $U_{пом0} = |U_{кв} - UA|$, $U_{пом1} = |U_{кв} - UB|$.

Если помеха не достигает порога квантования, то на выходе появляется сигнал помехи с амплитудой меньшей, чем на входе. Такая помеха, пройдя через несколько последовательно включенных ЛЭ, быстро затухает и не вызывает искажения информации в логической цепи.

2.2.5. Работоспособность в широкой области допусков и параметров

Требование работоспособности ЛЭ в широкой области допусков на параметры определяется прежде всего требованиями высокой надежности и взаимозаменяемости однотипных логических элементов в цифровых приборах.

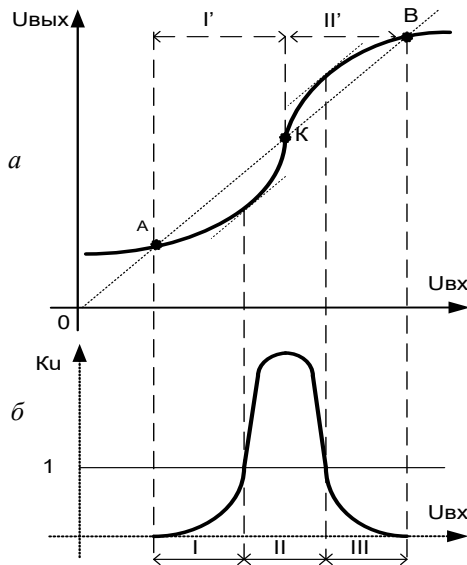


Рис. 2.8. Зоны помехоустойчивости ЛЭ (I', II'), ЛЭ с обратной связью (I, II), зона переключения ЛЭ (III)

Большое число одновременно работающих в цифровом приборе логических элементов, отсутствие элементов регулировки и настройки, необходимость обеспечения непрерывной безотказной работы в течение длительного времени при колебаниях окружающей температуры и напряжения питания, а также при наличии разброса параметров и старения элементов – все это требует достаточно большой области допустимых отклонений параметров ЛЭ, то есть большой области их работоспособности.

Условия работоспособности ЛЭ определяются обычно уравнениями вида

$$y_i = F_i(X_1, X_2, X_3, \dots, X_n) >< Y_i$$

где $X_1, X_2, X_3, \dots, X_n$ – параметры компонентов, источников питания и нагрузки ЛЭ;

y_i – параметры ЛЭ;

Y_i – нормы, определяющие допустимую границу изменения параметров ЛЭ.

2.2.6. Затухание переходных процессов за время одного такта

ЛЭ должен сохранять работоспособность (то есть выполнять физические и логические функции) при изменении частоты переключения вплоть до максимальной тактовой частоты.

Для этого необходимо, чтобы переходные процессы в ЛЭ и цепях связи при каждом переключении полностью затухали за время одного такта синхронизации и к моменту прихода последующего переключающего сигнала устанавливался статический режим (рис. 2.9, а).

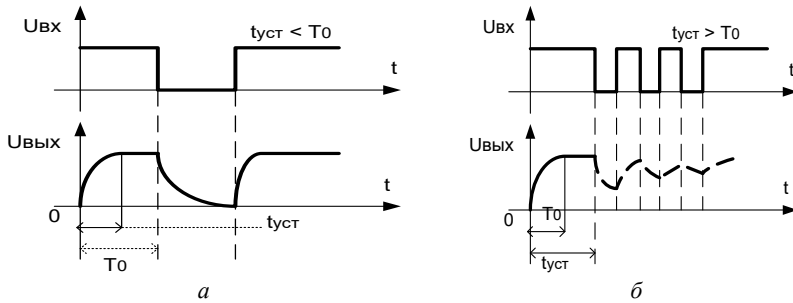


Рис. 2.9. Переходный процесс в ЛЭ без накопления (а) и с накоплением (б)

Накопление переходных процессов приводит, как правило, к уменьшению нагрузочной способности и помехоустойчивости, амплитуды и длительности сигналов и в результате – к искажению информации и снижению надежности.

Поскольку эффект накопления имеет место лишь при высокой частоте переключения, нарушение работоспособности ЛЭ обычно носит кратковременный характер и проявляется в виде единичных и перемежающихся сбоев, обнаружение которых затруднительно.

Поэтому при выборе ЛЭ и максимальной тактовой частоты следует обеспечивать полное затухание переходных процессов в ЛЭ и межэлементных цепях связи за время одного такта.

2.3. Основные характеристики логических элементов

Амплитудная передаточная характеристика $U_{\text{вых}} = F(U_{\text{вх}})$ определяет формирующие свойства ЛЭ, его помехоустойчивость, амплитуду и уровни стандартного сигнала.

Вид характеристики зависит от типа логического элемента (ТТЛШ, n -МОП, ЭСЛ и т. д.) и может изменяться в определенных пределах в зависимости от разброса параметров схем, изменений напряжения питания, нагрузки, температуры окружающей среды.

Рассмотрим типовую амплитудную передаточную характеристику инвертирующего ЛЭ (рис. 2.10).

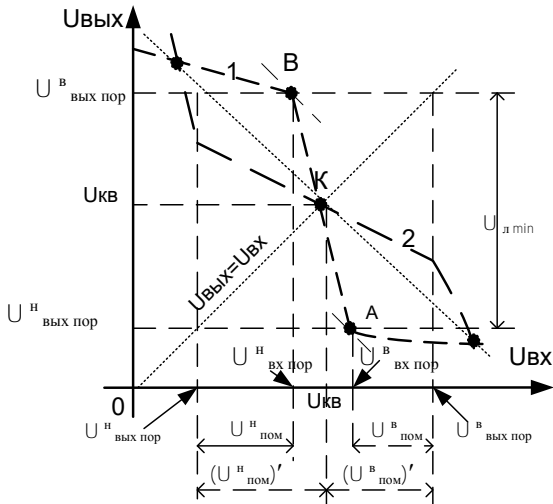


Рис. 2.10. Амплитудная передаточная характеристика инвертирующего ЛЭ

В статическом состоянии выходной сигнал ЛЭ может находиться либо на верхнем $U^В$, либо на нижнем $U^Н$ уровне напряжения. Верхний ($U^В$) и нижний ($U^Н$) уровни логических сигналов находятся как точки пересечения амплитудной передаточной характеристики (кривая 1) с ее зеркальным отображением (кривая 2) относительно прямой единичного усиления $U_{ВЫХ} = U_{ВХ}$.

Разность $U_{ВЫХ}^В - U_{ВЫХ}^Н$ является логическим перепадом $U_{Л}$ выходных уровней ЛЭ.

Зоны статической помехоустойчивости ЛЭ по нижнему уровню $(U_{ПОМ}^Н)'$ и верхнему $(U_{ПОМ}^В)'$ уровням напряжения в комбинационных логических цепях определяются выражениями:

$$(U_{ПОМ}^Н)' = U_{КВ} - U_{ВЫХ ПОР}^Н;$$

$$(U_{ПОМ}^В)' = U_{ВЫХ ПОР}^В - U_{КВ},$$

где $(U_{ПОМ}^Н)'$ и $(U_{ПОМ}^В)'$ характеризуют максимально допустимые уровни статической помехи на входе ЛЭ в комбинационных логических цепях;

$U_{ВЫХ ПОР}^Н$ – выходное логическое напряжение нижнего уровня;

$U_{ВЫХ ПОР}^В$ – выходное логическое напряжение верхнего уровня.

Однако из-за наличия схем с положительной обратной связью в технической документации на все интегральные схемы зоны статической помехоустойчивости по входу ограничиваются входными пороговыми напряжениями $U_{\text{вх пор}}^{\text{Н}}$ – по нижнему уровню; $U_{\text{вх пор}}^{\text{В}}$ – по верхнему уровню.

Эти пороговые напряжения называются соответственно *пороговыми напряжениями зоны переключения* (порог зоны переключения) *нижнего уровня* и *пороговым напряжением зоны переключения верхнего уровня*.

В зоне переключения, заключенной между пороговыми напряжениями, работа ЛЭ в статическом режиме запрещается.

Таким образом статическая помехоустойчивость ЛЭ по нижнему уровню входного сигнала определяется выражением

$$U_{\text{пом}}^{\text{Н}} = U_{\text{вх пор}}^{\text{Н}} - U_{\text{вых пор}}^{\text{Н}},$$

а по верхнему уровню входного сигнала – выражением

$$U_{\text{пом}}^{\text{В}} = U_{\text{вых пор}}^{\text{В}} - U_{\text{вх пор}}^{\text{В}}.$$

Максимальная помехоустойчивость ЛЭ по нижнему и верхнему уровням достигается при идеальной амплитудной передаточной характеристике, для которой

$$U_{\text{вх пор}}^{\text{Н}} = U_{\text{вых пор}}^{\text{В}} = U_{\text{кв}}.$$

Входная характеристика $I_{\text{вх}} = F(U_{\text{вх}})$ – зависимость входного тока ЛЭ от входного напряжения определяет нагрузочную способность ЛЭ и режим работы линий связи.

Выходная характеристика $U_{\text{вых}} = F(I_{\text{вых}})$ – зависимость выходного напряжения ЛЭ от выходного тока нагрузки. Эта характеристика в совокупности с входной позволяет определить нагрузочную способность ЛЭ, режим его работы и способ согласования переходных процессов в линиях связи.

2.4. Основные параметры логических элементов

Конструктивно-технологическая реализация цифровых ИС во многом определяет их основные технические параметры – быстродей-

ствии, потребляемую мощность, устойчивость к внешним дестабилизирующим факторам.

Различают следующие основные виды (типы) конструктивно-технологического исполнения ИС: биполярные ИС, ИС на основе МОП транзисторов, ИС на основе комбинированной биполярно-комплементарной (КМОП) технологии.

ИС на основе p -МОП обладают самой низкой стоимостью, однако имеют невысокие быстродействие и нагрузочную способность, не сопрягаются со стандартными ТТЛ-микросхемами.

ИС на основе n -МОП характеризуются высокой степенью интеграции и быстродействием, однако обладают низкой нагрузочной способностью при сравнительно высокой потребляемой мощности, хотя могут сопрягаться с ТТЛ-микросхемами.

ИС на основе КМОП-транзисторов обладают высоким быстродействием, очень низкой потребляемой мощностью и высокой помехоустойчивостью, сопрягаются со стандартными ТТЛ-микросхемами.

Цифровые ИС на основе ЭСЛ-технологии (эмиттерно-связанной технологии) отличаются сверхвысоким быстродействием, однако обладают высокой потребляемой мощностью, требуют специальных внешних схем для сопряжения ИС других типов.

Цифровые ИС на основе интегральной инжекционной логики (I^2L) характеризуются самой высокой степенью интеграции, низкой потребляемой мощностью, высоким быстродействием, сопрягаются с другими типами ИС.

Цифровые ИС на основе технологии транзисторно-транзисторной логики с диодами Шоттки (ТТЛШ) обладают более низким по сравнению с ЭСЛ ИС быстродействием, однако рассеивают меньшую мощность, обеспечивая высокие характеристики нагрузочной способности, помехоустойчивости.

КМОП ИС имеют лучшие черты биполярных (высокое быстродействие и нагрузочную способность) и КМОП ИС (низкая потребляемая мощность и высокая помехоустойчивость).

Различают статические и динамические параметры ЛЭ.

2.4.1. Динамические параметры

С помощью снятых характеристик определяют следующие основные параметры элементов: нагрузочную способность, помехоустой-

чивость, быстродействие, величины U_0 и U_1 , потребляемую мощность и т. п.

Нагрузочная способность, или коэффициент разветвления по выходу, показывает максимальное количество аналогичных элементов, которые могут подключаться своими входами к выходу элемента при сохранении его работоспособности. Иногда критерием работоспособности может быть сохранение требуемого быстродействия.

Помехоустойчивость есть невосприимчивость ЛЭ к действию наложенных на входной сигнал отклонений (помех), величина которых лежит в заданных пределах. Если отклонения наложены на нулевой входной сигнал, то это будет помеха нуля. Если же отклонения наложены на единичный сигнал, то это будет помеха единицы.

Быстродействие ЛЭ при переключении определяется электрической схемой, технологией изготовления и характером нагрузки.

Для идентификации измерений динамических параметров в технической документации на ИС приводятся параметры эквивалентной нагрузки, устанавливаются требования к амплитуде и длительности фронта входного сигнала.

Уровни отсчета напряжений для определения динамических параметров устанавливаются относительно выходных пороговых напряжений «1» и «0» (рис. 2.11).

Основными динамическими параметрами ЛЭ являются задержка распространения сигнала $t_{зд\ p}$ при переключении и длительность положительного (нарастающего) и отрицательного (спадающего) фронтов t_{ϕ} выходного сигнала.

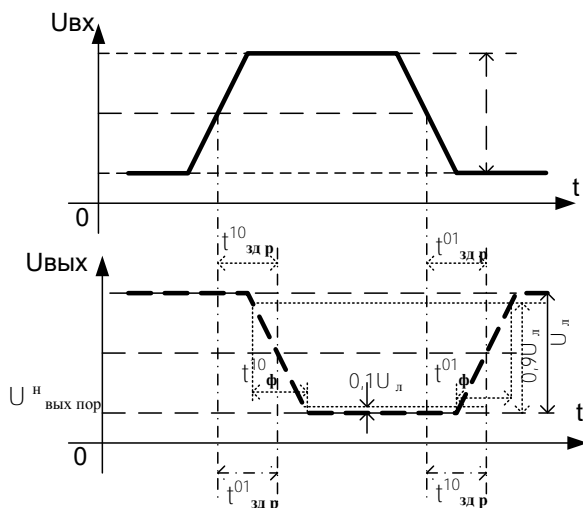


Рис. 2.11. Входной и выходной сигналы неинвертирующего элемента

Задержка распространения сигнала при переходе выходного напряжения от «1» к «0» $t_{зд р}^{10}$ (при положительной логике это соответствует отрицательному фронту, при отрицательной – положительному фронту выходного сигнала) определяется как интервал времени между фронтами входного и выходного сигналов ЛЭ, измеренного по заданному уровню.

Задержка распространения сигнала при переходе выходного напряжения от «0» к «0» $t_{зд р}^{01}$ (при положительной логике это соответствует положительному фронту, при отрицательной – отрицательному фронту выходного сигнала) определяется как интервал времени между фронтами входного и выходного сигналов ЛЭ, измеренный по заданному уровню.

Для положительной логики более положительное значение напряжения (высокий уровень) соответствует логической «единице», а менее положительное значение напряжения (низкий уровень) – логическому «нулю».

Для отрицательной логики менее положительное значение напряжения (низкий уровень) соответствует логической «единице», а более положительное значение напряжения (высокий уровень) – логическому «нулю».

Задержки распространения ($t_{зд\ p}^{10}$, $t_{зд\ p}^{01}$) измеряются, как правило, по уровню 0,5 ($U_{вых\ пор}^p$, $U_{вых\ пор}^n$).

При расчете временной задержки последовательно включенных логических элементов используется средняя задержка распространения сигнала ЛЭ:

$$\tau_{зд\ p\ ср} = (t_{зд\ p}^{10} + t_{зд\ p}^{01})/2.$$

Длительность фронта выходного сигнала при переходе напряжения из «1» в «0» ($t_{ф}^{10}$) для положительной логики соответствует отрицательному фронту, для отрицательной логики – положительному фронту.

Длительность фронта выходного сигнала при переходе напряжения из «0» в «1» ($t_{ф}^{01}$) для положительной логики соответствует положительному фронту, для отрицательной логики – отрицательному фронту.

Длительность положительных и отрицательных фронтов измеряется по уровням 0,1 и 0,9 (см. рис. 2.11).

В простейшей модели динамические свойства элемента отражаются введением в его выходную цепь элемента задержки сигнала на фиксированное время t_3 (рис. 2.12).

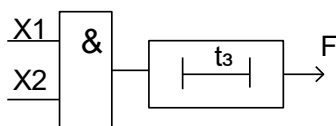


Рис. 2.12

Рис. 2.12. Простейшая модель элемента

В силу простоты такая модель находит применение на практике, несмотря на то, что она является грубой и не учитывает ряд следующих существенных факторов:

- технологического разброса задержек элементов;
- зависимости их от направления переключения элемента (из 0 в 1 или из 1 в 0);
- зависимости их от емкостной нагрузки, которая может быть резко выраженной, например, для элементов КМОП задержка пропорциональна емкости нагрузки;

- простейшая модель также не учитывает фильтрующих свойств реальных элементов, благодаря которым короткие входные импульсы, обладающие малой энергией, не способны вызвать переключение элемента.

2.4.2. Статические параметры логических элементов

Статические параметры ЛЭ определяют условия формирования и значения напряжений высокого и низкого уровней на выходе ЛЭ, его нагрузочную способность, потребляемую мощность при заданных напряжениях питания, нагрузке и температуре окружающей среды.

К статическим параметрам ЛЭ относятся:

- входные и ($U_{\text{вх}}^0, U_{\text{вх}}^1$) выходные ($U_{\text{вых}}^0, U_{\text{вых}}^1$) напряжения логического «0» и логической «1»;
- входные ($U_{\text{вх пор}}^0, U_{\text{вх пор}}^1$) и выходные ($U_{\text{вых пор}}^0, U_{\text{вых пор}}^1$) пороговые напряжения логического «0» и логической «1» (см. рис. 2.10);
- входные и выходные токи логического «0» и «1» ($I_{\text{вх}}^0, I_{\text{вх}}^1, I_{\text{вых}}^0, I_{\text{вых}}^1$);
- токи потребления в состоянии логического «0» и «1» ($I_{\text{пот}}^0, I_{\text{пот}}^1$);
- потребляемая мощность ($P_{\text{пот}}$).

Входной ток ЛЭ задается для неблагоприятного режима работы в пределах допустимых температур окружающей среды и напряжения питания как для уровня «0» ($I_{\text{вх}}^0$), так и для уровня «1» ($I_{\text{вх}}^1$).

Выходные токи $I_{\text{вых}}^0, I_{\text{вых}}^1$ характеризуют нагрузочную способность ЛЭ. Втекающие токи имеют положительный знак, вытекающие – отрицательный. Помехоустойчивость определяется относительно этих токов. Поэтому увеличение коэффициента разветвления приводит к снижению помехоустойчивости.

Входной ток логической «1» $I_{\text{вх}}^1$ определяется как входной ток при напряжении логической 1 на входе ЛЭ.

Входной ток логического «0» $I_{\text{вх}}^0$ определяется как входной ток при напряжении логического «0» на входе ЛЭ.

Выходной ток логической «1» $I_{\text{вых}}^1$ определяется как выходной ток при напряжении логической «1» на выходе ЛЭ.

Выходной ток логического «0» $I_{\text{вых}}^0$ определяется как выходной ток при напряжении логического «0» на выходе ЛЭ.

Ток, потребляемый от источника питания ЛЭ ($I_{\text{пот}}$), зависит от типа ЛЭ. Например, для ЛЭ ЭСЛ он почти постоянный, если не учитывать нагрузку, и не зависит от его состояния. Для ТТЛ ЛЭ ток имеет разные значения для состояния «0» и «1».

Мощность, потребляемая ЛЭ от источника питания, определяется как

$$P_{\text{пот}} = \sum_{i=1}^n U_i \cdot I_i,$$

где U_i – напряжение i -го источника питания;

I_i – ток в соответствующей цепи питания.

Если потребляемая мощность зависит от выходного напряжения «0» ($P_{\text{пот}}^0$) или «1» ($P_{\text{пот}}^1$), то в качестве основного параметра используют среднюю потребляемую мощность:

$$P_{\text{пот}} = (P_{\text{пот}}^0 + P_{\text{пот}}^1)/2.$$

Для ЛЭ, потребляющих значительную мощность при переключении, средняя потребляемая мощность в технической документации задается в виде зависимости

$$P_{\text{пот ср}} = f(F_{\text{имп}}),$$

где $F_{\text{имп}}$ – частота следования импульсов.

2.5. Особенности проектирования цифровых приборов

При разработке цифрового прибора используются следующие модели представления цифровых схем:

- логическая модель;
- модель с временными задержками;
- модель с учетом электрических эффектов (или электрическая модель).

Первая модель применима для всех цифровых схем, работающих с низкой скоростью, в которых быстродействие не принципиально.

Вторая модель учитывает задержки срабатывания логических элементов. Ее применение необходимо для всех быстродействующих

устройств и для случая одновременного изменения нескольких входных сигналов.

Третья модель учитывает входные и выходные токи, входные и выходные сопротивления и емкости элементов. Эту модель надо применять при объединении нескольких входов и выходов, при передаче сигналов на большие расстояния и при нетрадиционном включении логических элементов (с переводом их в аналоговый или в линейный режимы).

На рис. 2.13 на примере простейшего логического элемента – инвертора – показаны три модели представления этого цифрового «прибора».

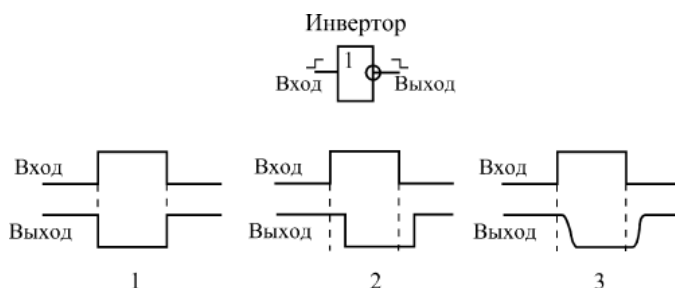


Рис. 2.13. Три модели представления цифрового устройства

Из рисунка видно, что в первой логической модели (1) считается, что элемент срабатывает мгновенно, любое изменение уровня входного сигнала сразу же, без всякой задержки приводит к изменению уровня выходного сигнала.

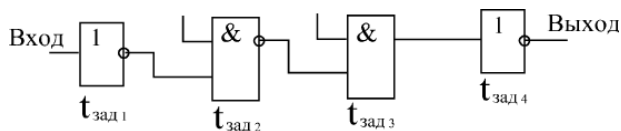
Во второй модели (2) выходной сигнал изменяется с некоторой задержкой относительно входного.

В третьей модели (3) выходной сигнал не только задерживается по сравнению с входным, но и его изменение происходит не мгновенно – процесс смены уровней сигнала (или, как говорят, *фронт сигнала*) имеет конечную длительность. Кроме того, третья модель учитывает изменение уровней логических сигналов.

В начале проектирования используется первая модель, а затем для некоторых узлов применяется вторая или (реже) третья модель.

При этом первая модель вообще не требует никаких цифровых расчетов, для нее достаточно только знание таблиц истинности или алгоритмов функционирования микросхем.

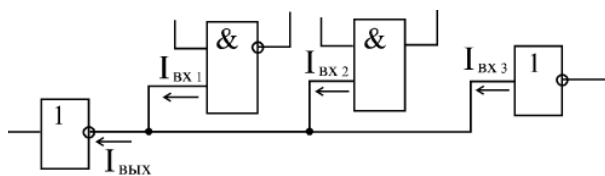
Вторая модель предполагает расчет (по сути, суммирование) временных задержек элементов на пути прохождения сигналов (рис. 2.14). В результате этого расчета может выясниться, что требуется внесение изменений в схему.



$$t_{\text{зад}} = t_{\text{зад}1} + t_{\text{зад}2} + t_{\text{зад}3} + t_{\text{зад}4}$$

Рис. 2.14. Суммирование задержек элементов

Расчеты по третьей модели могут быть различными, в том числе и довольно сложными, но в большинстве случаев они все-таки сводятся всего лишь к суммированию входных и выходных токов логических элементов (рис. 2.15).



$$I_{\text{ВЫХ}} = I_{\text{ВХ}1} + I_{\text{ВХ}2} + I_{\text{ВХ}3}$$

Рис. 2.15. Суммирование входных токов элементов

В результате этих расчетов может выясниться, что требуется применение микросхем с более мощными выходами или включение дополнительных элементов.

Следовательно проектирование цифровых приборов принципиально отличается от проектирования аналоговых, при котором сложные расчеты абсолютно неизбежны.

Разработчик цифровых приборов имеет дело только с логикой, логическими сигналами и с алгоритмами работы цифровых микросхем. А что происходит внутри этих микросхем, для него практически не имеет значения.

Справочные данные на цифровые микросхемы обычно содержат большой набор параметров, каждый из которых можно отнести к одному из трех перечисленных уровней представления, к одной из трех моделей.

Например, *таблица истинности* микросхемы (для простых микросхем) или описание алгоритма ее работы (для более сложных микросхем) относится к первой логической модели.

Величины задержек логических сигналов между входами и выходами относятся ко второй модели. Типичные величины задержек составляют от единиц до десятков наносекунд ($1 \text{ нс} = 10^{-9} \text{ с}$). Величины задержек для разных микросхем могут быть различными, поэтому в справочниках всегда указывается максимальное значение.

Необходимо также помнить, что задержка при переходе выходного сигнала из единицы в нуль, как правило, отличается от задержки при переходе выходного сигнала из нуля в единицу.

Уровни входных и выходных токов, а также уровни входных и выходных напряжений относятся к третьей модели. К этой модели также относятся величины внутренней емкости входов микросхемы (обычно от единиц до десятков пикофард) и допустимая величина емкости, к которой может подключаться выход микросхемы, то есть емкость нагрузки C_L (порядка 100 пФ). К этой модели можно отнести также такие параметры, как допустимое напряжение питания микросхемы U_{cc} и максимальный ток, потребляемый микросхемой (I_{cc}). Например, может быть задано $4,5 \text{ В} < U_{cc} < 5,5 \text{ В}$; $I_{cc} < 100 \text{ мА}$.

К третьей модели относится ряд параметров, которые часто упоминаются в литературе, но не всегда приводятся в справочных таблицах:

- *порог срабатывания* – уровень входного напряжения, выше которого сигнал воспринимается как единица, а ниже – как нуль;
- *помехозащищенность* – характеризует величину входного сигнала помехи, накладывающегося на входной сигнал, который еще не может изменить состояние выходных сигналов;
- *коэффициент разветвления* – число входов, которое может быть подключено к данному выходу без нарушения работы. Стандартная величина коэффициента разветвления при использовании микросхем одного типа (одной серии) равна 10;
- *нагрузочная способность* – параметр выхода, характеризующий величину выходного тока, которую может выдать в нагрузку дан-

ный выход без нарушения работы. Чаще всего нагрузочная способность прямо связана с коэффициентом разветвления.

Таким образом, большинство справочных параметров микросхемы относится к третьей модели (к модели с учетом электрических эффектов).

2.6. Входы и выходы цифровых микросхем

Характеристики и параметры входов и выходов цифровых микросхем определяются прежде всего технологией и схемотехникой их внутреннего строения. Для разработчика цифровых устройств любая микросхема представляет собой «черный ящик», внутренности которого знать не обязательно.

При разработке важно только четко представлять себе, как поведет себя та или иная микросхема в данном конкретном включении, будет ли она правильно выполнять требуемую от нее функцию.

Чаще применяются две технологии цифровых микросхем:

- ТТЛ (TTL) и ТТЛШ (TTLs) – биполярная транзисторно-транзисторная логика и ТТЛ с диодами Шоттки;
- КМОП (CMOS) – комплементарные транзисторы со структурой «металл–окисел–полупроводник».

Различаются они типами используемых транзисторов и схемотехническими решениями внутренних каскадов микросхем.

В статическом режиме или на небольших рабочих частотах микросхемы КМОП потребляют значительно меньший ток от источника питания, чем такие же микросхемы ТТЛ (или ТТЛШ).

На 2.16 показаны примеры схем входных и выходных каскадов микросхем, выполненных по этим технологиям.

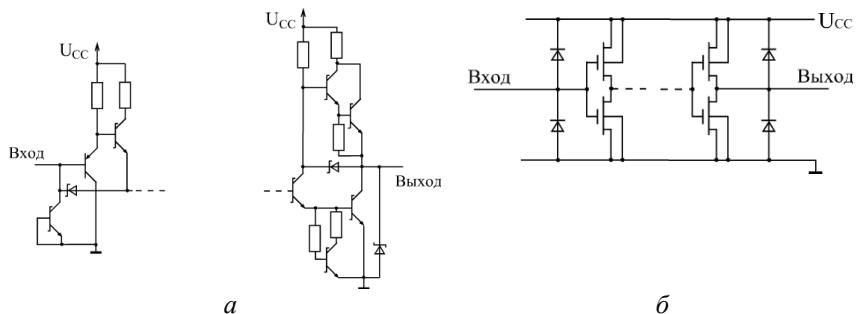


Рис. 2.16. Входной и выходной каскады микросхем ТТЛШ (а) и КМОП (б)

2.6.1. Входы микросхем.

Разработчику цифрового устройства достаточно считать, что при подаче на вход сигнала логического нуля из этого входа вытекает ток, не превышающий I_{\min}^1 , а при подаче сигнала логической единицы в этот вход втекает ток, не превышающий I_{\max}^1 .

Особым случаем является ситуация, когда какой-нибудь вход не подключен ни к одному из выходов – ни к общему проводу, ни к шине питания (так называемый висящий вход).

Иногда возможности микросхемы используются не полностью, то есть на некоторые входы не подается сигналов. При этом микросхема может не работать или работать нестабильно, так как ее правильное включение подразумевает наличие на всех входах логических уровней, пусть даже и неизменных.

Поэтому неиспользуемые входы рекомендуется подключать к напряжению питания микросхемы U_{cc} или к общему проводу (к земле) в зависимости от того, какой логический уровень необходим на этом входе.

Для некоторых серий микросхем, выполненных по технологии, неиспользуемые входы надо подключать к напряжению питания не напрямую, а только через резистор определенной величины. При таком включении одного резистора достаточно на 20 входов.

На неподключенных входах микросхем ТТЛ формируется напряжение около 1,5–1,6 В, которое иногда называют висячим потенциалом. Обычно этот уровень воспринимается микросхемой как сигнал логической единицы, но рассчитывать на это не стоит.

Потенциал, образующийся на неподключенных входах микросхем КМОП, может восприниматься микросхемой и как логический нуль, и как логическая единица.

Все входы надо куда-то подключать. Неподключенными допускается оставлять только те входы (ТТЛ, а не КМОП), состояние которых в данном включении микросхемы не имеет значения.

2.6.2. Выходы микросхем

Существует три разновидности выходных каскадов, значительно различающихся как по своим характеристикам, так и по областям применения:

- стандартный выход или выход с двумя состояниями (обозначается 2С, 2S, TTL, TTL) или, иначе, логический выход;
- выход с открытым коллектором (обозначается ОК, ОС);
- выход с тремя состояниями или выход с возможностью отключения (обозначается 3С, 3S).

Стандартный (2С) выход имеет всего два состояния: логический нуль (U_0) и логическая единица (U_1), причем оба они активны, то есть выходные токи в обоих этих состояниях (I_{\min}^{ρ} и I_{\max}^{ρ}) могут достигать заметных величин.

Выходное сопротивление логического выхода стремятся сделать малым, способным развить большие токи для перезарядки емкостных нагрузок и, следовательно, получения высокого быстродействия элемента. Этот тип выхода имеет большинство логических элементов, используемых в комбинационных цепях.

Такой выход можно считать состоящим из двух выключателей, которые замыкаются по очереди (рис. 2.17, а), причем замкнутому верхнему выключателю соответствует логическая единица на выходе, а замкнутому нижнему – логический нуль.

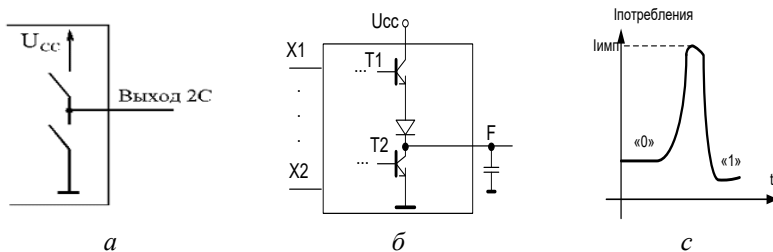


Рис. 2.17. Стандартный выход 2С

Особенность таких выходов состоит в том, что их нельзя соединять параллельно:

- во-первых это создает логическую неопределенность, так как в точке соединения выхода, формирующего логическую единицу, и выхода, формирующего логический нуль, не будет нормального результата;
- во-вторых, при соединении выходов, находящихся в различных логических состояниях, возникло бы «противоборство». Вследствие малых величин выходных сопротивлений уравнивающий ток

при этом может достигать достаточно большой величины, что может вывести из строя элементы выходной цепи.

Схемы логических выходов элементов ТТЛ(Ш) и КМОП подобны двухтактным каскадам – в них оба фронта выходного напряжения формируются с участием активных транзисторов, работающих противофазно, что обеспечивает малые выходные сопротивления при любом направлении переключения выхода (рис. 2.17, б).

Вторая особенность логического выхода двухтактного типа связана с протеканием через транзистор коротких импульсов тока при переключениях из одного логического состояния в другое. Эти токи протекают от источника питания на общую точку «землю».

В статических состояниях таких токов быть не может, так как транзисторы Т1 и Т2 работают в противофазе и один из них всегда заперт.

Однако в переходном процессе из-за некоторой несинхронности переключения транзисторов возникает кратковременная ситуация, в которой проводят оба транзистора, что и порождает короткий импульс сквозного тока значительной величины (рис. 2.17, с).

Выход с открытым коллектором. Элементы с открытым коллектором имеют выходную цепь, заканчивающуюся одиночным транзистором, коллектор которого не соединен с какими-либо цепями внутри микросхемы (рис. 2.18, а). Транзистор управляется от предыдущей части схемы элемента так, что может находиться в насыщенном или запертом состоянии. Насыщенное состояние транзистора трактуется как отображение логического нуля, запертое – как логической единицы.

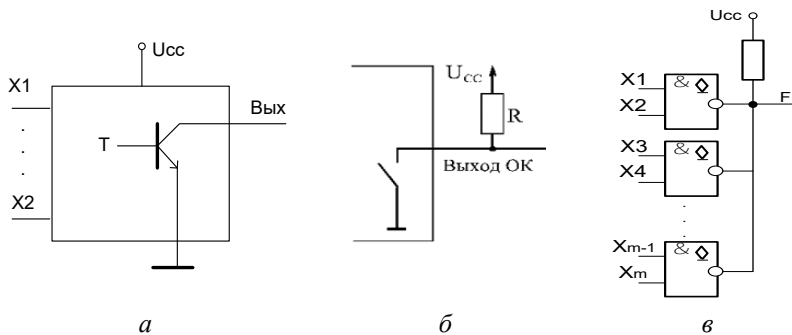


Рис. 2.18. Выход с открытым коллектором

Поэтому для формирования высокого уровня напряжения на выходе элементов с открытым коллектором (типа ОК) требуется подключение внешних резисторов величиной порядка сотен ом (или другие нагрузки), соединенных с источником питания.

Выход с открытым коллектором ОК можно считать состоящим из одного выключателя, замкнутому состоянию которого соответствует сигнал логического нуля, а разомкнутому – отключенное, пассивное состояние (рис. 2.18, б).

Несколько выходов типа ОК можно соединять параллельно, подключая их к общей для всех выходов цепочке $U_{cc}-R$ (рис. 2.18, в). При этом можно получить режим поочередной работы на общую линию, как и для элементов с тремя состояниями, если активным будет лишь один элемент, а выводы всех остальных окажутся запертыми. Если же разрешить активную работу элементов, выходы которых соединены, то можно получить дополнительную логическую операцию, называемую операцией монтажной логики.

При реализации монтажной логики высокое напряжение на общем выходе возникает только при запираиии всех транзисторов, так как насыщение хотя бы одного из них снижает выходное напряжение до уровня $U_0 = U_{кзн}$. То есть для получения логической единицы на выходе требуется единичное состояние всех выходов: выполняется монтажная операция И. Поскольку каждый элемент выполняет операцию Шеффера над своими входными переменными, общий результат окажется следующим:

$$F = X_1 X_2 X_3 X_4 \dots X_{m-1} X_m = X_1 X_2 + X_3 X_4 + \dots + X_{m-1} X_m.$$

При использовании элементов с ОК в магистрально-модульных структурах требуется разрешать или запрещать работу того или иного элемента. Для элементов типа ОК в качестве входа ОЕ может быть использован один из обычных входов элемента. Если речь идет об элементе И-НЕ, то, подавая на любой из входов, можно запретить работу элемента, поставив его выход в разомкнутое состояние независимо от состояния других входов. Уровень 1 на этом входе разрешит работу элемента.

Положительной чертой элементов с ОК при работе в магистрально-модульных системах является их защищенность от повреждений из-за ошибок управления, приводящих к одновременной выдаче на

шину нескольких слов, а также возможность реализации дополнительных операций монтажной логики.

Недостатком таких элементов является большая задержка переключения из 0 в 1. При этом переключении происходит заряд выходной емкости сравнительно малым током резистора R . Сопротивление резистора нельзя сделать слишком малым, так как это привлекло бы к большим токам выходной цепи в статике при насыщенном состоянии выходного транзистора. Поэтому положительный фронт выходного напряжения формируется относительно медленно с постоянной времени RC .

До порогового напряжения (до середины полного перепада напряжения) экспоненциально изменяющийся сигнал изменится за время $0,7RC$, что и составляет задержку t_3^{01} .

При работе с элементами типа ОК проектировщик должен задать сопротивление резистора R , которое не является стандартным, а определяется для конкретных условий. Анализ статических режимов задает ограничения величины сопротивления R снизу и сверху. Значение сопротивления резистора R выбирается в этом диапазоне с учетом быстродействия схемы и потребляемой ею мощности.

Ограничение снизу величины сопротивления резистора R связано с тем, что ее уменьшение может вызвать перегрузку насыщенного транзистора по току. На рис. 2.19, *a* показан режим, в котором нулевое состояние выхода схемы обеспечивается элементом 1 с ОК. Из этого рисунка видно, что через элемент 1 протекает суммарный ток, складывающийся из токов резистора, входных токов логических элементов ($ЛЭ_1 \dots ЛЭ_n$) и токов запертых транзисторов элементов с ОК 2, ..., m , то есть

$$I_{\text{Вых.0}} = I_R + nI_{\text{Вх.0}} + (m-1)I_Z \approx I_R + nI_{\text{Вх.0}}$$

где $I_{\text{Вх.0}}$ – входные токи элементов приемников сигнала при низком уровне выходных напряжений;

I_Z – токи запертых выходов ОК (обычно пренебрежимо малые);

$$I_R = (U_{\text{CC}} - U_0)/R.$$

Чтобы ток выхода элемента 1 не превысил допустимого значения, следует соблюдать условие

$$R \geq (U_{\text{CC}} - U_0)/(I_{\text{Вых.0 max}} - nI_{\text{Вх.0 max}}).$$

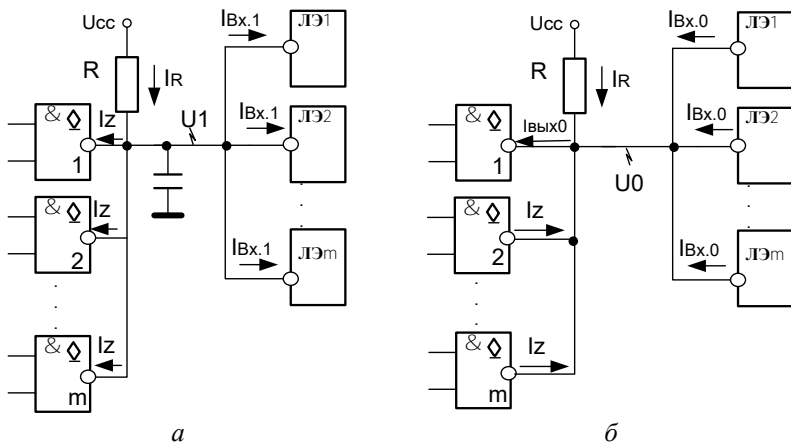


Рис. 2.19. Схемы для расчета минимального (*б*) и максимального (*а*) значений сопротивлений внешней цепи с открытым коллектором

Ограничение сверху величины сопротивления резистора R связано с необходимостью гарантировать достаточно низкий уровень напряжения U_1 , формируемого в схеме при запертом состоянии всех выходов элементов с ОК.

Из схемы рис. 2.19, *б* видно, что

$$U_1 = U_{CC} - I_R R.$$

В то же время

$$I_R = m I_Z + n I_{Bx.1 \max}.$$

Из полученных выражений следует

$$R \leq (U_{CC} - U_{Вых.1 \min}) / (m I_Z + n I_{Bx.1 \max}),$$

где $U_{Вых.1 \min}$ – паспортный параметр элемента.

Имея границы диапазона значений сопротивления R , полученные, как показано выше, проектировщик должен выбрать некоторое конкретное его значение. Выбор вблизи нижней границы улучшает быстроедействие схемы, а выбор вблизи верхней – потребляемую мощность.

Выход с тремя состояниями очень похож на стандартный выход, но к двум состояниям добавляется еще и третье – пассивное, в котором выход можно считать отключенным от последующей схемы. Такой выход можно считать состоящим из двух переключателей (рис. 2.20, а), которые могут замыкаться по очереди, давая логический нуль и логическую единицу, но могут и размыкаться одновременно. Третье состояние называется высокоимпедансным или Z-состоянием. Для перевода выхода в третье Z-состояние используется специальный управляющий вход, обозначаемый OE (рис. 2.20, б) (Output Enable – разрешение выхода) или EZ (Enable Z-state).

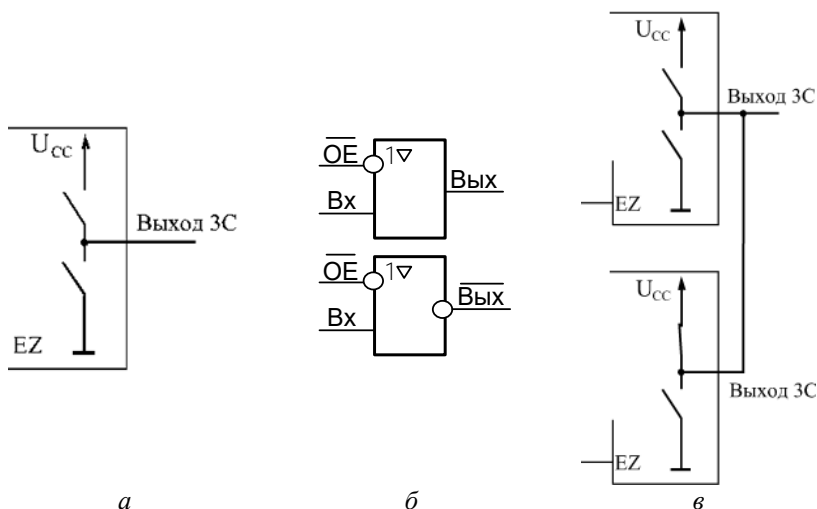


Рис. 2.20. Выход с тремя состояниями

При наличии разрешения ($OE = 1$) элемент работает как обычно, выполняя свою логическую операцию, а при его отсутствии ($OE = 0$) переходит в состояние «отключено».

Входы типа 3С можно соединять параллельно (рис. 2.20, в) при условии, что в любой момент времени активным может быть только один из них. В этом случае отключенные выходы не мешают активному формированию сигнала в точке соединения выходов. Эта возможность позволяет применять элементы 3С в магистрально-модульных микропроцессорных и других системах, где многие источ-

ники информации поочередно пользуются одной и той же линией связи (рис. 2.21).

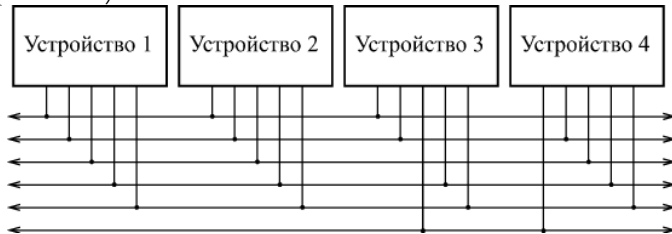


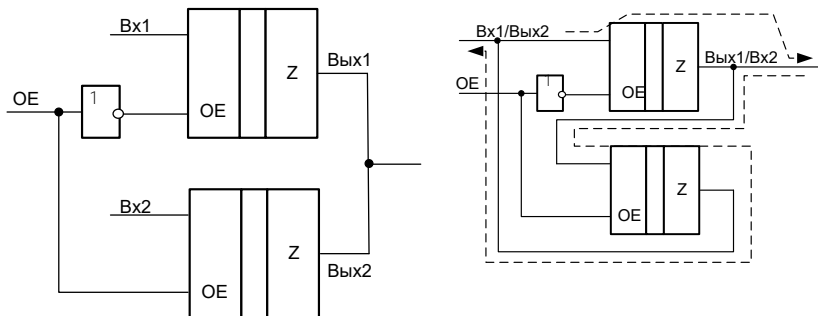
Рис. 2.21. Шинная организация связей

Объединение выходов цифровых микросхем также совершенно необходимо при шинной (или магистральной) организации связей между цифровыми устройствами.

При шинной организации связей все сигналы между устройствами передаются по одним и тем же линиям (проводам), но в разные моменты времени (это называется временным мультиплексированием). В результате количество линий связи резко сокращается, а правила обмена сигналами существенно упрощаются.

Группа линий (сигналов), используемая несколькими устройствами, как раз и называется *шиной*. Понятно, что объединение выходов в этом случае совершенно необходимо, ведь каждое устройство должно иметь возможность выдавать свой сигнал на общую линию. К недостаткам шинной организации относится прежде всего невысокая скорость обмена сигналами.

Используя микросхемы с тремя состояниями по выходу можно создавать магистрали с двунаправленными потоками информации, а также уплотнять каналы передачи данных (рис. 2.22).



a

б

Рис. 2.22. Использование МС с тремя состояниями по выходу:

a – работа на общую нагрузку; *б* – двухсторонняя передача информации

Элементы типа 3С сохраняют такие достоинства элементов с логическим выходом, как быстродействие и высокая нагрузочная способность.

2.7. Контрольные вопросы

1. Изобразите условное обозначение инвертора, напишите его таблицу истинности и логическое выражение, которым описывается работа инвертора.

2. Изобразите условное обозначение конъюнктора, напишите его таблицу истинности и логическое выражение, которым описывается его работа.

3. Изобразите условное обозначение дизъюнктора, напишите его таблицу истинности и логическое выражение, которым описывается его работа.

4. Какие элементы называются базовыми?

5. Нарисуйте условное обозначение базового логического элемента И-НЕ, напишите его таблицу истинности и логическое выражение, которым описывается его работа.

6. Нарисуйте условное обозначение базового логического элемента ИЛИ-НЕ, напишите его таблицу истинности и логическое выражение, которым описывается его работа.

7. Напишите теорему Де Моргана для сложения и умножения.

8. Что такое нагрузочная способность? Какие параметры ее определяют?

9. Напишите выражения определяющие зоны статической помехоустойчивости ЛЭ по нижнему ($U_{\text{пом}}^H$)' и верхнему ($U_{\text{пом}}^B$)' уровням напряжения.

10. Покажите на амплитудной передаточной характеристике (рис. 2.10) $U_{\text{вых пор}}^H$ и $U_{\text{вых пор}}^B$. Что обозначают эти значения?

11. Какие параметры ЛЭ относятся к динамическим?

12. Какая логика называется положительной, а какая отрицательной?

13. Что определяют параметры $t_{\text{зд р}}^{10}$, $t_{\text{зд р}}^{01}$? Покажите значения этих параметров для положительной логики на рис. 2.11.

14. Как определяется средняя задержка распространения сигнала ЛЭ ($\tau_{\text{зд р ср}}$)?
15. Какие параметры ЛЭ относятся к статическим параметрам?
16. Что определяют параметры $U_{\text{ВХ}}^{\rho}$, $U_{\text{ВХ}}^{\lambda}$?
17. Что определяют параметры $U_{\text{ВЫХ}}^{\rho}$, $U_{\text{ВЫХ}}^{\lambda}$?
18. Что определяют параметры $U_{\text{ВХ ПОР}}^{\rho}$, $U_{\text{ВХ ПОР}}^{\lambda}$?
19. Что определяют параметры $U_{\text{ВЫХ ПОР}}^{\rho}$, $U_{\text{ВЫХ ПОР}}^{\lambda}$?
20. Что определяют параметры $\rho_{\text{ВХ}}^{\rho}$, $\lambda_{\text{ВХ}}^{\lambda}$, $\rho_{\text{ВЫХ}}^{\rho}$, $\lambda_{\text{ВЫХ}}^{\lambda}$?
21. Что определяют параметры $\rho_{\text{ПОТ}}^{\rho}$, $\lambda_{\text{ПОТ}}^{\lambda}$?
22. Что такое потребляемая мощность?
23. Какая модель представления цифровых схем называется логической? Когда она используется?
24. Какая модель представления цифровых схем называется моделью с временными задержками? Когда она используется?
25. Какая модель представления цифровых схем называется электрической моделью? Когда она используется?
26. Какие разновидности выходных каскадов вы знаете?
27. Изобразите схему выхода с двумя состояниями (стандартный выход).
28. Изобразите схему выхода с открытым коллектором.
29. Что такое выход с тремя состояниями?

2.8. Индивидуальные задания

Вариант индивидуального задания указывает преподаватель (табл. 2.3).

Таблица 2.3

Номер варианта	Данное логическое выражение приведите к базису И-НЕ и ИЛИ-НЕ. Изобразите принципиальные схемы (принципиальная схема должна быть изображена в соответствии с требованиями ГОСТ 2.702 «Правила выполнения электрических схем»)		
В.1	$F = \overline{X1} + X2$	В.11	$F = \overline{X1 \cdot X2} + X3$
В.2	$F = \overline{X1} + X2$	В.12	$F = \overline{X1+X2} \cdot X3$
В.3	$F = \overline{X1} + X2$	В.13	$F = \overline{X1 \cdot X2} \cdot X3$
В.4	$F = \overline{X1} + X2$	В.14	$F = \overline{X1 \cdot X2} + X3$
В.5	$F = \overline{X1} \cdot X2$	В.15	$F = \overline{X1+X2} + X3$
В.6	$F = \overline{X1} \cdot X2$	В.16	$F = \overline{X1+X2} \cdot X3$
В.7	$F = \overline{X1 \cdot X3} \cdot X2$	В.17	$F = \overline{X1 \cdot X2} \cdot X3$

В.8	$F = \overline{X1} \cdot X2$	В.18	$F = \overline{X1+ X2+ X3}$
В.9	$F = \overline{X1+X2} + X3$	В.19	$F = \overline{X1+ X2+ X3}$
В.10	$F = X1+ X2 \cdot X3$	В.20	$F = X1 \cdot X2+ X3$

Для разработанной схемы рассчитайте значения $t_{зад}$, $I_{вых}$, $P_{пот}$.

3. ТРИГГЕРЫ

3.1. Общие сведения

Триггером называется устройство, имеющее два устойчивых состояния («0» или «1») и способное под действием входного сигнала скачком переходить из одного устойчивого состояния в другое.

Триггер – это простейший автомат с памятью и способностью хранить 1 бит информации («0» или «1»).

Если выходные сигналы логических элементов (ЛЭ) однозначно определяются их текущими входными сигналами, то выходные сигналы микросхем с внутренней памятью зависят также еще и от того, какие входные сигналы и в какой последовательности поступали на них в прошлом, то есть они помнят предысторию поведения схемы. Микросхемы с внутренней памятью также называются последовательными.

Триггеры имеют два выхода: прямой Q и инверсный \overline{Q} (рис. 3.1). Если триггер имеет состояние «1», то его выход Q равен «1», а выход \overline{Q} равен «0». Если триггер имеет состояние «0», то его выход Q равен «0», а выход \overline{Q} равен «1».

Число входов зависит от структуры и функций, выполняемых триггером. В основе любого триггера находится регенеративное кольцо из двух инверторов (рис. 3.2).

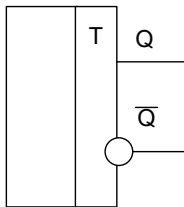


Рис. 3.1. Выходы триггера

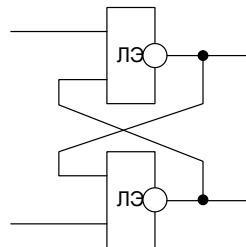


Рис. 3.2. Регенеративное кольцо

По способу записи информации триггеры делятся на асинхронные и синхронные.

У асинхронных триггеров запись информации происходит под действием информационных сигналов. Такие триггеры имеют только информационные входы (рис. 3.3).

У синхронных триггеров запись информации происходит под действием разрешающих сигналов синхронизации (рис. 3.4).

Синхронные триггеры бывают со статическим, динамическим управлением записи и двухступенчатые.

Синхронные триггеры со статическим управлением записью принимают информационные сигналы все время пока действует импульс синхронизации (рис. 3.5). Следовательно, переключение триггера за время действия импульса синхронизации может быть многократным. У таких триггеров вход С – статический.

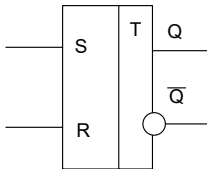


Рис. 3.3. Асинхронный триггер

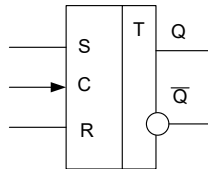


Рис. 3.4. Синхронный динамический триггер

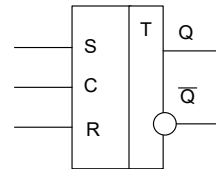


Рис. 3.5. Синхронный статический триггер

Синхронные триггеры с динамическим управлением записью принимают только информационные сигналы, которые были на информационных входах к моменту прихода синхроимпульса. У таких триггеров вход С – динамический.

Синхронные двухступенчатые триггеры состоят из двух ступеней (рис. 3.6). Запись информации в первую ступень происходит с появлением синхроимпульса, а во вторую ступень – после его окончания. Следовательно, двухступенчатые триггеры задерживают выходную информацию на время, равное длительности синхроимпульса. Такие триггеры еще называют триггерами с внутренней задержкой.

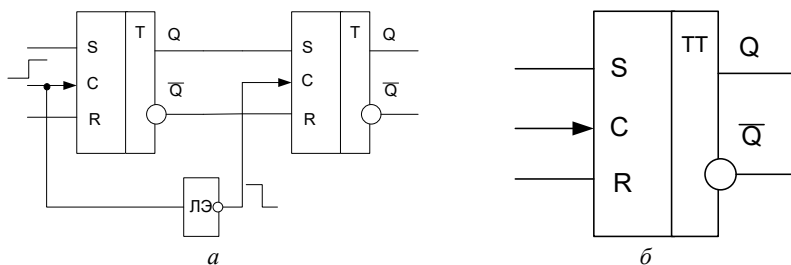


Рис. 3.6. Синхронный двухступенчатый триггер:
 а – структура двухступенчатого триггера; б – условное обозначение
 двухступенчатого триггера

Приняты следующие обозначения входов триггеров:

S – раздельный вход установки триггера в единичное состояние по прямому выходу Q;

R – раздельный вход сброса триггера в нулевое состояние по прямому выходу Q;

D – информационный вход. На него подается информация, предназначенная для записи в триггер;

C – вход синхронизации. На рис. 3.7 приведены условные обозначения входа синхронизации;

T – счетный вход.

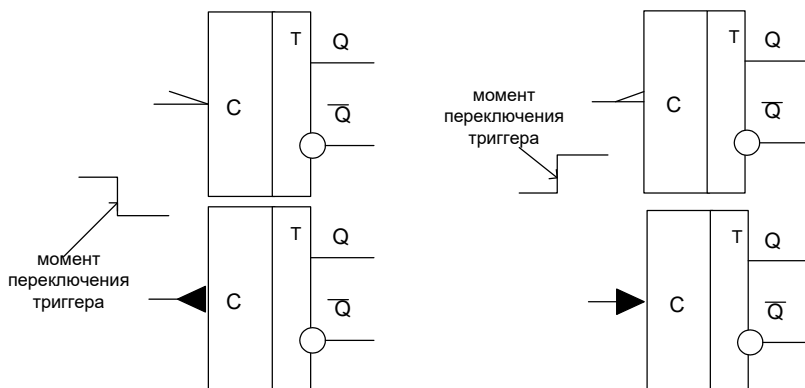


Рис. 3.7. Условные обозначения входа синхронизации

Параметры триггера

Для всех триггеров характерны следующие параметры:

$K_{\text{раз}}$ – коэффициент разветвления, который показывает нагрузочную способность триггера, то есть обозначает количество элементов, которые параллельно подсоединены к выходу триггера и на которые подается выходной сигнал триггера;

$K_{\text{об}}$ – коэффициент объединения по входу, который обозначает максимальное число входных сигналов, которые можно подать на вход триггера;

$t_{\text{и}}$ – наименьшая длительность входного сигнала (импульса), при котором еще происходит надежное переключение триггера;

$t_{\text{зд}}$ – время задержек между моментом подачи входного и появлением выходного сигнала;

$t_{\text{р}}$ – время разрешения, которое характеризует наименьший интервал между моментами подачи двух входных сигналов с длительностью $t_{\text{и}}$, вызывающих переключение триггера.

3.2. Принцип работы асинхронного триггера

В основе любого триггера лежит схема из двух логических элементов, которые охвачены положительными обратными связями (то есть сигналы с выходов подаются на входы). В результате подобного включения схема может находиться в одном из двух устойчивых состояний, причем находиться сколь угодно долго, пока на нее подано напряжение питания.

Пример такой схемы (так называемой триггерной ячейки) на двух двухвходовых элементах И-НЕ представлен на рис. 3.8. У схемы есть два инверсных входа:

- R – сброс (от английского Reset);
- S – установка (от английского Set).

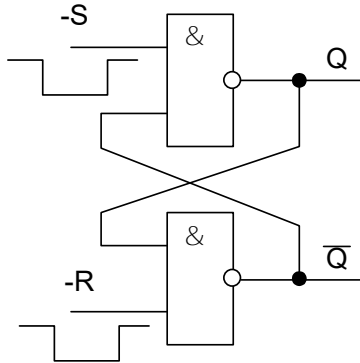


Рис. 3.8. Схема триггерной ячейки

Схема имеет два выхода: прямой выход Q и инверсный выход \bar{Q} .

Согласно определению триггер может находиться в конкретный момент времени в одном из состояний «0» или «1». Следовательно, для правильной работы схемы отрицательные импульсы не должны поступать на ее входы ($-S$ и $-R$) одновременно, то есть если на вход $-S$ подается отрицательный импульс (триггер устанавливается в состояние «1» по прямому выходу Q), то в этот момент времени на вход $-R$ должен подаваться положительный импульс.

Диаграмма работы триггерной ячейки представлена на рис. 3.9.

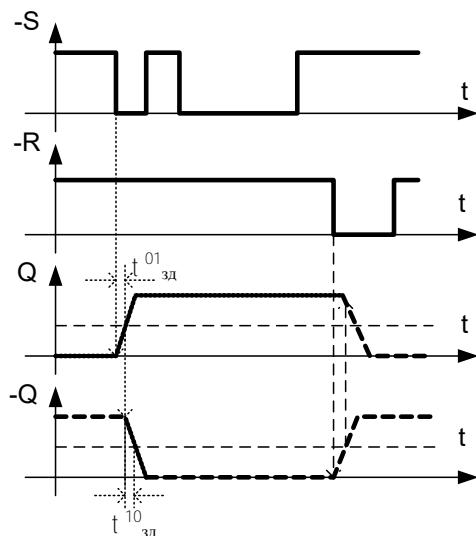


Рис. 3.9. Диаграмма работы триггерной ячейки

В начальный момент времени на входы «не S» и «не R» действуют сигналы «1», триггерная ячейка находится в состоянии «0» (выход $Q = 0$, выход $\bar{Q} = 1$). В момент, когда на вход «не S» действует активный сигнал нуля, выход Q триггера перебрасывается в состояние «1» с задержкой на время $t_{зд}^{01}$ (задержка переключения верхнего элемента), по обратной связи сигнал Q поступает на вход нижнего ЛЭ и вызывает переключение выхода триггера \bar{Q} в состояние «0» с задержкой $t_{зд}^{10}$ (задержка переключения нижнего элемента).

После окончания импульса на входе «не S» состояние схемы не изменяется (на Q остается единица, на \bar{Q} остается ноль). Если триггер стоит в «1» и на вход «не S» поступит «0» (на входе «не R» единица), то триггер останется в состоянии «1».

Точно так же при приходе импульса на вход «не R» выход \bar{Q} устанавливается в единицу, а выход Q – в ноль.

Оба эти устойчивых состояния триггерной ячейки могут сохранять-ся сколь угодно долго, пока не придет очередной входной импульс.

Следовательно, сигналы на выходах триггера установятся спустя время

$$t_{зд\ тр} = t_{д}^{01} + t_{зд}^{10}.$$

Из временной диаграммы следует, что длительность входных сигналов должна удовлетворять условию $t_{с\text{ вх}} > t_{з\text{д тр}}$.

Работу данной триггерной ячейки можно описать таблицей истинности (табл. 3.1), где t – момент времени действия входных сигналов S и R ; $t+1$ – момент времени, наступающий, когда сигналы на входе схемы под воздействием входных сигналов принимают m значения, соответствующие последующему состоянию Q ; Q^t – внутренний сигнал обратной связи (состояние триггера до действия входных сигналов в момент времени $t + 1$).

Таблица 3.1

He S^t	He R^t	Q^t	Q^{t+1}	Примечание
0	0	0	–	Запрещенная комбинация
0	1	0	1	Установка в состояние «1» (триггер находился в состоянии «0», устанавливается в состояние «1» по активному входу «не S »)
1	0	0	0	Установка в состояние «0» (триггер находился в состоянии «0» и устанавливается в состояние «0» по активному входу «не R »)
1	1	0	0	Хранение «0» (сигналы на входах неактивны)
0	0	1		Запрещенная комбинация
0	1	1		Установка в состояние «1» (триггер находился в состоянии «1» и устанавливается в состояние «1» по активному входу «не S »)
1	0	1		Установка в состояние «0» (триггер находился в состоянии «0» и устанавливается в состояние «0» по активному входу «не R »)
1	1	1		Хранение «1»

Если оба входных импульса («0») придут одновременно, то в момент действия этих импульсов на обоих выходах будут единичные сигналы – триггерная ячейка находится одновременно в состоянии «0» и «1», что недопустимо. После окончания входных

импульсов выходы случайным образом попадут в одно из двух устойчивых состояний, что не позволит гарантировать корректную работу цифрового устройства. Случайным образом будет выбрано одно из двух устойчивых состояний триггерной ячейки при включении питания.

Триггер, представленный на рис. 3.9, называется $\neg R$ – $\neg S$ (не R–не S) триггером, условное обозначение которого приведено на рис. 3.10.

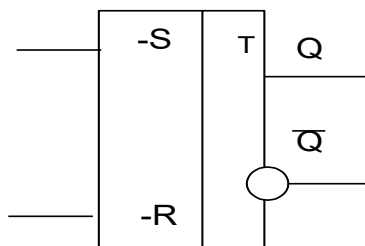


Рис.3.10. Условное

обозначение триггера «R–S»

Длительность сигналов «не R» и «не S» не должна быть слишком малой, иначе триггер может на них не среагировать. Сигнал «не R» должен начинаться с определенной задержкой после окончания сигнала «не S», и наоборот. В первом приближении можно считать, что минимально допустимые временные интервалы между входными сигналами должны равняться одной–двум задержкам логического элемента соответствующей серии.

3.2.1. Асинхронный RS триггер

Из схемы и диаграммы работы RS триггера (рис. 3.11) видно, что активным сигналом, вызывающим переключение триггера, например, из состояния «1» в состояние «0», является сигнал «1». Таким образом запрещенной комбинацией будет являться комбинация входных сигналов $R = S = 1$.

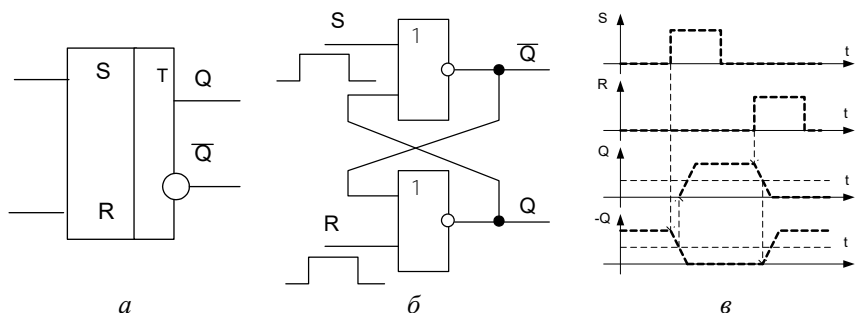


Рис. 3.11. Условное обозначение асинхронного RS триггера (а), его схема (б), диаграмма работы (в)

Работу асинхронного RS триггера можно описать таблицей истинности (табл. 3.2).

Таблица 3.2

Таблица истинности

S^t	R^t	Q^t	Q^{t+1}	Примечание
0	0	0	0	Хранение «0» (сигналы на входах неактивны)
0	1	0	0	Установка в состояние «0» (триггер находился в состоянии «0», устанавливается в состояние «0» по активному входу $R = 1$)
1	0	0	1	Установка в состояние «1» (триггер находился в состоянии «0», устанавливается в состояние «1» по активному входу $S = 1$)
1	1	0	–	Запрещенная комбинация
0	0	1	1	Хранение «1» (сигналы на входах неактивны)
0	1	1	0	Установка в состояние «0» (триггер находился в состоянии «1», устанавливается в состояние «0» по активному входу $R = 1$)
1	0	1	1	Установка в состояние «1» (триггер находился в состоянии «1», устанавливается в состояние «1» по активному входу $S = 1$)
1	1	1	–	Запрещенная комбинация

3.2.2. Асинхронный JK триггер

Особенностью JK триггера является то, что он не имеет запрещенных комбинаций. Если на входы J и K действует активный сигнал («1»), то триггер изменяет свое состояние на противоположное тому, в котором он находился до действия сигналов, иначе говоря работает в счетном режиме (рис. 3.12).

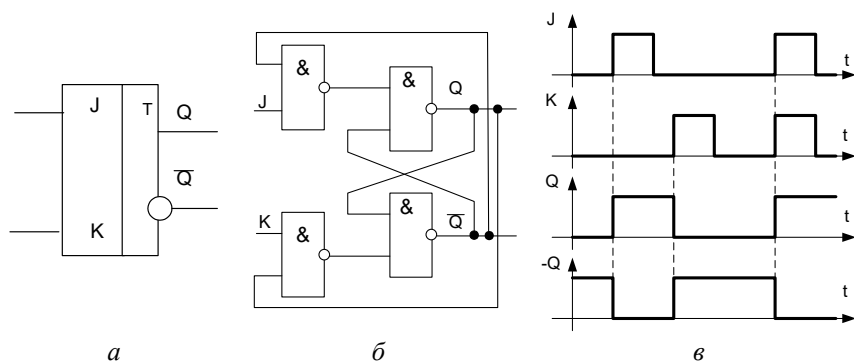


Рис. 3.12. Условное обозначение асинхронного JK триггера (а), его схема (б) и диаграмма работы (в)

Вход J триггера (аналогично входу S) является входом установки триггера в единичное состояние по прямому выходу Q.

Вход K триггера (аналогично входу R) является входом установки триггера в нулевое состояние по прямому выходу Q.

Работа асинхронного JK триггера можно описать таблицей истинности (табл. 3.3).

Таблица 3.3

J	K	Q^t	Q^{t+1}	Примечание
0	0	0	0	Хранение «0» (сигналы на входах неактивны)
0	1	0	0	Установка в состояние «0» (триггер находился в состоянии «0», устанавливается в состояние «0» по активному входу K = 1)

J	K	Q^i	Q^{i+1}	Примечание
1	0	0	1	Установка в состояние «1» (триггер находился в состоянии «0», устанавливается в состояние «1» по активному входу $J = 1$)
1	1	0	1	Счетный режим, триггер переходит из состояния «0» в состояние «1»
0	0	1	1	Хранение «1» (сигналы на входах неактивны)
0	1	1	0	Установка в состояние «0» (триггер находился в состоянии «1», устанавливается в состояние «0» по активному входу $K = 1$)
1	0	1	1	Установка в состояние «1» (триггер находился в состоянии «1», устанавливается в состояние «1» по активному входу $J = 1$)
1	1	1	0	Счетный режим, триггер переходит из состояния «1» в состояние «0»

3.2.3. Асинхронный Т триггер

Асинхронный Т триггер имеет только один счетный вход Т (рис. 3.13).

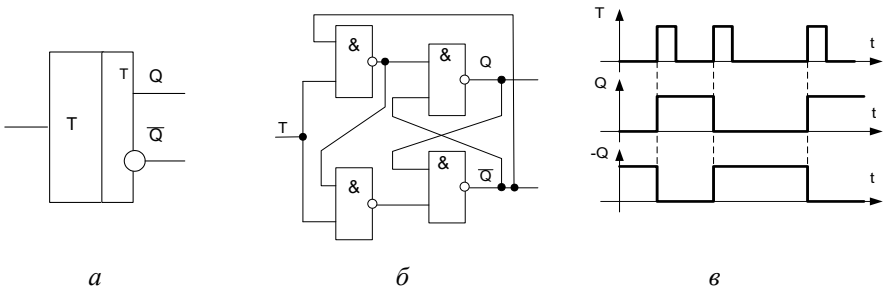


Рис. 3.13. Условное обозначение асинхронного Т триггера (а), его схема (б) и диаграмма работы (в)

Работу асинхронного Т триггера можно описать таблицей истинности (табл. 3.4).

Таблица 3.4

T^t	Q^{t+1}
0	Q^t
1	\bar{Q}^t

Особенностью данного триггера является то, что с приходом каждого активного сигнала, триггер меняет свое состояние на противоположное тому, в котором триггер находится. Это обеспечивается обратными связями.

На рис. 3.14 представлена схема (а) и условное обозначение (б) двухтактного (двухступенчатого или иначе их еще называют триггер «мастер-помощник») Т триггера.

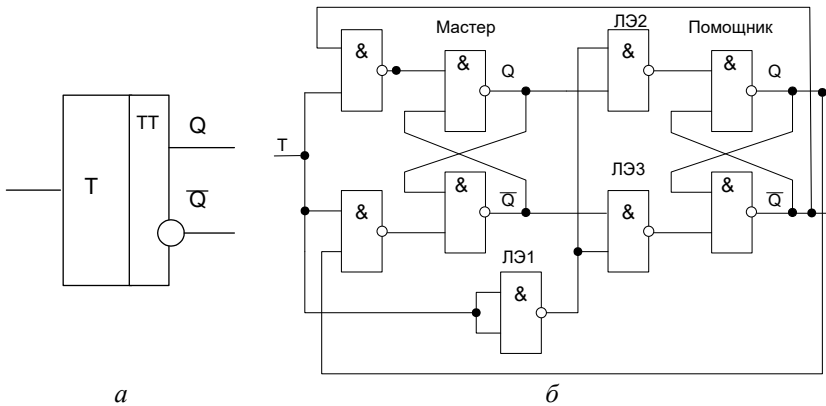


Рис. 3.13. Условное обозначение асинхронного Т триггера «мастер-помощник» (а), его схема (б)

Как видно из схемы триггера «мастер-помощник» Т (см. рис. 3.13, б), он имеет в своем составе два регенеративных кольца (триггер «мастер» и триггер «помощник»).

Сигнал, поступающий на вход Т триггера «мастер», вызывает его переключение в противоположное состояние.

Этот же сигнал инвертируется на ЛЭ1 и поступает на управляющие логические элементы триггера «помощник» (ЛЭ2 и ЛЭ3), то есть, когда сигнал Т равен высокому уровню («1»), на выходе ЛЭ1 образуется уровень логического «0», а, следовательно, на выходах

ЛЭ2 и ЛЭ3 будет логическая «1», которая обеспечивает хранение первоначального состояния в триггере «помощник».

После окончания сигнала на входе Т (устанавливается в состояние логического «0»), на выходе ЛЭ1 образуется «1», что обеспечивает подачу сигналов с выходов триггера «мастер» на входы триггера «помощник» представляющего собой $-R-S$ триггер (см. рис. 3.12).

3.3. Синхронные триггеры

3.3.1. Состязания в асинхронных комбинационных и последовательных схемах

Как было сказано ранее (глава 2), при разработке цифрового устройства на его первоначальной стадии используют логическую модель, которая описывает идеальную схему и не учитывает задержек, которые возникают в схеме. Это может привести к тому, что в некоторый момент времени основные аксиомы алгебры логики $(A) \cdot (-A) = 0$ и $(A) + (-A) = 1$ не подтверждаются.

На рис. 3.15, а приведена схема реализующая выражение $(A) + (-A)$ на элементах И-НЕ с использованием теоремы Де Моргана.

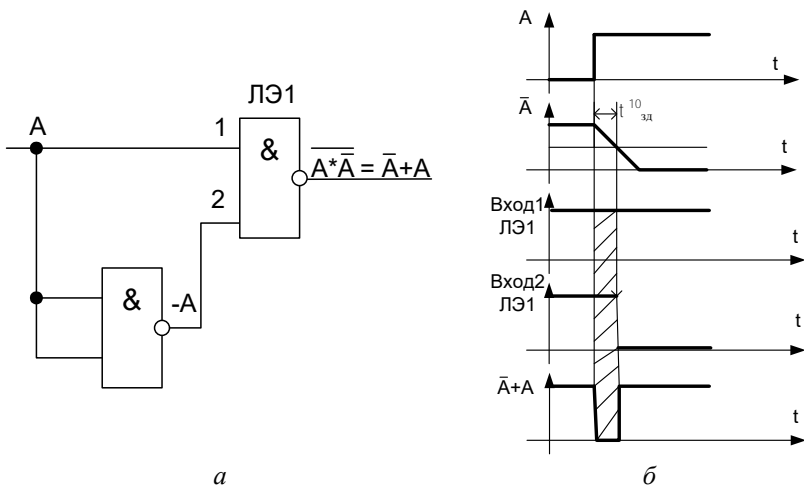


Рис. 3.15. Схема реализующая выражение $(A) + (-A)$ (а), диаграмма работы (б)

Из временной диаграммы на рис. 3.15, б видно, что на выходе имеется ложный сигнал уровня «0», длительность которого определяется величиной задержки в ЛЭ1 (инвертор).

Подобная ситуация может возникнуть тогда, когда при изменении входного сигнала выходной остается постоянным.

Возможность появления состязаний требует, чтобы были приняты меры, исключающие вызванные состязаниями сбои.

Основным средством, позволяющим исключить последствия состязаний, является стробирование. Под *стробированием* понимают выделение из информационного сигнала той его части, которая свободна от ложных сигналов, вызванных состязаниями.

Всякая комбинационная логическая цепь заканчивается запоминающим элементом (триггером). Поэтому стробирование целесообразно вводить на входе в триггер.

Триггерные схемы, входные сигналы которых стробируются специальными периодическими импульсами, называются *синхронными*.

Введение синхронизации позволяет также создать условия для одновременного изменения состояний многих триггерных схем (синхронная работа всего устройства).

3.3.2. Синхронный RS триггер

На рис. 3.16 представлено условное обозначение (а), схема (б), и диаграмма работы (в) синхронного RS триггера.

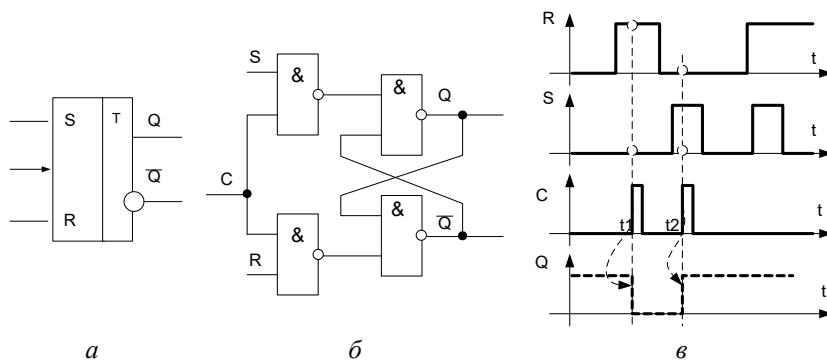


Рис. 3.16. Условное обозначение (а), схема (б), и диаграмма работы (в) синхронного RS триггера

Как видно из диаграммы до прихода тактовых сигналов триггер находится в состоянии 1 (выход $Q = 1$). В момент времени t_1 на вход С поступает импульс синхронизации, в этот момент времени на входе R триггера присутствует сигнал логической 1, а на входе S – сигнал логического 0, что вызывает переключение триггера в состояние «0» по прямому выходу Q.

В момент времени t_2 на вход С поступает следующий импульс синхронизации, в этот момент времени на входе S триггера присутствует сигнал логической 1, а на входе R – сигнал логического 0, что вызывает переключение триггера в состояние «1» по прямому выходу Q.

В момент времени, когда на входах R и S триггера присутствует одновременно сигнал логической единицы, переход триггера в запрещенную комбинацию не осуществляется в связи с тем, что отсутствует импульс синхронизации на входе С.

Работу синхронного RS триггера можно описать таблицей истинности (табл. 3.5).

Таблица 3.5

Таблица истинности

S^t	R^t	C^t	Q^t	Q^{t+1}	S^t	R^t	C^t	Q^t	Q^{t+1}
0	0	0	0	0	0	0	1	0	0
0	1	0	0	0	0	1	1	0	0
1	0	0	0	0	1	0	1	0	1
1	1	0	0	0	1	1	1	0	–
0	0	0	1	1	0	0	1	1	1
0	1	0	1	1	0	1	1	1	0
1	0	0	1	1	1	0	1	1	1
1	1	0	1	1	1	1	1	1	–

3.3.3. D триггер

D-триггер (иначе триггер задержки) является самым распространенным триггером. Он имеет один информационный вход D (вход данных) и один тактовый вход С (рис. 3.17).

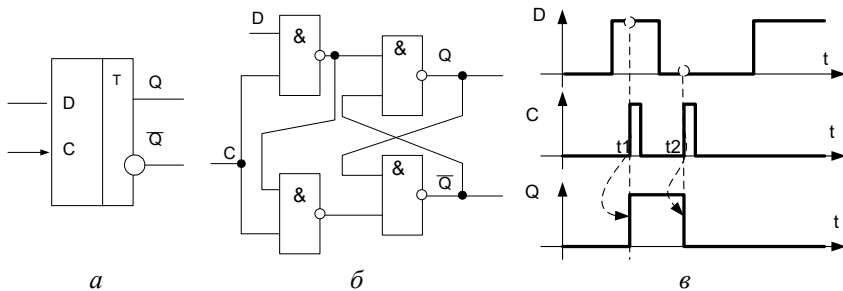


Рис. 3.17. Условное обозначение (а), схема (б), и диаграмма работы (в) синхронного D триггера

Тактируется триггер (то есть меняет свое состояние) по положительному фронту сигнала C (по его переходу из нуля в единицу) в зависимости от состояния входа данных D . Если на входе D – единичный сигнал, то по фронту сигнала C прямой выход триггера устанавливается в единицу (инверсный – в нуль). Если же на входе D – нулевой сигнал, то по фронту сигнала C прямой выход триггера устанавливается в нуль (инверсный – в единицу).

Остановимся на работе D триггера чуть подробнее, так как он наиболее часто используется.

Ранее говорилось, что RS и «не R–не S» триггеры редко используются как самостоятельные, но могут быть использованы для построения триггеров с установочными входами. Условное обозначение такого триггера представлено на рис. 3.18, а, диаграмма его работы – на рис. 3.18, б.

Как следует из диаграммы (рис. 3.18), в момент t_1 работа триггера определяется установочным сигналом на входе – R (логический «0») – триггер перебрасывается в состояние «0». Нулевое состояние триггера сохраняется до момента t_2 , когда сигналы на установочных входах неактивны, на входе D присутствует сигнал «1», а на входе C – положительный фронт, что обеспечивает переключение триггера из состояние «0» в состояние «1».

В момент t_2 работу триггера определяют вход D (логический «0») и положительный фронт сигнала C (триггер переходит в состояние «0»).

В момент t_3 работу триггера определяет установочный вход $-S$, который обеспечивает его переключение в состояние «1».

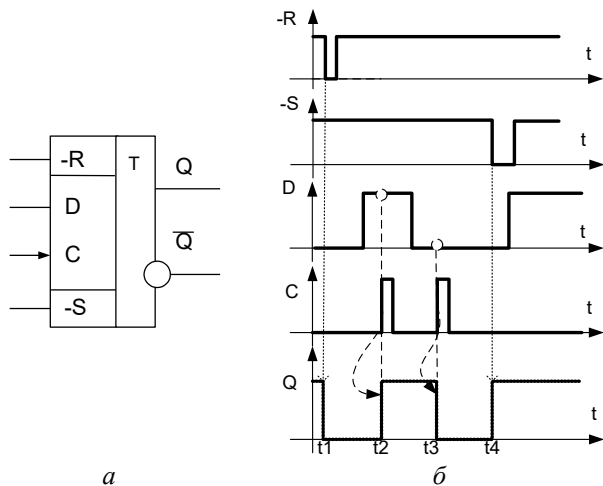


Рис. 3.18. Условное обозначение (а), и диаграмма работы (б) синхронного D триггера с установочными входами $-R-S$

Следует отметить, что согласно схемотехнической организации триггера с установочными входами при одновременном действии сигналов на один из установочных входов, на информационный и вход C , состояние триггера определяет установочный вход.

На установочные входы $-R-S$ активные сигналы (не $R = \text{не } S = 0$) одновременно поданы быть не могут (согласно схеме $-R-S$ триггера это запрещенная комбинация).

Все приведенные временные диаграммы относятся к первому уровню представления, к уровню логической модели. Конечно же, в реальности все триггеры имеют временные задержки установки выходных сигналов, а также предъявляют определенные временные требования к входным сигналам, при нарушении которых любой триггер будет работать неустойчиво или же не будет работать вообще. Это учитывается на втором уровне представления (в модели с временными задержками).

Длительность тактового сигнала C (как положительного, так и отрицательного импульса) не должна быть слишком малой, иначе триггер может переключаться неустойчиво. Это требование универсально для всех микросхем, срабатывающих по фронту входного сигнала.

Принципиально важна и величина временного сдвига (задержки) между установлением сигнала D и рабочим (положительным) фронтом сигнала C. Этот сдвиг тоже не должен быть слишком малым.

Не должен быть чрезмерно малым и сдвиг между окончанием сигналов «не R» и «не S» и рабочим фронтом сигнала C.

Повышенные требования предъявляются также к длительности фронта тактового сигнала C, которая не должна быть слишком большой. Это требование также универсально для всех микросхем, срабатывающих по фронту входного сигнала.

То есть, чем сложнее микросхема, тем важнее для нее становятся ограничения второго уровня представления, тем выше требования к разработчику цифрового устройства по учету временных задержек и длительностей сигналов.

Следует обратить внимание на то, что цифровые схемы не любят слишком коротких входных сигналов и слишком малых задержек между входными сигналами, функционально связанными между собой. Ориентир здесь очень простой – величина задержки логического элемента данной серии. Поэтому для более быстрых серий ограничения будут менее, а для более медленных серий – более жесткими.

Несмотря на достаточно сложную внутреннюю структуру, микросхемы триггеров являются одними из самых быстрых. Задержка срабатывания триггера обычно не превышает 1,5–2 задержек логического элемента (причем задержки по входам \bar{R} и \bar{S} чуть меньше, чем по тактовому входу C). В некоторых сериях JK триггеры несколько быстрее, чем D триггеры, в других – наоборот.

Важный параметр триггера – максимальная частота тактового сигнала C. Для ее приблизительной оценки можно придерживаться следующего простого правила: период тактового сигнала C не должен быть меньше величины задержки переключения триггера по входу C.

3.4. Основные схемы включения триггеров

Говоря об областях применения триггеров, целесообразно рассматривать D триггеры, так как в большинстве случаев RS и JK триггеры могут быть заменены D триггерами. Примеры такой замены показаны на рис. 3.19.

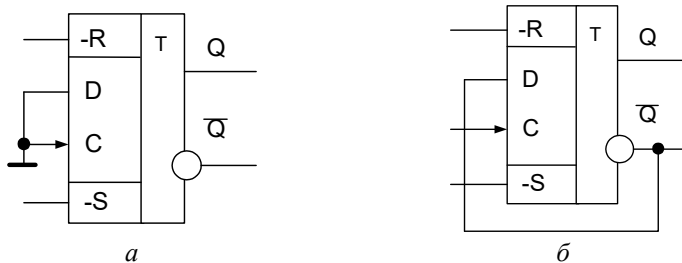


Рис. 3.18:

a – включение D триггера для замены RS триггера;

б – включение JK триггера в счетном режиме

RS триггер получается из D триггера, если в D триггере не использовать входы C и D , например, соединить их с общим проводом (см. рис. 3.19, *a*).

Сложнее обстоит дело с заменой JK триггера, в котором предусмотрено больше возможностей, чем в D триггере. Однако обычно два информационных входа JK триггера не так уж и нужны. Что касается счетного режима, в котором, пожалуй, наиболее часто работают JK триггеры, то он легко реализуется на D триггере в результате объединения информационного входа D с инверсным выходом (рис. 3.19, *б*). При этом по каждому положительному фронту сигнала C триггер будет менять свое состояние на противоположное: нуль на прямом выходе будет сменяться единицей, и наоборот. То есть частота входного сигнала триггера будет меньше частоты входного тактового сигнала C в два раза.

На рис. 3.20 представлены другие варианты схем позволяющие преобразовать один триггер в другой.

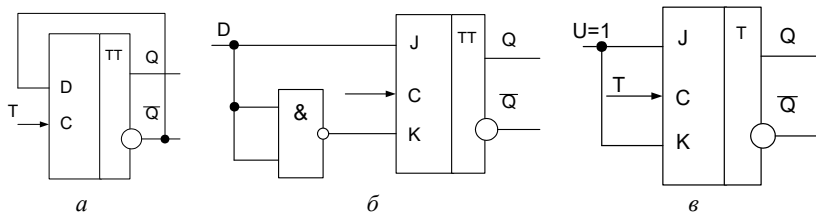


Рис. 3.20:

a – триггер «мастер-помощник» D в роли триггера T;

б – триггер «мастер-помощник» JK в роли триггера D;

в – JK триггер в роли триггера T

Особенности триггеров обуславливают наиболее широкий диапазон схем их включения для решения самых разных задач.

3.4.1. Подавление дребезга контактов выключателя при помощи триггера

С помощью триггера (любого типа) просто решается задача устранения влияния дребезга контактов механических переключателей (рис. 3.21).

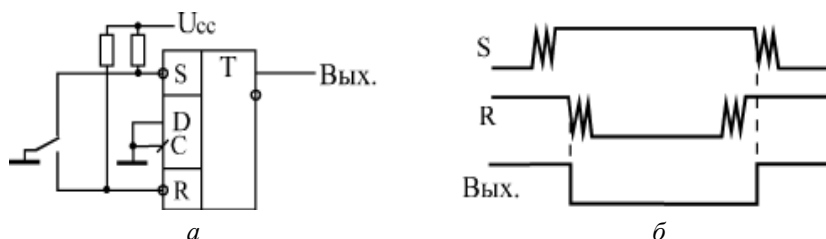


Рис. 3.21. Подавление дребезга контактов выключателя с помощью триггера

В данном случае необходим тумблер (или кнопка) с тремя выводами, один из которых попеременно подключается к двум другим. При этом первый отрицательный импульс на входе $-R$ перебрасывает триггер в состояние нуля, а первый отрицательный импульс на входе $-S$ – в состояние единицы. Последующие же импульсы на обоих этих входах, вызванные дребезгом контактов, уже никак не влияют на триггер.

Нижнее (рис. 3.21, а) положение выключателя соответствует нулю на выходе триггера, а верхнее – единице.

3.4.2. Использование триггера в качестве флага процесса

Основное применение триггеры находят в тех случаях, когда надо сформировать сигнал, длительность которого соответствует длительности какой-то выполняемой операции, какого-то продолжительного процесса в схеме.

Выходной сигнал триггера при этом может разрешать этот самый процесс, а может информировать остальные узлы устройства о том, что процесс идет (или, как говорят, служить флагом процесса).

Например, в схеме на рис. 3.22 в начале процесса (операции) по сигналу «Старт» триггер перебрасывается в единицу, а в конце процесса (операции) по сигналу «Стоп» – обратно в нуль.

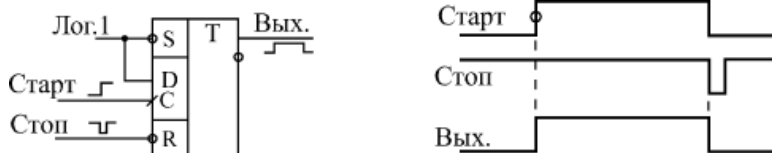


Рис. 3.22. Использование триггера в качестве флага процесса

Для сигналов «Старт» и «Стоп» можно, конечно, использовать входы триггера $-R$ и $-S$. Однако более правильным и универсальным решением будет выбор пары входов C и не R или C и не S , что предотвратит неоднозначность поведения триггера при одновременном приходе сигналов «Старт» и «Стоп».

Если используются входы C и «не R », то на вход D надо подать единицу, а если применяются входы C и «не S », то на вход D надо подать нуль. Такое решение удобно еще и тем, что в качестве одного из сигналов «Старт» и «Стоп» может выступать не уровень, а фронт. Именно этот фронт (в нужной полярности) и надо подать в этом случае на тактовый вход триггера C .

3.4.3. Синхронизация с помощью триггера

Важной областью применения триггеров является их применение для синхронизации сигналов.

Например, триггер позволяет наиболее просто избавиться от паразитных коротких импульсов на выходах комбинационных схем, возникающих при почти одновременном изменении нескольких входных сигналов (рис. 3.23).

Для синхронизации в данном случае необходимо иметь синхросигнал (синхропереход), сопровождающий входные информационные сигналы (входной код) и задержанный относительно момента изменения этих сигналов на время t_3 , большее задержки комбинационной схемы. При подаче этого синхроимпульса на вход C триггера, а выходного сигнала комбинационной микросхемы на вход D триггера на выходе триггера получаем сигнал, полностью свободный от паразитных импульсов.

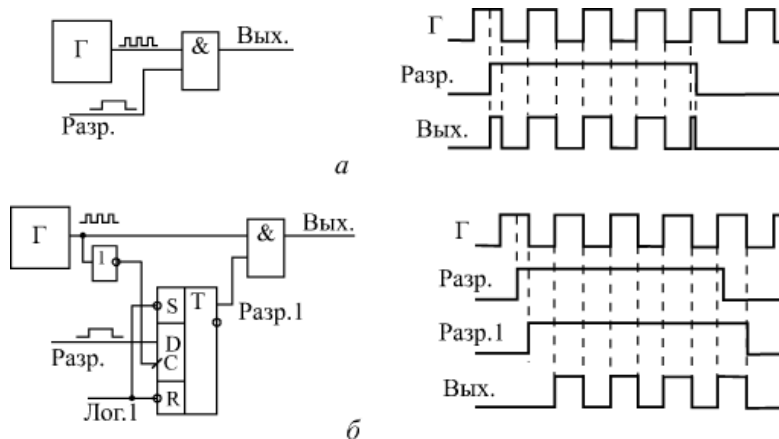


Рис. 3.21. Синхронизация сигнала разрешения

При проектировании цифровых схем, работающих по тактам единого тактового генератора, часто возникает необходимость синхронизовать с работой схемы какой-то внешний сигнал. То есть обеспечить, чтобы этот сигнал (асинхронный по отношению ко всей остальной схеме) изменялся по тактам тактового генератора, как и все остальные сигналы схемы (стал бы синхронным всей остальной схеме). Для решения такой задачи можно также использовать триггер.

Рассмотрим пример. Пусть с помощью внешнего сигнала необходимо разрешать и запрещать прохождение сигнала непрерывно работающего тактового генератора. В случае обычного RC генератора эта задача может быть решена путем его запуска и остановки. Однако далеко не всегда допускается останавливать работу тактового генератора, от которого работает вся схема. В случае же кварцевого генератора его остановка и запуск никогда не применяются, так как такой генератор начинает работать после разрешения с задержкой, равной нескольким периодам тактовой частоты, причем количество этих периодов не постоянно.

Будем считать, что тактовый генератор работает постоянно, а по внешнему управляющему сигналу мы будем разрешать или запрещать прохождение его выходных импульсов (см. рис. 3.23).

В простейшем случае (рис. 3.23, а) для пропуска и запрещения импульсов тактового генератора Γ используется логический

элемент 2И. При этом вполне возможна ситуация прохождения на выход схемы импульсов неполной длительности или даже предельно коротких, нестабильно появляющихся импульсов, которые могут внести неопределенность в работу остальной схемы.

Применение синхронизирующего триггера (рис. 3.23, б) обеспечивает прохождение на выход пропускающего элемента 2И только импульсов полной длительности. Разрешающий сигнал, проходя через триггер, который тактируется разрешаемым сигналом, становится синхронным с тактовым сигналом и гарантирует прохождение на выход обязательно целого количества тактовых импульсов, целого количества периодов тактового генератора.

3.4.4. Построение линий задержки с помощью триггера

Триггеры также позволяют строить линии задержки цифровых сигналов, для чего несколько триггеров соединяются в последовательную цепочку, причем все они тактируются единым тактовым сигналом С. Такое включение позволяет, например, одновременно обрабатывать комбинационными схемами несколько последовательных во времени состояний какого-то одного сигнала.

В качестве примера на рис. 3.24 приведена схема, которая выделяет во входном сигнале 3-тактовую последовательность 010. Цепочка из трех триггеров Т1, Т2 и Т3, тактируемых единым синхросигналом, запоминает три последовательных состояния входного сигнала. Например, если на выходе триггера Т2 будет зафиксировано состояние входного сигнала в N -м такте, то на выходе триггера Т1 будет состояние входного сигнала в такте $(N + 1)$, а на выходе триггера Т3 – в такте $(N - 1)$. Из-за конечной величины задержки переключения триггеров в каждый следующий триггер входной сигнал будет переписываться еще до того, как он поменяет свое значение вследствие переключения предыдущего триггера.

Подавая выходные сигналы триггеров (прямые или инверсные в зависимости от нужных уровней) на элемент И с нужным числом входов, можно зафиксировать любую 3-тактовую последовательность во входном сигнале. Для предотвращения появления паразитных импульсов в выходном сигнале (они возможны, так как входные сигналы элемента И изменяются почти одновременно) применяется выходной триггер Т, тактируемый тем же самым общим синхросигналом. На выходе триггера Т получаем единичный сиг-

нал, соответствующий последовательности 010 во входном сигнале. Правда, этот выходной сигнал будет задержан относительно конца выделяемой последовательности 010 на два такта.

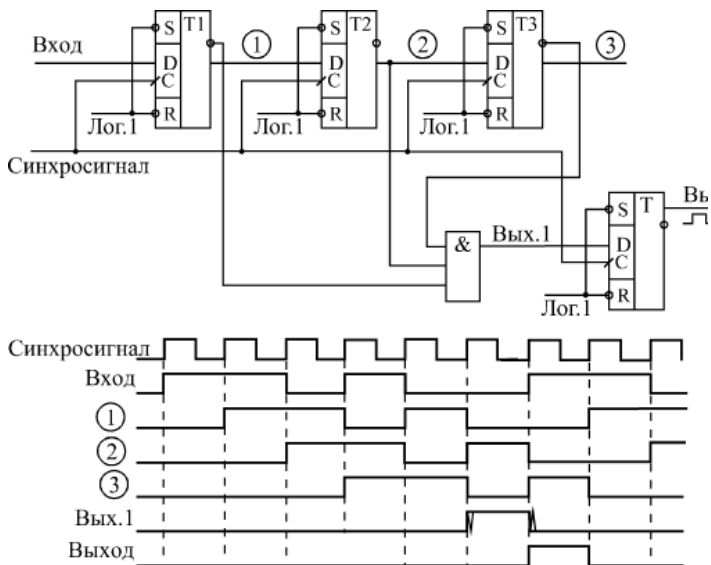


Рис. 3.24. Выделение 3-тактовой последовательности тактов во входном сигнале

3.5. Контрольные вопросы

1. Что такое триггер?
2. Какие выходы имеет триггер?
3. Какие бывают триггеры по способу записи?
4. В какое состояние устанавливается триггер по входу S?
5. В какое состояние устанавливается триггер по входу R?
6. Как обозначается вход синхронизации?
7. Как обозначается счетный вход?
8. Изобразите условное обозначение $\bar{S}\text{-}R$ триггера. Какая комбинация сигналов является запрещенной?
9. Изобразите условное обозначение SR триггера. Какая комбинация сигналов является запрещенной?
10. Изобразите схему не \bar{S} -не R триггера. Покажите на схеме, как триггер перебрасывается из состояния «1» в состояние «0».

11. Изобразите схему SR триггера. Покажите на схеме, как триггер перебрасывается из состояния «1» в состояние «0».

12. Изобразите условное обозначение JK триггера. Объясните по схеме особенности его работы.

13. Напишите таблицу истинности T триггера. Поясните по схеме принцип его работы.

14. Объясните по схеме принцип работы T триггера «мастер-помощник».

15. Какой триггер называется синхронным?

16. Поясните, используя рис. 3.16, переключение синхронного триггера SR из состояния «0» в состояние «1» с учетом состояний ЛЭ.

17. Изобразите схему синхронного «не $-S-R$ » триггера на элементах ИЛИ-НЕ. Объясните его работу с помощью диаграммы.

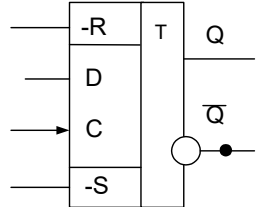
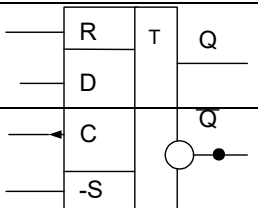
18. Изобразите схему преобразования JK триггера в триггер D.

19. Изобразите схему преобразования JK триггера в триггер T.

20. Изобразите схему преобразования D триггера с установочными входами «не $R-S$ » в триггер RS.

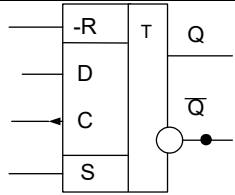
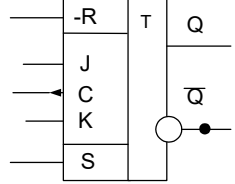
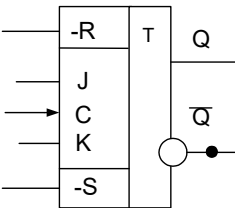
Индивидуальные задания

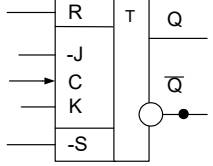
Таблица 3.6

Вариант	Задание 1. Изобразите условное обозначение, схему, таблицу истинности и диаграмму работы указанного триггера	Задание 2. Дорисуйте заданные на рисунках диаграммы для указанных триггеров
В.1	Асинхронный $-JK$ триггер	 <p>Рис. 3.25, а</p>
В.2	Асинхронный $-J-K$ триггер	
В.3	Асинхронный $J-K$ триггер	
В.4	Асинхронный $J-K$ триггер	
В.5	Асинхронный $R-S$ триггер	
В.6	Асинхронный $-RS$ триггер	
В.7	Асинхронный $-R-S$ триггер	

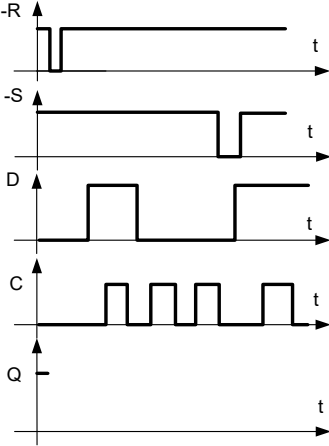
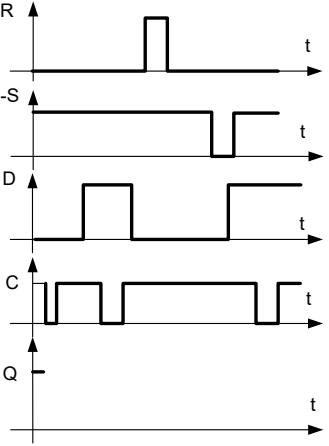
В.8	Асинхронный RS триггер	Рис. 3.25, б
-----	------------------------	--------------

Продолжение табл. 3.6

Вариант	Задание 1. Изобразите условное обозначение, схему, таблицу истинности и диаграмму работы указанного триггера	Задание 2. Дорисуйте заданные на рисунках диаграммы для указанных триггеров
В.9	Асинхронный –JK триггер «мастер-помощник»	 <p data-bbox="756 558 879 587">Рис. 3.25, в</p>
В.10	Асинхронный J–K триггер «мастер-помощник»	
В.11	Асинхронный –J–K триггер «мастер-помощник»	
В.12	Асинхронный T триггер	 <p data-bbox="756 782 879 810">Рис. 3.25, г</p>
В.13	Асинхронный T триггер «мастер-помощник»	
В.14	D триггер с синхронизацией по отрицательному фронту	 <p data-bbox="756 1165 879 1193">Рис. 3.25, д</p>
В.15	D триггер с синхронизацией по положительному фронту	
В.16	–D триггер с синхронизацией по положительному фронту	
В.17	–D триггер с синхронизацией по отрицательному фронту	
В.18	D триггер «мастер-помощник» с синхронизацией по отрицательному фронту	
В.19	D триггер «мастер-помощник» с синхронизацией по положительному фронту	

В.20	Синхронный Т триггер с синхронизацией по положительному фронту	 <p style="text-align: center;">Рис. 3.25, е</p>
------	--	---

Продолжение табл. 3.6

Вариант	<p>Задание 1. Изобразите условное обозначение, схему, таблицу истинности и диаграмму работы указанного триггера</p>	<p>Задание 2. Дорисуйте заданные на рисунках диаграммы для указанных триггеров</p>
	 <p style="text-align: center;">Рис. 3.25, а</p>	 <p style="text-align: center;">Рис. 3.25, б</p>

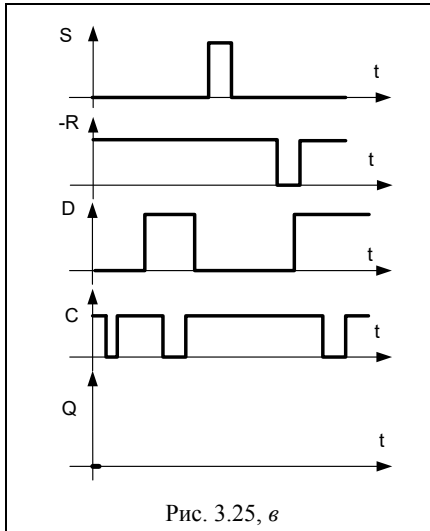


Рис. 3.25, а

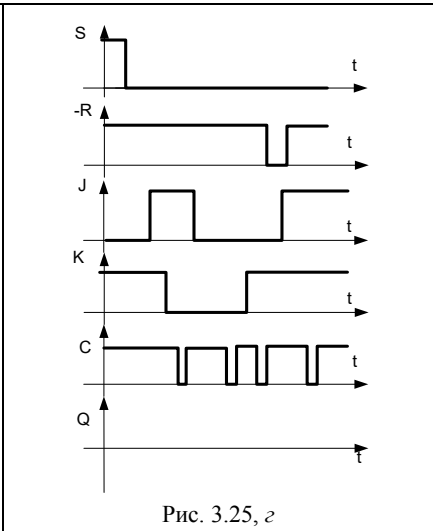
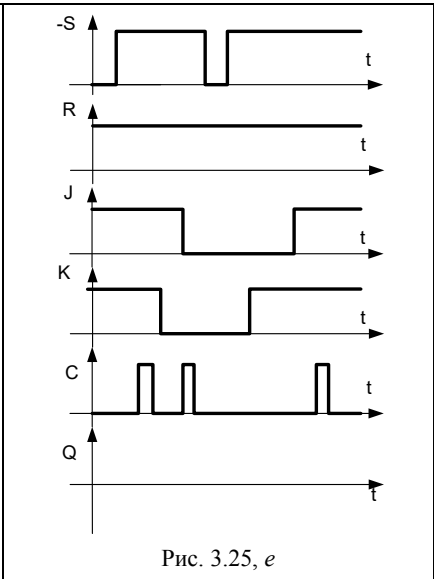
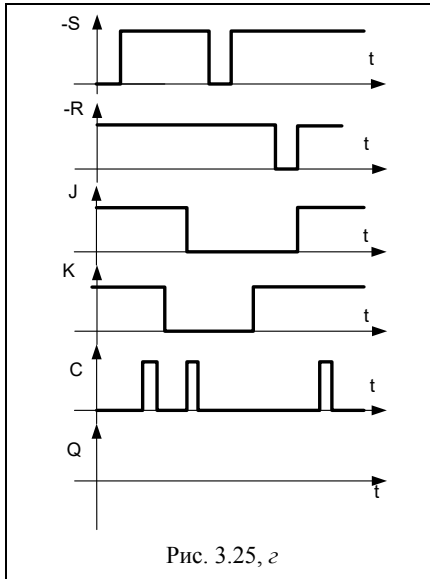


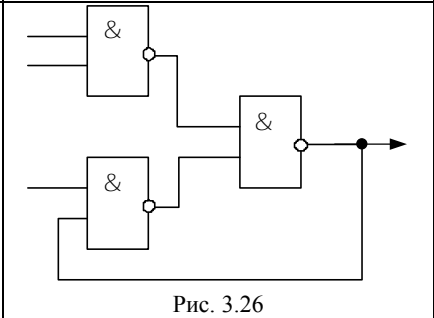
Рис. 3.25, б

Продолжение табл. 3.6

Вариант	<p>Задание 1. Изобразите условное обозначение, схему, таблицу истинности и диаграмму работы указанного триггера</p>	<p>Задание 2. Дорисуйте заданные на рисунках диаграммы для указанных триггеров</p>
---------	---	--



Задание 3.
 Для схемы, представленной на рис. 3.26:
 1) обозначьте сигналы на входах триггера;
 2) обозначьте сигналы на входе триггера



*Примечание**. Принципиальная схема должна быть вычерчена в соответствии с требованиями ГОСТ 2.702 «Правила выполнения электрических схем».

Окончание табл. 3.6

Задание 4.
 Для схемы, представленной на рис. 3.27:
 1) обозначьте сигналы на входах триггера;
 2) обозначьте сигналы на выходе триггера

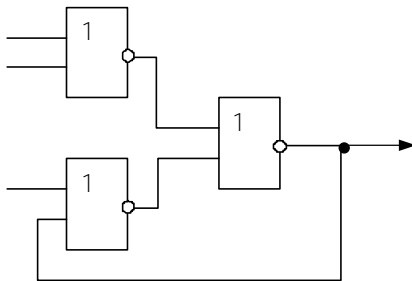


Рис. 3.27

Задание 5.
 Для схемы, представленной на рис. 3.28:
 1) обозначьте сигналы на входах триггера;
 2) обозначьте сигналы на выходах триггера

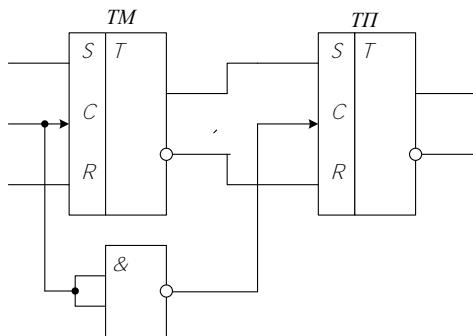


Рис. 3.28

Задание 6.
 Для схемы, представленной на рис. 3.29:
 1) обозначьте сигналы на входах триггера;
 2) обозначьте сигналы на выходах триггера

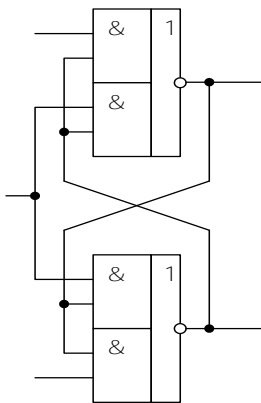


Рис. 3.29

4. РЕГИСТРЫ

4.1. Общие сведения

Регистр (англ. register) – устройство, предназначенное для хранения и преобразования многоразрядных двоичных чисел. В качестве запоминающего элемента в регистрах используют триггер.

По принципу хранения информации регистры делятся на статические и динамические. *Статические* регистры строят на потенциальных элементах памяти (триггерах), которые могут хранить информацию сколь угодно долго (при наличии напряжения питания). *Динамические* регистры строят на элементах памяти такого типа, как конденсатор, которые могут хранить информацию лишь в течение некоторого промежутка времени. Поэтому в динамических регистрах необходима регенерация записанной информации.

На схемах регистры обозначаются буквами RG. В отечественных сериях микросхем регистрам соответствуют буквы ИР.

Регистры обладают большими функциональными возможностями. Они используются в качестве управляющих и запоминающих устройств, генераторов и преобразователей кодов, счетчиков, делителей частоты, узлов временной задержки.

Регистры могут быть построены на синхронных или асинхронных триггерах, а также триггерах, имеющих установочные входы.

Одиночный триггер может запоминать (регистрировать) один разряд (бит) двоичной информации. Такой триггер можно считать одноразрядным регистром.

Цифровые приборы, как правило, оперируют с многоразрядными числами. Поэтому в качестве регистров в зависимости от назначения используются наборы (цепочки) триггеров, количество которых соответствует разрядности хранимого числа.

Вспомогательные элементы в регистрах используются для осуществления следующих операций:

- ввода и вывода из регистра хранимой информации;
- преобразования кода числа, хранящегося в регистре;
- сдвига числа влево или вправо на определенное число разрядов;
- преобразования последовательного кода числа в параллельный и наоборот и другие.

Вспомогательные элементы обычно строятся на основе комбинационных схем.

Занесение информации в регистр называют операцией ввода или записи.

Выдача информации к внешним устройствам характеризует операцию вывода или считывания.

Регистры классифицируют по различным признакам, основными из которых являются способ ввода информации в регистр и ее вывод и способ представления вводимой и выводимой информации.

Регистры делятся на три группы:

- параллельные регистры (регистры памяти);
- регистры сдвига (регистры сдвига)
- параллельно-последовательные регистры

По виду вводимой и выводимой информации различают регистры однофазного и парафазного типа.

В однофазных регистрах информация вводится (выводится) только в прямом или только в обратном коде.

В парафазных регистрах информация вводится одновременно в прямом и обратном кодах. Вывод информации из регистров осуществляется в прямом и обратном кодах (триггер имеет два выхода: прямой Q и инверсный \bar{Q}).

Различают одно- и многоканальные регистры в зависимости от числа источников информации, с которых она поступает на входы регистра.

Важнейшие характеристики регистров – разрядность и быстродействие.

Разрядность определяется количеством триггеров.

Быстродействие характеризуется максимальной тактовой частотой, с которой могут производиться запись, чтение и сдвиг информации.

По способу приема и выдачи информации регистры делятся на следующие группы:

- с параллельным приемом и параллельной выдачей информации (рис. 4.1);
- с последовательным приемом и последовательной выдачей информации (рис. 4.2);
- с последовательным приемом и параллельной выдачей информации (рис. 4.3);

- с параллельным приемом и последовательной выдачей информации (рис. 4.4);
- комбинированные, с различными способами приема и выдачи информации (рис. 4.5);
- реверсивные – осуществляющие сдвиг влево или вправо (рис. 4.6).

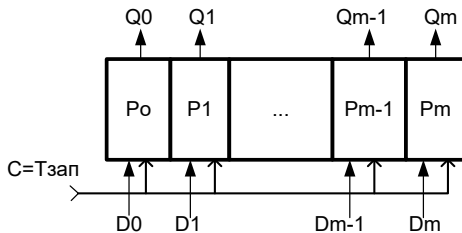


Рис. 4.1. Функциональная схема регистра с параллельным приемом и параллельной выдачей информации

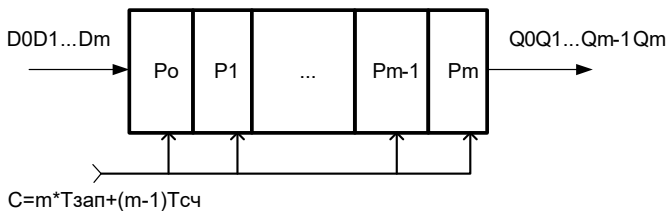


Рис. 4.2. Функциональная схема регистра с последовательным приемом и последовательной выдачей информации

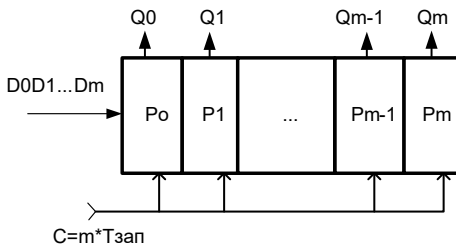


Рис. 4.3. Функциональная схема регистра с последовательным приемом и параллельной выдачей информации

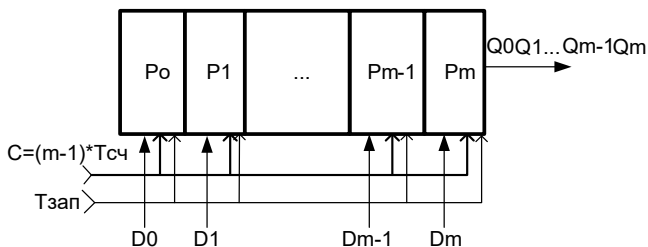


Рис. 4.4. Функциональная схема регистра с параллельным приемом и последовательной выдачей информации

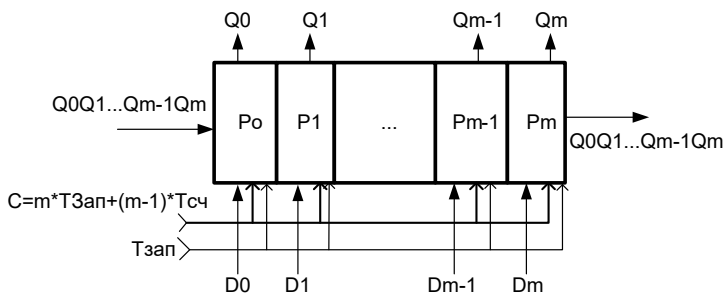


Рис. 4.5 Функциональная схема комбинированного регистра, с различными способами приема и выдачи информации

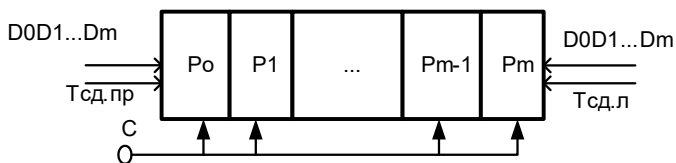


Рис. 4.6. Функциональная схема реверсивного регистра, с различными способами приема и выдачи информации

На вход каждого разряда регистра (в соответствии с весом разряда) одновременно подаются вводимые данные D_0, D_1, \dots, D_m . С подачей синхроимпульса, который является сигналом записи данных в регистр, данные появятся на выходах Q_0, Q_1, \dots, Q_m . Время появления данных на выходах Q_0, Q_1, \dots, Q_m определяется временем задержки одного разряда (триггера).

В регистр, изображенный на рис. 4.2, запись данных D_0, D_1, \dots, D_m осуществляется последовательно разряд за разрядом, начиная со старшего разряда D_m при сдвиге вправо.

Для записи m -разрядного числа в регистр должно быть подано m сигналов записи ($T_{\text{зап}}$).

Для считывания записанного числа из регистра необходима подать $m - 1$ сигналов считывания ($T_{\text{сч}}$). Вывод числа из регистра осуществляется со старшего разряда Q_m .

Регистр, изображенный на рис. 4.3, представляет собой совокупность двух схем: схемы, представленной на рис. 4.2, в части записи информации в регистр, и схемы, представленной на рис. 4.1, в части считывания информации из регистра.

Запись данных D_0, D_1, \dots, D_m осуществляется последовательно разряд за разрядом, начиная со старшего разряда при сдвиге. Для записи m -разрядного числа в регистр должно быть подано m сигналов записи ($T_{\text{зап}}$).

После записи последнего младшего разряда (временем задержки триггера P_0) данные будут установлены на выходах Q_0, Q_1, \dots, Q_m .

Сигналы записи и считывания информации одновременно подаваться не могут.

Регистр, изображенный на рис. 4.4 представляет собой совокупность двух схем: схемы представленной на рис. 4.1, в части записи информации в регистр и схемы представленной на рис. 4.2 в части считывания информации из регистра. Запись данных D_0, D_1, \dots, D_m осуществляется одновременно во все разряды регистра с подачей сигнала $T_{\text{зап}}$. Формирование сигнала $T_{\text{зап}}$ осуществляется в зависимости от вида триггера разными комбинационными схемами, что будет показано ниже.

После записи числа в регистр (после времени задержки одного разряда) могут быть поданы $m - 1$ сигналов чтения ($T_{\text{сч}}$), обеспечивающие вывод информации из регистра (начиная со старшего разряда Q_m) при сдвиге вправо.

При реализации такой схемы надо учитывать условие $T_{\text{зап}} \cdot T_{\text{сч}} = 0$.

Регистр, изображенный на рис. 4.5, представляет совокупность вышеприведенных схем. В зависимости от присутствующих сигналов управления ($T_{\text{зап}}$ и $T_{\text{сч}}$) комбинационной логикой обеспечивается требуемый тип ввода и вывода информации.

При реализации такой схемы надо учитывать условие $T_{за} \cdot T_{сч} = 0$.

Регистр, изображенный на рис. 4.5, представляет собой реверсивный регистр, который позволяет вводить информацию при сдвиге вправо (со старшего разряда D0) при подаче m управляющих сигналов $T_{сд.пр}$ или при сдвиге влево (с младшего разряда D1) при подаче m управляющих сигналов $T_{сд.л}$.

Аналогично могут быть построены схемы, обеспечивающие циклический сдвиг вправо или влево, а также схемы, обеспечивающие ввод со старшего разряда и вывод с младшего или наоборот.

Различают одно- и многоканальные регистры в зависимости от числа источников информации, с которых она поступает на входы регистра.

В простейшем регистре триггеры соединены последовательно, то есть выходы предыдущего триггера передают информацию на входы последующего. Тактовые входы С триггеров соединены параллельно. Такой регистр имеет один вход и один выход – последовательные. Вход управления – тактовый вход С.

Если к входу каждого триггера добавить разрешающую логику, то можно осуществить параллельную загрузку данных в регистр. Можно предусмотреть логическую схему параллельного отображения выходных данных. Как правило, выходные элементы такой схемы имеют z -состояния, позволяющие поочередно выдавать информацию по многопроводной шине данных.

Регистры могут быть двунаправленные или, иначе, реверсивные, то есть записанную информацию можно сдвигать по линейке триггеров вправо или влево. Для включения режима сдвига предусматривают специальный вход.

Существуют многорежимные регистры, у которых входные и выходные линии данных объединены в одну линию (порт данных). Эта линия по соответствующей команде (то есть имеет дополнительный вход) может быть и входной и выходной.

4.2. Регистры хранения (памяти)

Регистры с параллельным приемом и выдачей информации служат для хранения информации и называются *регистрами памяти* или хранения.

Их назначение – хранить двоичную информацию небольшого объема в течение некоторого промежутка времени. Эти регистры представляют собой набор триггеров, каждый из которых хранит один разряд двоичного числа.

В параллельных регистрах каждый из триггеров имеет свой независимый информационный вход (D) и свой независимый информационный выход. Тактовые входы (C) всех триггеров соединены между собой. В результате параллельный регистр представляет собой многоразрядный, многовходовый триггер.

Ввод (запись) и вывод (считывание) информации производятся одновременно во всех разрядах параллельным кодом.

Параллельные регистры, в свою очередь, делятся на две группы:

- регистры, срабатывающие по фронту управляющего сигнала C (или тактируемые регистры);
- регистры, срабатывающие по уровню управляющего сигнала C (или стробируемые регистры).

Чаще всего в цифровых схемах используются регистры, управляемые фронтом (то есть тактируемые), однако и стробируемые регистры имеют свой круг задач, в которых их ничто не может заменить.

Если триггер имеет установочные входы и запись данных в регистр осуществляется по установочным входам, то ввод обеспечивается подачей информационных сигналов и управляющего сигнала на установочные входы в прямом или обратном кодах ($-R$, R , $-S$, S).

Если триггер синхронный и не имеет установочных входов, то он представляет собой, по существу, наборы триггеров с независимыми информационными входами и обычно общим тактовым входом. В качестве регистров подобного рода могут без дополнительных элементов быть использованы многие типы синхронных триггеров. В таких регистрах информация подается на информационные входы (вход в триггере D) и запись осуществляется подачей тактового командного импульса. С приходом очередного тактового импульса происходит обновление записанной информации.

Если триггер асинхронный, то информация и управляющий сигнал через комбинаторную логику подаются на информационные входы (вход в триггере D).

4.2.1. Стробируемые регистры

Параллельные регистры, срабатывающие по уровню стробирующего сигнала (или, как их еще называют, регистры-защелки, английское «latch»), можно рассматривать как некий гибрид между буфером и регистром. Когда сигнал на стробирующем входе – единственный, такой регистр пропускает через себя входные информационные сигналы, а когда стробирующий сигнал становится равен нулю, регистр переходит в режим хранения последнего из пропущенных значений входных сигналов.

Применение таких регистров сильно ограничено, хотя иногда они довольно удобны. В некоторых схемах они могут успешно заменять регистры, срабатывающие по фронту, а в других схемах их применение вместо регистров, срабатывающих по фронту, недопустимо.

Рассмотрим способы ввода информации в регистр, организованный на триггерах с установочными входами.

Существует несколько способов записи информации по установочным входам:

- в прямом коде по установочному входу S с предварительной установкой регистра в «0»;
- обратном коде по установочному входу R с предварительной установкой в «1» всех триггеров;
- с подачей парафазного кода информации (прямой код – на вход S , обратный код – на вход R).

Во всех перечисленных способах запись информации осуществляется уровнем сигнала.

Запись информации по установочному входу S с предварительной установкой регистра в «0». На рис. 4.7 представлена схема (а) и диаграмма (б) работы данного регистра.

Рассмотрим диаграмму работы регистра (рис. 4.7, б). Как видно из диаграммы, до момента действия сигнала Уст «0» (момент t_1), регистр стоит в некотором состоянии ($Q_1 = 1, Q_2 = 1, \dots, Q_m = 1$), то есть хранит некоторую ранее записанную информацию).

Для корректной работы схемы первым (момент времени t_1) подается сигнал Уст. «0» (высокий уровень), который устанавливает все разряды регистра в нулевое состояние.

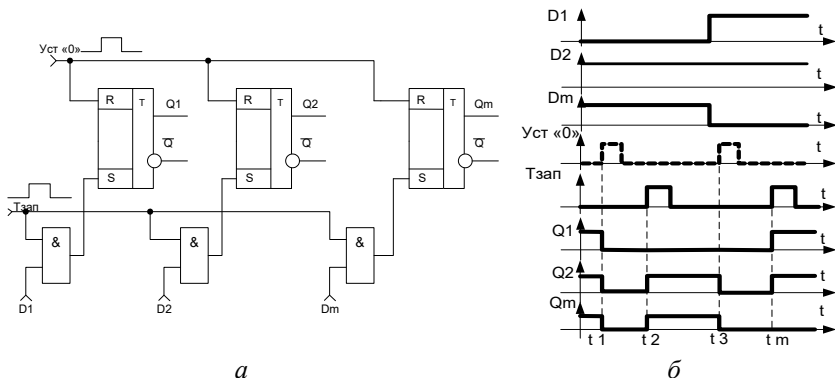


Рис. 4.7. Запись информации в прямом коде по установочному входу S с предварительной установкой регистра в «0»

На входы регистра подана в прямом коде некоторая информация ($D_1 = 0, D_2 = 1, \dots, D_m = 1$), которая поступает на один из входов логических элементов, образующих управляющую комбинационную схему. В момент прихода управляющего сигнала $T_{\text{зап}}$ (момент t_2), информация, присутствующая на входах D_1, D_2, \dots, D_m , записывается в регистр, то есть триггер, на вход которого подается сигнал логической «1» с ЛЭ И (вход $D = 1, T_{\text{зап}} = 1$), переходит в состояние «1». Триггер, на установочный вход S которого приходит сигнал логического «0» с ЛЭ И (вход $D = 0, T_{\text{зап}} = 1$), остается в состоянии логического «0», обусловленном сигналом Уст «0».

Регистр хранит записанную информацию до момента времени t_3 . К этому моменту времени на входах D_1, D_2, \dots, D_m установлены новые данные. В момент t_3 подается сигнал Уст «0», в момент t_4 – сигнал $T_{\text{зап}}$ – в регистр будут записаны новые данные.

Недостатком приведенной схемы является необходимость подачи сигнала Уст «0».

Если триггер имеет установочные инверсные входы (не R –не S), то для записи информации подаваемой на входы D , в прямом коде необходимо вместо ЛЭ И использовать ЛЭ И-НЕ, а в цепь Уст «0» включить инвертор.

Запись информации по установочному входу R с предварительной установкой в «1» всех триггеров регистра. На рис. 4.8. представлена схема (а) и диаграмма (б) работы данного регистра.

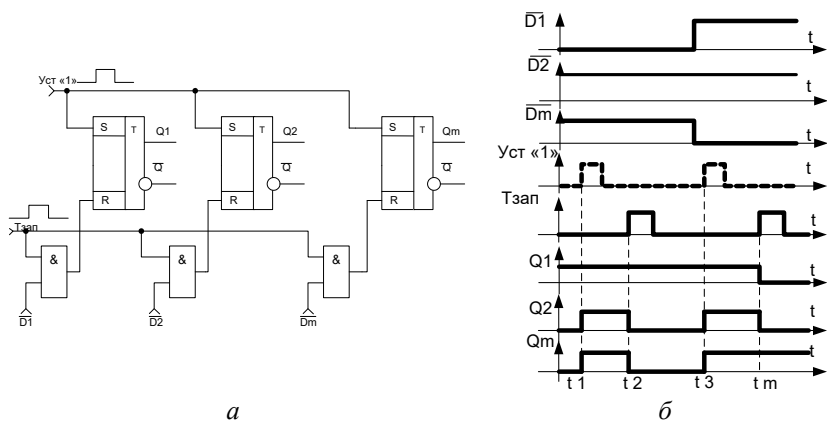


Рис. 4.8. Запись информации по установочному входу R с предварительной установкой в «1» всех триггеров регистра

Особенностью работы данного регистра является то, что данные, которые подаются на его входы D, должны подаваться в обратном коде.

При записи числа в регистр в состояние логического «0» устанавливаются только те триггеры, на которые подается обратный код разряда числа, равный «1». Остальные триггеры останутся в состоянии «1».

Недостатком приведенной схемы является необходимость подачи сигнала Уст «1» всех разрядов триггеров.

Запись информации парафазным кодом. На рис. 4.9 представлена схема (а) и диаграмма (б) работы данного регистра.

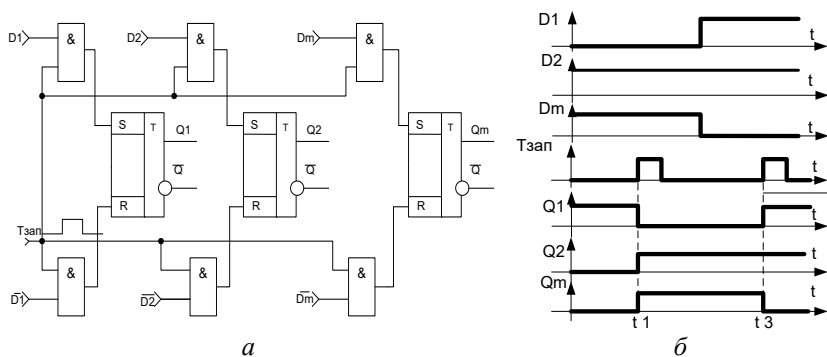


Рис. 4.9. Запись информации по установочному входу R с предварительной установкой в «1» всех триггеров регистра

При записи парафазным кодом прямой код числа подается на вход S, обратный код – на R.

Достоинством данной схемы является отсутствие сигнала предварительной установки регистра.

Недостатком – необходимость прямого и обратного кода числа. Если устройство работает только с прямым кодом, то для формирования обратного кода в схеме необходимо предусмотреть m инверторов.

В стандартных сериях регистры, срабатывающие по уровню, представлены гораздо меньше, чем регистры, срабатывающие по фронту. На рис. 4.10 в качестве примера показана ИС 8-разрядного регистра ИР22.

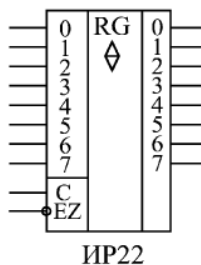


Рис. 4.10. ИС регистра, срабатывающие по уровню

Строблирующие входы С на схемах нередко обозначают Е (от английского «enable» – «разрешение»), чтобы не путать их с тактовыми входами D триггеров.

Регистр ИР22 имеет выходы с тремя состояниями (и соответственно вход разрешения всех выходов –EZ), всеми восемью разрядами управляет один стробирующий сигнал С. При единице на входе С регистр работает как буфер-повторитель, а при нуле на входе С – хранит ту информацию, которая была на входе в момент отрицательного фронта сигнала С. Выходы у регистра ИР22 – прямые. Как и все регистры с тремя состояниями выхода, ИР22 имеет повышенную нагрузочную способность.

4.2.2. *Тактируемые регистры*

Принцип действия регистров, срабатывающих по фронту тактового сигнала, ничем не отличается от принципа действия D триггера.

По положительному фронту тактового сигнала C каждый из выходов регистра устанавливается в тот уровень, который был в этот момент на соответствующем данному выходу входе D , и сохраняется таковым до прихода следующего положительного фронта сигнала C . То есть если триггер запоминает один сигнал (один двоичный разряд, один бит), то регистр запоминает сразу несколько (4, 6, 8, 16) сигналов (несколько разрядов, битов). Память регистра сохраняется до момента выключения питания схемы.

На рис. 4.11 представлена схема регистра на D триггерах, в котором данные в прямом коде подаются на входы $D1, D2, \dots, Dm$.

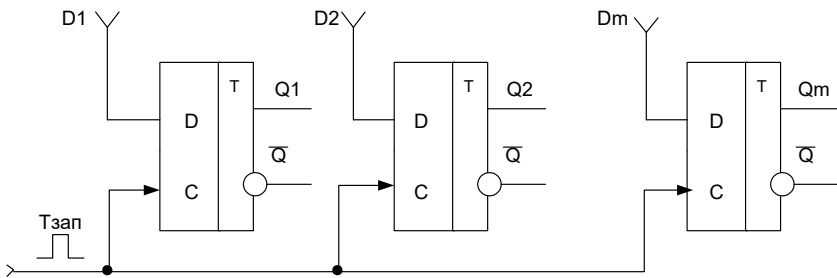


Рис.4.11. Запись информации параллельным кодом

Запись информации осуществляется фронтом сигнала $T_{\text{зап}}$ (тактовый командный импульс), одновременно поступающего на входы C всех триггеров.

На рис. 4.12 представлена схема регистра на JK триггерах. В данной схеме данные подаются парафазным кодом (прямой код $D1, D2, \dots, Dm$ – на вход J , обратный кода – на вход K).

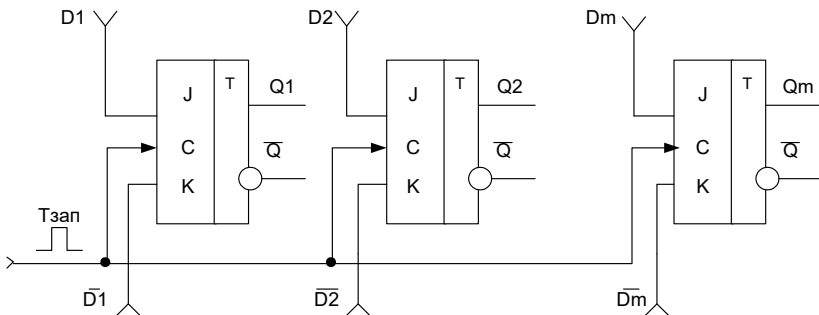


Рис. 4.12. Запись информации парафазным кодом

Изменение хранящейся информации в регистре памяти (запись новой информации) осуществляется после установки на входах D_0-D_m новой цифровой комбинации (информации) при поступлении определенного уровня (регистр на асинхронных триггерах или запись осуществляется по установочным входам триггера) или фронта синхросигнала (синхроимпульса) $T_{\text{зап}} = C$ на вход «С» регистра (синхронные триггера с записью по информационным входам).

Количество разрядов записываемой цифровой информации определяется разрядностью регистра, а разрядность регистра, в свою очередь, – количеством триггеров, образующих этот регистр.

В качестве разрядных триггеров регистра памяти используются триггеры, синхронизируемые уровнем или фронтом.

Наращивание разрядности регистров памяти достигается добавлением нужного числа триггеров, тактовые входы которых присоединяют к шине синхронизации.

В стандартные серии входит несколько типов параллельных регистров, срабатывающих по фронту (рис. 4.13).

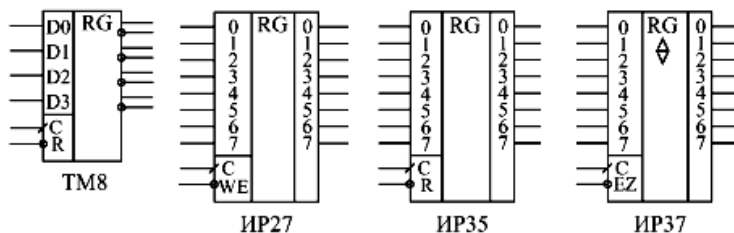


Рис. 4.13. Параллельные регистры стандартных серий, срабатывающие по фронту

Такие регистры различаются количеством разрядов, наличием или отсутствием инверсных выходов, наличием или отсутствием входа сброса (не R) или разрешения записи (не WE), а также типом выходных каскадов (2C или 3C) и соответственно наличием или отсутствием входа разрешения «не EZ». Иногда на схемах тактовый вход C обозначается WR – сигнал записи в регистр.

В качестве примеров в табл. 4.1 приведена таблица истинности регистра IP27, а в табл. 4.2 – регистра IP37. По переходу тактового сигнала C из 0 в 1 (положительный фронт) оба регистра записывают в себя входную информацию.

Таблица 4.1

Таблица истинности регистра ИР27

Входы			Выходы
$\neg WE$	C	D	Q
0	$0 \rightarrow 1$	0	0
0	$0 \rightarrow 1$	1	1
0	0	X	Не меняется
0	1	X	Не меняется
1	X	X	Не меняется

Таблица 4.2

Таблица истинности регистра ИР37

Входы			Выходы
$\neg EZ$	C	D	Q
0	$0 \rightarrow 1$	0	0
0	$0 \rightarrow 1$	1	1
0	0	X	Не меняется
0	1	X	Не меняется
1	X	X	Z

Все регистры, имеющие выход с тремя состояниями, обеспечивают повышенную нагрузочную способность. Задержка переключения регистров примерно соответствует задержке переключения триггеров.

Одно из основных применений регистров состоит в хранении требуемого кода в течение нужного времени.

Регистры также могут применяться в составе вычислителей, выполняя функцию накопителя результата вычисления.

Рассмотрим пример схемы такого вычислителя – накапливающий сумматор.

В самом названии схемы отражена ее функция: она суммирует и накапливает результат. Накапливающий сумматор (рис. 4.14) состоит из сумматора и выходного регистра, охваченных обратной связью.

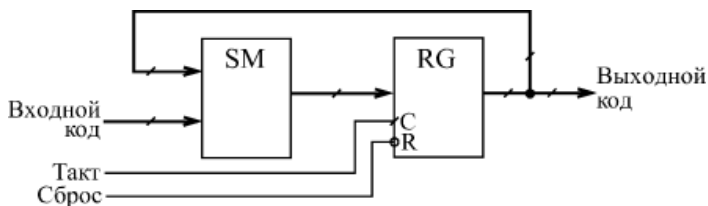


Рис. 4.14. Структура накапливающего сумматора

То есть на один вход сумматора подается код с выходов регистра, а на другой – входной код. В результате с каждым следующим фронтом тактового сигнала в регистр записывается код суммы входного кода с предыдущим содержимым регистра, с предыдущей суммой. Например, если входной код равен трем, а в регистре записан код 6, то в следующем такте в регистр будет записан код 9 (то есть $6 + 3$), в следующем такте – код 12 (то есть $9 + 3$) и т. д. Получается, что на выходе накапливающего сумматора формируется равномерно увеличивающийся двоичный код, и шаг этого увеличения можно менять. В данном случае удобно применять регистр со сбросом, например ИР35.

4.3. Регистры сдвига

Регистры сдвига или сдвиговые регистры (англ. shift register) представляют собой последовательно соединенную цепочку триггеров.

То есть в сдвиговых регистрах все триггеры соединены в последовательную цепочку (выход каждого предыдущего триггера соединен со входом D следующего триггера). Тактовые входы всех триггеров (C) объединены между собой. В результате такой триггер может рассматриваться как линия задержки, входной сигнал которой последовательно перезаписывается из триггера в триггер по фронту тактового сигнала C. Информационные входы и выходы триггеров могут быть выведены наружу, а могут и не выводиться – в зависимости от функции, выполняемой регистром.

Основной режим их работы – это сдвиг разрядов кода, записанного в эти триггеры, то есть по тактовому сигналу содержимое каждого предыдущего триггера переписывается в следующий по порядку в цепочке триггер. Код, хранящийся в регистре, с каждым тактом сдви-

гается на один разряд в сторону старших разрядов или в сторону младших разрядов, что и дало название регистрам данного типа.

На схемах символом регистра служат буквы RG. Для регистров сдвига указывается также направление сдвига:

- \rightarrow вправо (основной режим, который есть у всех сдвиговых регистров);
- \leftarrow влево (этот режим есть только у некоторых, реверсивных сдвиговых регистров);
- \leftrightarrow реверсивный (двунаправленный), то есть записанную информацию можно сдвигать по линейке триггеров вправо или влево. Для включения режима сдвига предусматривают специальный управляющий вход.

Направление сдвига отражает внутреннюю структуру регистров сдвига (рис. 4.15) и перезапись сигналов последовательно по цепочке триггеров. При этом триггеры, вполне естественно, нумеруются слева направо, например, от 0 до 7 (или от 1 до 8) для 8-разрядных регистров. В результате сдвиг информации регистром вправо представляет собой сдвиг в сторону разрядов, имеющих большие номера, а сдвиг информации регистром влево – это сдвиг в сторону разрядов, имеющих меньшие номера.

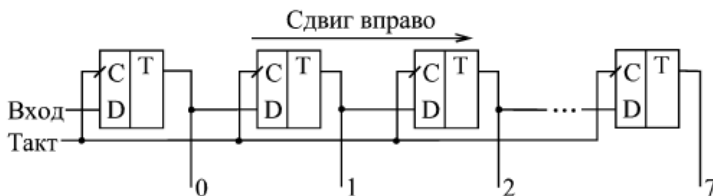


Рис. 4.15. Направление сдвига в сдвиговых регистрах

Однако, как известно, в любом двоичном числе слева расположены старшие разряды, а справа – младшие. Поэтому сдвиг двоичного числа вправо будет сдвигом в сторону младших разрядов, а сдвиг влево – сдвигом в сторону старших разрядов. О такой особенности необходимо помнить разработчику цифрового прибора.

Регистры сдвига могут выполнять функции хранения и преобразования информации и быть использованы для построения умножителей и делителей чисел двоичной системы счисления, так как сдвиг

двоичного числа влево на один разряд соответствует умножению его на два, а сдвиг вправо – делению на два.

Регистры сдвига широко используются для выполнения различных временных преобразований цифровой информации: последовательное накопление цифровой информации с последующей одновременной выдачей (преобразование последовательной цифровой информации в параллельный код) или одновременный прием (параллельный прием) информации с последующей последовательной выдачей (преобразование параллельного кода в последовательный).

Регистры сдвига могут служить также в качестве элементов задержки сигнала, представленного в цифровой форме: регистры с последовательным приемом (вводом) и выводом осуществляют задержку передачи информации на $m + 1$ тактов ($m + 1$ – число разрядов регистра) машинного времени.

Регистры сдвига чаще всего реализуются на D триггерах (рис. 4.16, *a*) или на RS триггерах (рис. 4.16, *б*), где для ввода информации в первый разряд включается инвертор (первый разряд представляет собой D триггер).

Следует отметить, что все регистры сдвига строятся на базе двухступенчатых или синхронизируемых фронтом синхроимпульса триггеров.

Регистры сдвига могут быть построены и на триггерах одноступенчатой структуры. В этом случае в каждом разряде регистра нужно использовать два триггера, которые управляются двумя сдвинутыми во времени тактовыми импульсами. Если бы в регистре были применены одноступенчатые триггеры по одному на разряд, то правило работы регистра было бы нарушено: при первом же импульсе сдвига информация, записавшись в первый разряд, перешла бы во второй, затем в третий и т. д.

Разрядность регистров сдвига, как и у регистров хранения, определяется количеством триггеров, входящих в их состав.

Работу регистра сдвига рассмотрим на примере схемы, приведенной на рис. 4.16.

Можно предположить, что в начале все триггеры регистра находятся в состоянии логического нуля, то есть $Q_0 = 0$, $Q_1 = 0$, $Q_2 = 0$, $Q_3 = 0$. Если на входе D триггера Г1 имеет место логический нуль, то поступление синхроимпульсов на входы «С» триггеров не меняет их состояния.

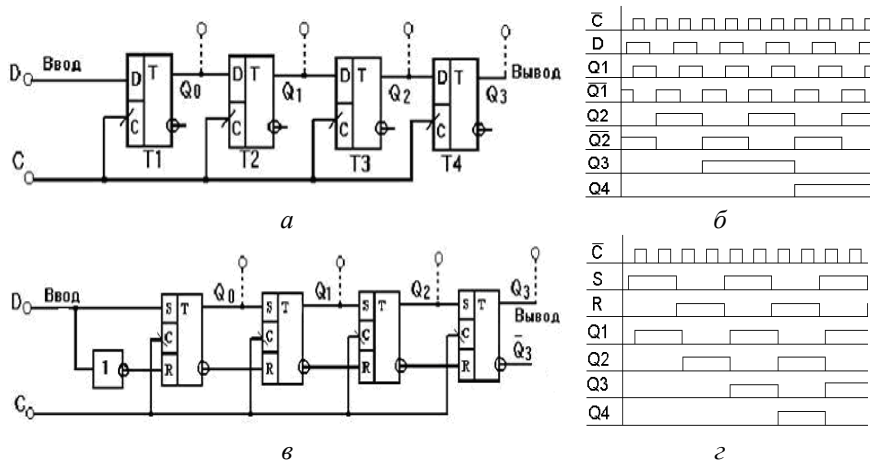


Рис. 4.16. Регистры сдвига и диаграммы работы на D триггерах (а, б) и на RS триггере (в, г)

Как следует из рис. 4.16, синхроимпульсы поступают на соответствующие входы всех триггеров регистра одновременно и записывают в них то, что находится на их информационных входах. На информационных входах триггеров Т2, Т3, Т4 – уровни логического «ноль», так как информационные входы последующих триггеров соединены с выходами предыдущих триггеров, находящихся в состоянии логического «нуль», а на вход «D» первого триггера, по условию примера, подается «0» из внешнего источника информации.

При подаче на вход «D» первого триггера «1», с приходом первого синхроимпульса, в этот триггер запишется «1», а в остальные триггеры – «0», так как к моменту поступления фронта синхроимпульса на выходе триггера Т1 «еще» присутствовал логический «0». Таким образом, в триггер Т1 записывается та информация (тот бит), которая была на его входе «D» в момент поступления фронта синхроимпульса и т. д.

При поступлении второго синхроимпульса логическая «1» с выхода первого триггера запишется во второй триггер и в результате происходит сдвиг первоначально записанной «1» с триггера Т1 в триггер Т2, из триггера Т2 – в триггер Т3 и т. д. Таким образом производится последовательный сдвиг поступающей на вход регистра информации (в последовательном коде) на один разряд вправо в каждом такте синхроимпульсов.

После поступления m синхроимпульсов регистр оказывается полностью заполненным разрядами числа, вводимого через последовательный ввод «D».

В течение следующих четырех синхроимпульсов производится последовательный поразрядный вывод из регистра записанного числа, после чего регистр оказывается полностью очищенным (регистр окажется полностью очищенным только при условии подачи на его вход уровня «0» в режиме вывода записанного числа).

Реверсивные регистры сдвига объединяют в себе свойства регистров прямого и обратного сдвига.

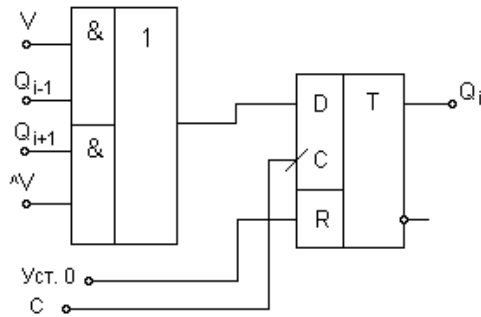


Рис. 4.17. Разряд реверсивного регистра

В стандартные серии цифровых микросхем входит несколько типов сдвиговых регистров, отличающихся возможными режимами работы, записи, чтения и сдвига, а также типом выходных каскадов (2С или 3С).

На рис. 4.18 представлены микросхемы регистров сдвига.

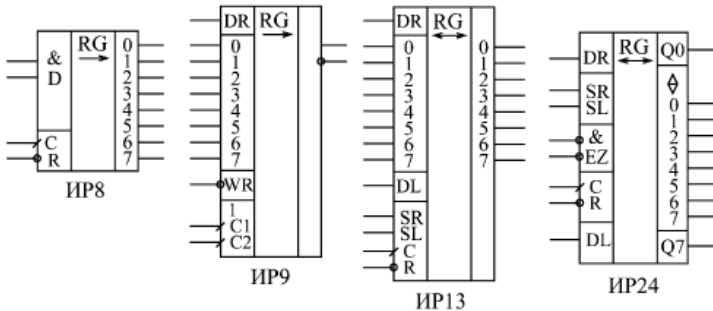


Рис. 4.18. Сдвиговые регистры

Регистр ИР8 – наиболее простой из регистров сдвига. Он представляет собой 8-разрядную линию задержки, то есть имеет только один информационный вход, на который последовательно подается сдвигаемая информация (точнее, два входа, объединенных по функции 2И), и восемь параллельных выходов.

Сдвиг в сторону выходов со старшими номерами осуществляется по переднему фронту тактового сигнала С. Имеется также вход сброса «не R», по нулевому сигналу на котором все выходы регистра сбрасываются в нуль.

На рис. 4.19 представлен пример увеличения разрядности регистра на примере ИС ИР9.

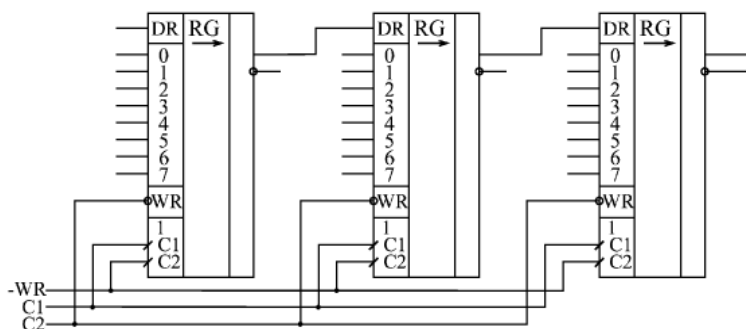


Рис. 4.19. Соединение регистров ИР9 для увеличения разрядности

Регистр ИР24 имеет двунаправленную параллельную шину данных, то есть одни и те же выводы микросхемы используются как для параллельной записи информации в регистр, так и для параллельного чтения информации из регистра. При этом двунаправленные выводы данных имеют повышенную нагрузочную способность. Это позволяет легко сопрягать ИР24 с многоразрядными микросхемами памяти и с двунаправленными буферами.

Регистр ИР24 обеспечивает сдвиг информации в обоих направлениях. Имеются входы расширения DR и DL, а также выходы расширения Q0 и Q7, что позволяет легко наращивать разрядность.

Отличие выходов Q0 и Q7 от нулевого и седьмого разрядов данных состоит в том, что Q0 и Q7 – однонаправленные, то есть в любом режиме работы выдают информацию с выходов внутренних триггеров младшего и старшего разрядов.

Тактируется регистр положительным фронтом сигнала С.

Предусмотрен сброс регистра нулевым сигналом на входе «не R».

Режим работы микросхемы определяется сигналами на управляющих входах SR и SL.

При единичном сигнале на SR и нулевом сигнале на SL по положительному фронту сигнала С происходит сдвиг информации вправо (в сторону разрядов с большими номерами). Запись в разряд 0 производится при этом со входа расширения DR.

При единичном сигнале на SL и нулевом сигнале на SR по положительному фронту сигнала С происходит сдвиг информации влево (в сторону разрядов с меньшими номерами). Запись в разряд 7 производится при этом со входа расширения DL.

При обоих нулях на входах SR и SL регистр переходит в режим хранения. Во всех этих случаях разряды данных работают как вход или как выход, в зависимости от сигналов —EZ .

При обеих единицах на входах SR и SL по положительному фронту С в регистр записывается параллельный код, причем разряды данных переходят в состояние приема независимо от сигналов —EZ .

Таблица истинности регистра IP24 приведена в виде табл. 4.3.

Таблица 4.3

Таблица истинности регистра сдвига IP2

Выходы				Функция
С	He R	SR	SL	
X	0	X	X	Сброс
0→1	1	1	0	Сдвиг вправо
0→1	1	0	1	Сдвиг влево
0→1	1	1	1	Параллельная запись
X	1	0	0	Хранение

Объединяя два регистра IP24, легко получить 16-разрядный сдвиговый регистр с сохранением всех возможностей одной микросхемы (рис. 4.20).

Главное применение всех регистров сдвига состоит в преобразовании параллельного кода в последовательный, и наоборот.

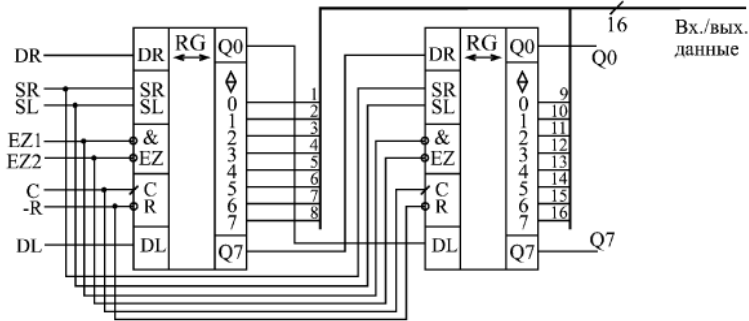


Рис. 4.20. Объединение регистров IP24 для увеличения разрядности

4.4. Способы вывода информации из регистра

Так как регистры строятся на триггерах, а триггер имеет прямой Q и инверсный \bar{Q} выходы, то существует несколько способов вывода информации из регистра.

1. Прямым параллельным m -разрядным кодом на m -разрядную шину (рис. 4.21). Для вывода информации подается сигнал $T_{\text{выв пр.пар}}$ высокого уровня. Причем сигнал $T_{\text{выв пр.пар}}$ должен быть подан после сигнала $T_{\text{зап}}$ (должно соблюдаться условие $T_{\text{зап}} \cdot T_{\text{выв пр.пар}} = 0$) и необходимо учитывать время задержки самого триггера, на котором реализован регистр.

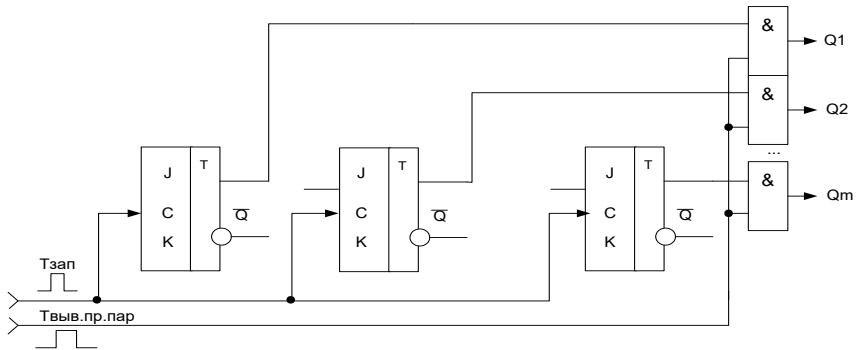


Рис. 4.21. Вывод информации прямым m -разрядным кодом на m -разрядную шину

2. Обратным параллельным m -разрядным кодом на m -разрядную шину (в обратном коде на одну шину) (рис. 4.22). Для вывода инфор-

мации подается сигнал $T_{\text{выв.об.пар}}$ высокого уровня. При подаче управляющих сигналов должно соблюдаться условие $T_{\text{зап}} \cdot T_{\text{выв.об.пар}} = 0$.

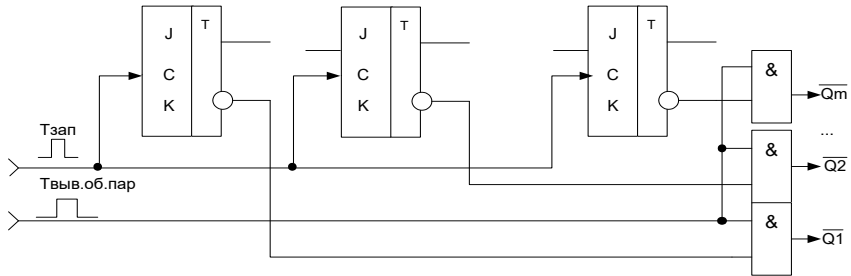


Рис. 4.22. Вывод информации обратным m -разрядным кодом на m -разрядную шину

3. Прямым или обратным параллельным m -разрядным кодом на m -разрядную шину (рис. 4.33). Сигналы $T_{\text{выв.пр}}$ и $T_{\text{выв.обр}}$ подаваться вместе не могут, то есть должно соблюдаться условие $T_{\text{выв.пр}} \cdot T_{\text{выв.обр}} = 0$. Кроме этого, сигналы вывода должны подаваться после сигнала записи (в составе примера показана запись параллельным прямым кодом) с учетом задержки триггера (в данном примере триггер D) аналогично схемам, представленным на рис. 4.21 и 4.22. В зависимости от поданного в данный момент времени сигнала вывода выход Y_i соответствует прямому (Q_i) или обратному (\bar{Q}_i) кодам.

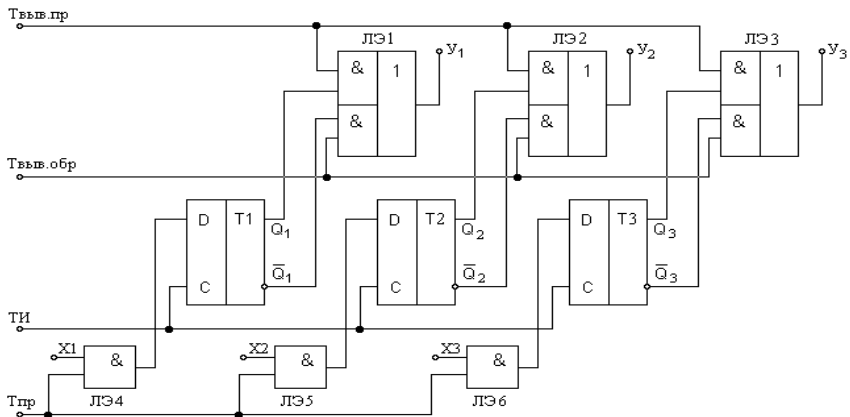


Рис. 4.23. Вывод информации прямым или обратным m -разрядным кодом

на m -разрядную шину

4. Парафазным m -разрядным кодом (прямой m -разрядный код на одну шину, обратный m -разрядный код – на другую шину). Из рис. 4.24 видно, что при подаче управляющего сигнала $T_{\text{выв.параф}}$ на одну шину m -разрядную шину выводится прямой код числа, а на вторую m -разрядную шину выводится обратный код числа. Для корректной работы схемы должно соблюдаться условие $T_{\text{зап}} \cdot T_{\text{выв.параф}} = 0$.

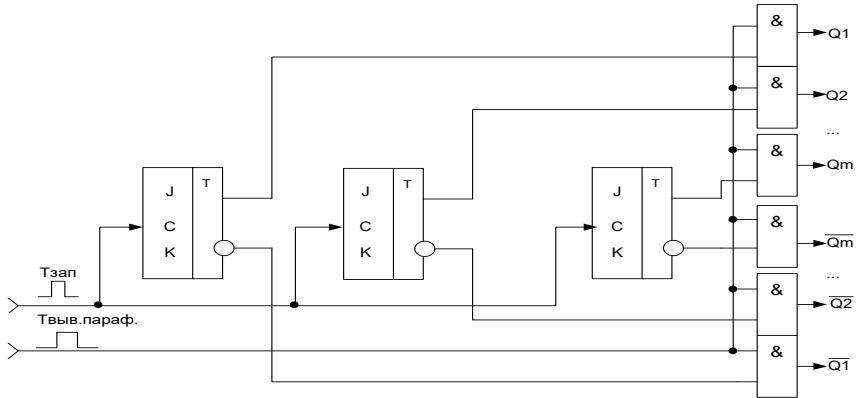


Рис. 4.24. Вывод информации парафазным m -разрядным кодом

Все перечисленные способы действительны и для последовательного вывода информации из регистра.

Контрольные вопросы

1. Что такое регистр?
2. Какие регистры вы знаете?
3. Для чего предназначены регистры памяти?
4. На каких триггерах строятся регистры памяти?
5. Какие способы ввода информации в регистр, построенный на триггерах с установочными входами, вы знаете?
6. Изобразите функциональную схему регистра с параллельным приемом и параллельной выдачей информации.
7. Изобразите функциональную схему регистра с последовательным приемом и последовательной выдачей информации.

8. Изобразите функциональную схему регистра с последовательным приемом и параллельной выдачей информации.
9. Изобразите функциональную схему регистра с параллельным приемом и последовательной выдачей информации.
10. Изобразите функциональную схему реверсивного регистра.
11. Какие регистры памяти относятся к тактируемым регистрам?
12. Какие регистры памяти относятся к стробируемым регистрам?
13. Изобразите схему регистра памяти с однофазным вводом информации (в прямом коде).
14. Изобразите схему регистра памяти, в который информация вводится парафазным кодом.
15. Изобразите условное обозначение и таблицу истинности регистра ИР22. Поясните его работу.
16. Изобразите условное обозначение и таблицу истинности регистра ИР27. Поясните его работу.
17. Изобразите условное обозначение и таблицу истинности регистра ИР37. Поясните его работу.
18. Какие регистры называются сдвигowymi? Назовите режимы их работы.
19. Изобразите условное обозначение и таблицу истинности регистра ИР8. Поясните его работу.
20. На примере регистра ИР8 объясните увеличение разрядности.
21. Изобразите условное обозначение и таблицу истинности регистра ИР24. Поясните его работу.
22. На примере регистра ИР24 объясните увеличение разрядности.
23. Какие способы вывода информации вы знаете?
24. Изобразите схему вывода m -разрядного числа из регистра в прямом коде со старшего разряда на одну шину.
25. Изобразите схему вывода m -разрядного числа из регистра в обратном коде с младшего разряда на одну шину.
26. Изобразите схему вывода m -разрядного числа из регистра в прямом или обратном коде со старшего разряда на одну шину.
27. Изобразите схему вывода m -разрядного числа из регистра в прямом или обратном коде с младшего разряда на одну шину.
28. Изобразите схему вывода m -разрядного числа из регистра в прямом и обратном коде (парафазным кодом) с младшего разряда.

Индивидуальное задание

З а д а н и е 1. Согласно заданному преподавателем варианту начертите схему и диаграмму работы указанного в таблице 4-разрядного регистра.

Вариант	Триггер	Тип ввода	Тип вывода	Вводимые данные
1	2	3	4	5
1	DC с установочными «не RS»	Параллельным кодом с предварительной установкой в 0 (высоким)	Со старшего в прямом коде с обнулением регистра	0111
2	DC с установочными «не R–не S»	Парафазным	С младшего в прямом с обнулением регистра	1010
3	DC с установочными «не R–не S»	Параллельным кодом с предварительной установкой в 15 ₁₀ (низким)	Парафазным со старшего с обнулением регистра	1100
4	DC с установочными RS	В прямом с младшего	В прямом или обратном коде на 4-х разрядную шину	1000
5	СJK с установочными не RS	Параллельным кодом с предварительной установкой в 0 (низким)	В прямом или обратном коде со старшего с обнулением регистра	1010
6	СJK с установочными «не R–не S»	Параллельным кодом с предварительной установкой в 0 (высоким)	Парафазным со старшего	0011
7	СJK с установочными R «не S»	Парафазным	В обратном коде со старшего с обнулением регистра	1101
8	СJK с установочными «не RS»	В обратном с младшего	Парафазным	1101
9	Асинхронный JK	В прямом со старшего	В обратном или прямом коде на 4-разрядную шину	0010

Окончание табл. 4.4

1	2	3	4	5
10	Асинхронный не JK	В прямом с младшего	Парафазным	1000
11	Асинхронный J не K	Парафазным	В обратном коде с младшего	0001
12	T с установочными не RS	В обратном со старшего	Парафазный на две шины	0101
13	T с установочными не R–не S	В прямом со старшего	В прямом или в обратном коде на 4-разрядную шину	0110
14	T с установочными R не S	В обратном с младшего	Парафазным	0100
15	T с установочными RS	В обратном с младшего	В обратном коде на две 4-разрядные шины	1010
16	D	Параллельным кодом в прямом	В прямом коде на две 4-разрядные шины	1011
17	Синхронный JK без установочных	Параллельным кодом с предварительной установкой в 0 (высоким)	В прямом с младшего с обнулением регистра	1100
18	–C–JK с установочными R–S	Параллельным кодом с предварительной установкой в 0 (низким)	В прямом со старшего с обнулением регистра	1101
19	–CJ–K без установочных	Парафазным	В прямом или обратном кодах со старшего	0100
20	–CJK с установочными установочных не RS	Параллельным кодом с предварительной установкой в 0 (низким)	В прямом с младшего с обнулением регистра	0101
21	–C–J–K с установочными установочных не R–не S	Параллельным кодом с предварительной установкой в 0 (высоким)	В прямом с младшего с обнулением регистра	0011

5. СЧЕТЧИКИ

5.1. Общие сведения

Счетчик представляет собой устройство, которое осуществляет счет сигналов, поступающих на его вход, и хранение накапливаемой величины.

В основе любого счетчика лежат триггеры, но в счетчиках триггеры соединены более сложными связями.

Внутренняя память счетчиков – оперативная, то есть ее содержимое сохраняется только до тех пор, пока включено питание схемы.

В цифровых приборах счетчик используется для формирования последовательности чисел, для деления частоты и подсчета количества сигналов.

Как следует из самого названия, счетчики предназначены для счета входных импульсов, то есть с приходом каждого нового входного импульса двоичный код на выходе счетчика увеличивается (или уменьшается) на единицу (рис. 5.1). Срабатывать счетчик может по отрицательному фронту входного (тактового) сигнала (как на рисунке) или по положительному фронту.

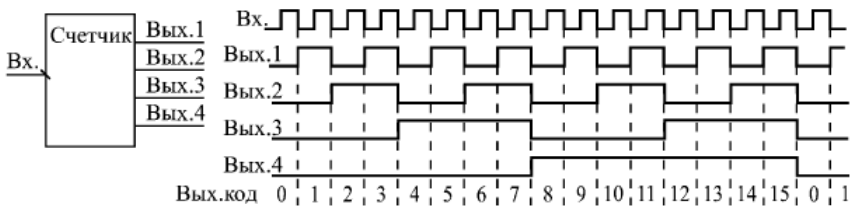


Рис. 5.1. Работа 4-разрядного двоичного счетчика

Режим счета обеспечивается использованием внутренних триггеров, работающих в счетном режиме. Выходы счетчика представляют собой выходы триггеров. Каждый выход счетчика представляет собой разряд двоичного кода, причем разряд, переключающийся чаще других (по каждому входному импульсу), будет младшим, а разряд, переключающийся реже других, – старшим.

Число разрядов счетчика определяется максимальной разрядностью числа, которое должно в нем храниться. Двоичный N -разрядный счетчик имеет 2^N различных состояний. Каждому состоянию счетчика соответствует двоичное число, начиная от 0 до $N-1$.

Счетчик, образованный цепочкой из m триггеров может подсчитать в двоичном коде 2^m импульсов, то есть его коэффициент (модуль) счета $K_{сч} = 2^m$. Каждый из триггеров называется разрядом счетчика.

К основным параметрам счетчика кроме $K_{сч}$ относятся разрешающая способность (t_p) и время установления кода ($t_{уст}$).

Разрешающая способность – минимально допустимый интервал времени между входными импульсами, при котором еще не происходит сбоя, то есть пропуска счета сигналов.

Время установки кода – это интервал времени между моментом поступления на вход импульса счета и моментом завершения перехода счетчика в нулевое состояние.

По направлению счета счетчики классифицируются следующим образом:

- суммирующие;
- вычитающие;
- реверсивные.

Суммирующие счетчики работают на увеличение выходного кода по каждому входному импульсу; это основной режим, имеющийся во всех счетчиках, он называется режимом прямого счета.

По модулю счета счетчики делятся:

- на двоичные;
- двоично-десятичные;
- с произвольным модулем счета.

Большинство счетчиков работает в обычном двоичном коде (двоичные счетчики), то есть считают от 0 до $(2N - 1)$, где N – число разрядов выходного кода счетчика. Четырехразрядный счетчик в режиме прямого счета будет считать от 0 (код 0000) до 15 (код 1111). После максимального значения кода счетчик по следующему входному импульсу переключается опять в нуль, то есть работает по кругу. Если же счет – инверсный, то счетчик считает до нуля, а дальше переходит к максимальному коду 111...1.

В двоично-десятичных счетчиках предельный код на выходе не превышает максимального двоично-десятичного числа, возможного при данном количестве разрядов. Например, 4-разрядный двоично-десятичный счетчик в режиме прямого счета будет считать от 0 (код 0000) до 9 (код 1001), а затем снова от 0 до 9. При инверсном счете

двоично-десятичные счетчики считают до нуля, а со следующим входным импульсом переходят к максимально возможному двоично-десятичному числу (то есть 9 – для 4-разрядного счетчика).

Двоично-десятичные счетчики удобны, например, при организации десятичной индикации их выходного кода.

По способу организации внутренних связей счетчики классифицируются как устройства:

- с последовательным переносом (асинхронные счетчики);
- параллельным переносом (синхронные счетчики);
- комбинированным переносом;
- кольцевые.

Классификационные признаки независимы и могут встречаться в различных сочетаниях, например, счетчик может быть двоичный суммирующий с параллельным переносом.

Принципиальные различия между этими группами проявляются только на втором уровне представления, на уровне модели с временными задержками. Причем больше всего эти различия проявляются при каскадировании счетчиков. Наибольшим быстродействием обладают синхронные счетчики, наименьшим – асинхронные, наиболее просто управляемые по сравнению с другими. Каждая группа счетчиков имеет свою область применения.

5.2. Счетчики с последовательным переносом (асинхронные счетчики)

Асинхронные счетчики строятся из простой цепочки триггеров, каждый из которых работает в счетном режиме. Выходной сигнал каждого триггера служит входным сигналом для следующего триггера. Поэтому все разряды (выходы) асинхронного счетчика переключаются последовательно (отсюда название – последовательные счетчики), один за другим, начиная с младшего и кончая старшим. Каждый следующий разряд переключается с задержкой относительно предыдущего.

Чем больше разрядов имеет счетчик, тем большее время ему требуется на полное переключение всех разрядов. Задержка переключения каждого разряда примерно равна задержке триггера ($t_{з.тр}$), а полная задержка установления кода на выходе счетчика равна задержке одного разряда, умноженной на число разрядов счетчика.

При периоде входного сигнала, меньшем полной задержки установления кода всего счетчика, правильный код на выходе счетчика не успеет установиться. Это накладывает жесткие ограничения на период (частоту) входного сигнала ($F_{сч}$), причем увеличение количества разрядов счетчика, к примеру, автоматически уменьшает вдвое предельно допустимую частоту входного сигнала.

5.2.1. Суммирующие счетчики

Процесс двоичного счета может быть описан посредством таблицы последовательности чисел, в которой каждое число соответствует определенному состоянию счетчика. Состояние 3-разрядного суммирующего счетчика описывается табл. 5.1.

Исходным состоянием такого счетчика является нулевое состояние.

На вход счетчика поступает последовательность счетных сигналов T_0 .

Таблица 5.1

Процесс двоичного счета суммирующего счетчика

Номер состояния	Q2	Q1	Q0	T0
0	0	0	0	0
	0	0	0	1
1	0	0	1	0
	0	0	1	1
2	0	1	0	0
	0	1	0	1
3	0	1	1	0
	0	1	1	1
4	1	0	0	0
	1	0	0	1
5	1	0	1	0
	1	0	1	1
6	1	1	0	0
	1	1	0	1
7	1	1	1	0
	1	1	1	1

Из таблицы следует, что с приходом очередного счетного импульса T_0 к содержимому счетчика прибавляется единица. При этом на единицу увеличивается номер состояния, являющийся десятичным эквивалентом соответствующего данному состоянию двоичного числа.

Изменение состояния каждого последующего разряда происходит при изменении состояния предыдущего разряда от 1 к 0. Это означает, что всякий раз, когда данный триггер в счетчике переходит из состояния 1 в состояние 0, на его выходе должен формироваться сигнал переноса, вызывающий срабатывание следующего триггера. Если же данный триггер переходит из 0 в 1, то сигнала переноса на его выходе не должно быть.

Из табл. 5.1 также следует, что триггер первого, самого младшего разряда, должен менять свое состояние каждый раз с приходом очередного счетного импульса, а триггер каждого последующего разряда – вдвое реже триггера предыдущего разряда.

Описанные порядок смены состояний счетчика и характер процесса их установления могут быть реализованы, если счетчик будет построен на последовательно соединенных Т триггерах.

Каждый последующий разряд при этом будет переключаться сигналом переноса, формируемым на выходе предыдущего разряда.

Счетные импульсы должны быть поданы на вход триггера самого младшего разряда.

Счетчики, построенные таким образом, получили название счетчиков с последовательным переносом.

Схема суммирующего счетчика с последовательным переносом на Т триггерах приведена на рис. 5.2, а.

Диаграмма работы суммирующего счетчика представлена на рисунке (рис. 5.2, б).

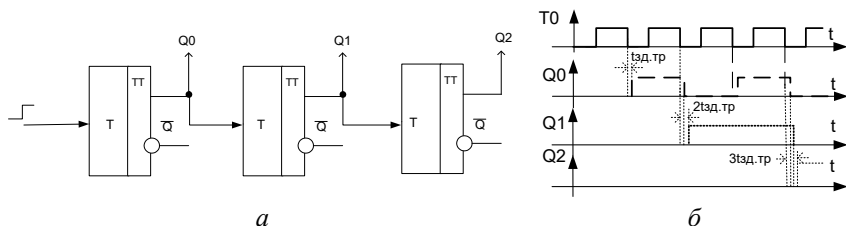


Рис. 5.2. Суммирующие счетчики

Максимальная частота работы такого счетчика определяется максимально допустимой частотой переключения его младшего разряда.

Частота следования сигналов счета составляет

$$F_{\text{сч}} \leq 1 / (t_{\text{сч}} + t_{\text{зд.тр}}).$$

Числа, формируемые счетчиком, могут быть выведены из него в параллельном коде (прямой или обратный) посредством одновременного опроса состояний всех разрядов счетчика. Такой опрос может происходить только в паузе между сигналами счета, то есть после того, как завершится переходный процесс, связанный с переключением триггерной схемы.

В этом случае минимальный период следования счетных импульсов должен быть увеличен на время, необходимое для полного переключения всех m -разрядов счетчика и опроса его состояния:

$$T_{\text{сч}} \geq t_{\text{сч}} + m \cdot t_{\text{зд.т}} + t_{\text{опр}}.$$

где $t_{\text{сч}}$ – длительность счетного импульса T_0 ;

$t_{\text{зд.т}}$ – время переключения триггера;

$t_{\text{опр}}$ – длительность сигнала опроса.

На рис. 5.3 представлена функциональная схема (а) и условное обозначение (б) суммирующего двоичного счетчика с последовательным переносом с предварительной установкой в нулевое состояние.

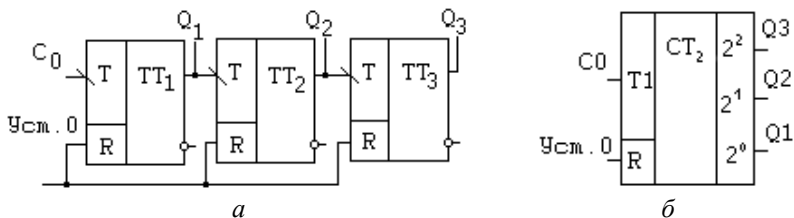


Рис. 5.3. Функциональная схема (а) и условное обозначение (б) суммирующего двоичного счетчика с последовательным переносом с предварительной установкой в нулевое состояние

Для установки исходного состояния служит шина «Уст.0», в которой объединены установочные R-входы всех триггеров. Нулевое состояние триггеров устанавливается подаваемым по этой шине положительным импульсом напряжения между уровнями 0 и 1.

На левом поле условного графического обозначения счетчика (рис. 53, б) показано, что его входом является Т1 – вход первого разряда, а на правом поле указан «вес» каждого разряда.

5.2.2. Вычитающие счетчики

Вычитающий счетчик с последовательным переносом имеет обратный порядок смены состояний: с приходом очередного счетного импульса содержащееся в счетчике число уменьшается на единицу (табл. 5.2).

Таблица 5.2

Процесс двоичного счета вычитающего счетчика

Номер состояния	Q2	Q1	Q0	T0
0	1	1	1	0
	1	1	0	1
1	1	1	0	0
	1	0	1	1
2	1	0	1	0
	1	0	0	1
3	1	0	0	0
	0	1	1	1
4	0	1	1	0
	0	1	0	1
5	0	1	0	0
	0	0	1	1
6	0	0	1	0
	0	0	0	1
7	0	0	0	0
	1	1	1	1

Другая особенность вычитающего счетчика – триггер каждого последующего разряда переключается в противоположное состояние при изменении уровня на выходе триггера предыдущего разряда от 0 к 1, то есть при сигнале займа, обратном сигналу переноса в суммирующем счетчике.

Строится вычитающий счетчик так же, как суммирующий, но с тем отличием, что со входом каждого последующего триггера в отличие от рис. 5.4, *a* соединяется инверсный выход предыдущего триггера.

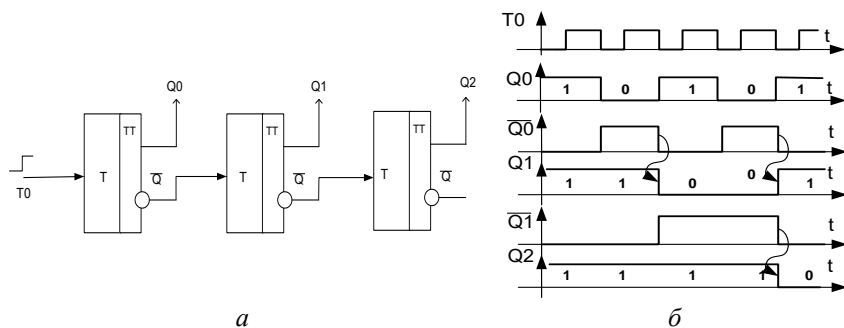


Рис. 5.4. Вычитающий счетчик с последовательным переносом (*a*) и диаграмма его работы (*б*)

Кроме суммирующих и вычитающих счетчиков имеются реверсивные счетчики.

Реверсивные счетчики изменяют направление счета под воздействием управляющего сигнала. На рис. 5.2 и 5.3 видно, что счетчики прямого и обратного счета различаются лишь точкой съема сигнала, подаваемого с предыдущего разряда на последующий. Если управляющий сигнал перестраивает межразрядные связи, перенося точку съема сигнала с одного выхода триггера на другой, то реализуется схема реверсивного счетчика (рис. 5.5).

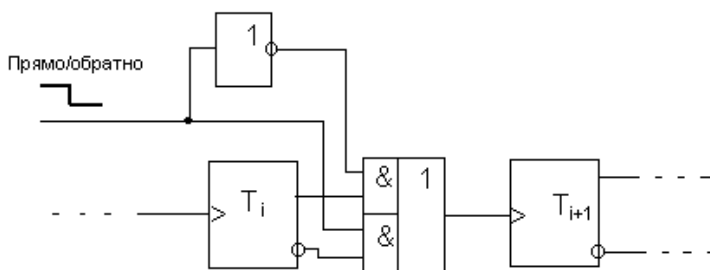


Рис. 5.5. Реверсивный счетчик

У асинхронных счетчиков (или счетчиков с последовательным переносом) каждый триггер переключается выходным сигналом пре-

дыдущего триггера. Временные соиздания сигналов в таких счетчиках отсутствуют, поскольку триггеры переключаются поочередно один за другим. Последовательные счетчики отличаются простотой схемы, но обладают низким быстродействием.

В составе стандартных серий цифровых микросхем асинхронных счетчиков немного. Для примера на рис. 5.6 приведен 4-разрядный двоичный счетчик ИЕ5.

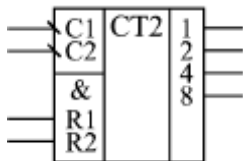


Рис. 5.6. ИС асинхронного счетчика ИЕ5

Счетчик ИЕ5 имеет две части: один триггер (одноразрядный счетчик) со входом С1 и выходом 1 и три триггера (трехразрядный счетчик) со входом С2 и выходами 2, 4, 8. Оба счетчика – двоичные, то есть первый считает до двух, а второй – до восьми.

При объединении входа С2 с выходом 1 получается 4-разрядный двоичный счетчик, считающий до 16. Счет производится по отрицательному фронту входных сигналов С1 и С2. Предусмотрена возможность сброса счетчика в нуль по сигналам R1 и R2, объединенным по функции И.

Таблица истинности счетчика ИЕ5 при соединении входа С2 и выхода 1 (при 4-разрядном выходном коде) приведена в табл. 5.3.

Таблица 5.3

Таблица истинности счетчика ИЕ5

Выходы			Выходы			
С1	R1	R2	8	4	2	1
X	1	1	0	0	0	0
1→0	0	X	Счет			
1→0	X	0	Счет			

5.2.3. Увеличение разрядности асинхронных счетчиков

Для получения счетчика требуемой разрядности приходится объединять (каскадировать) несколько интегральных микросхем.

На рис. 5.7 показано соединение трех счетчиков ИЕ5 для получения 12-разрядного асинхронного счетчика со сбросом в нуль.

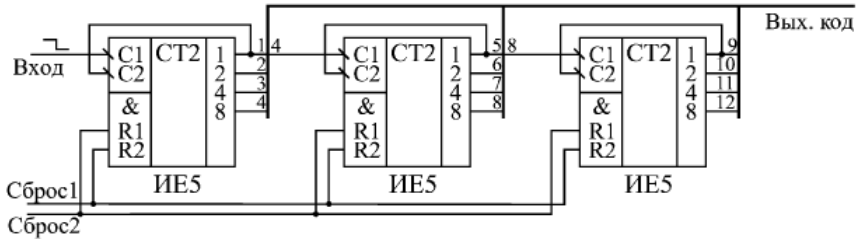


Рис. 5.7. Объединение трех счетчиков ИЕ5 для увеличения разрядности

5.2.4. Применение асинхронных счетчиков

Основное применение асинхронных счетчиков состоит в построении всевозможных делителей частоты, то есть устройств, выдающих выходной сигнал с частотой, в несколько раз меньшей, чем частота входного сигнала. В данном случае нас интересует не выходной код счетчика, то есть не все его разряды одновременно, а только один разряд.

Простейший пример такого делителя частоты на десять приведен на рис. 5.8. В делителе использован счетчик ИЕ2, у которого одно-разрядный внутренний счетчик включен после трехразрядного внутреннего счетчика. Трехразрядный счетчик делит частоту входного сигнала на пять, но выходные импульсы имеют скважность, не равную двум (она равна пяти).

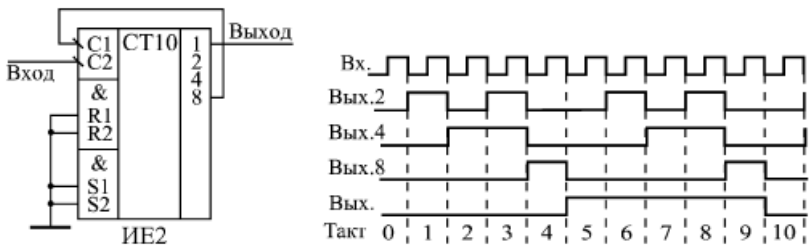


Рис. 5.8. Делитель частоты на 10

Иногда возникает задача деления частоты входного сигнала в произвольное число раз (не в 10 и не в 2^n , что легко обеспечивается самой структурой стандартных счетчиков). В этом случае можно организовать сброс счетчика при достижении им требуемого кода путем введения обратных связей.

На рис. 5.9 показан простейший делитель частоты на девять на основе счетчика ИЕ9. При достижении его выходным кодом значения девять (то есть 1001) счетчик автоматически сбрасывается в нуль по входам R1 и R2, и счет начинается снова. В результате частота выходного сигнала в девять раз меньше частоты входного.

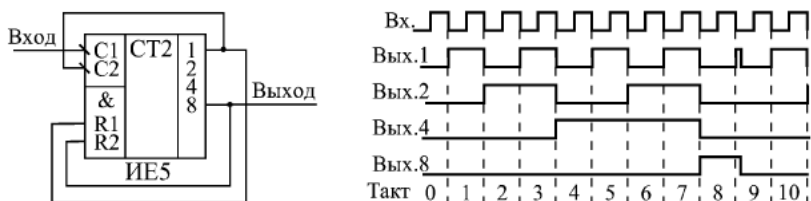


Рис. 5.9. Делитель частоты на девять с обратными связями

Если в числе, на которое надо делить частоту, больше двух единиц (например, 15, то есть 1111, или 13, то есть 1101), то для формирования сигнала сброса надо использовать элементы 2И, 3И или 4И, чтобы объединить все выходы, равные единице. В результате можно построить делитель входной частоты в любое число раз от 2 до 2^N , где N – число разрядов используемого счетчика.

5.3. Счетчики с параллельным переносом (синхронные счетчики)

Из работы трехразрядного счетчика с последовательным переносом следует, что в наихудшем случае новое его состояние устанавливается с задержкой, равной утроенной задержке переключения одного триггера, что вызвано последовательным во времени распространением сигнала переноса через все разряды счетчика.

Один из широко применяемых способов ускорения переноса в счетчике основан на введении логических элементов, с помощью которых достигается возможность одновременного (параллельного) формирования сигнала переноса для всех разрядов.

Для реализации этого способа применяют TV триггеры. На Т-входы всех триггеров одновременно подаются счетные импульсы, а на V-вход каждого триггера поступает сигнал переноса, формируемый логической схемой в виде уровня 1.

Пример суммирующего счетчика с параллельным переносом на TV триггерах приведен на рис. 5.10.

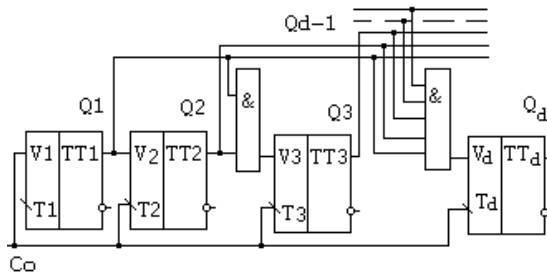


Рис. 5.10. Суммирующий счетчик с параллельным переносом

Быстродействие этого счетчика выше, чем счетчика с последовательным переносом, поскольку оно равно быстродействию переноса одного разряда.

Недостаток – необходимость включения в схему элемента И с нарастающим от разряда к разряду числом входов. Это нарушает регулярность структуры и ограничивает возможность наращивания его схемы. Частично этот недостаток можно устранить при использовании триггеров с входной логикой.

Многие серии микросхем содержат JK триггеры с входной логикой. При реализации счетчика на таких триггерах исключаются дополнительные логические элементы в цепях переноса. Однако ограничение в числе разрядов остается. На таких триггерах можно построить лишь четырехразрядный счетчик (рис. 5.11).

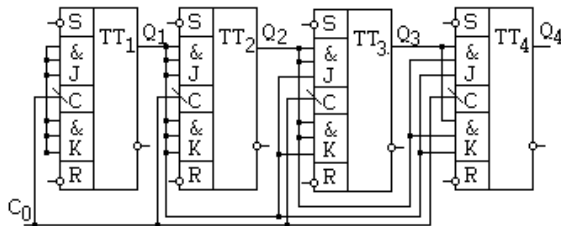


Рис. 5.11. Счетчик на JK триггерах с входной логикой

Вычитающий счетчик с параллельным переносом строится так же, как и суммирующий, но сигналы переноса снимаются с инверсных относительно используемых в суммирующем счетчике выходов триггеров.

5.3.1. Синхронные счетчики с асинхронным переносом

Синхронные счетчики с асинхронным переносом занимают промежуточное положение по быстродействию между асинхронными и полностью синхронными счетчиками.

Основная суть их работы сводится к следующему: все разряды одного счетчика переключаются одновременно, но при каскадировании каждый следующий счетчик (имеющий более старшие разряды) переключается с задержкой относительно предыдущего счетчика (дающего более младшие разряды). То есть задержка переключения многоразрядного счетчика увеличивается в данном случае не с каждым новым разрядом (как у асинхронных счетчиков), а с каждой новой микросхемой (например, 4-разрядной).

Сигнал переноса у этих счетчиков при прямом счете вырабатывается тогда, когда все разряды равны единице.

Примером синхронного счетчика с асинхронным переносом может служить двоично-десятичный счетчик ИЕ6 (рис. 5.12). Счетчик реверсивный, обеспечивает как прямой счет (по положительному фронту на входе +1), так и обратный счет (по положительному фронту на входе -1). При прямом счете отрицательный сигнал переноса вырабатывается на выходе >9. При обратном (инверсном) счете отрицательный сигнал переноса вырабатывается на выходе < 0 после достижения выходным кодом значения 0000. Имеется возможность сброса счетчика в нуль положительным сигналом на входе R, а также возможность параллельной записи в счетчик кода со входов D1, D2, D4, D8 по отрицательному сигналу на входе не WR. При параллельной записи информации счетчики ведут себя как регистры-зашелки, то есть выходной код счетчика повторяет входной код, пока на входе не WR присутствует сигнал нулевого уровня.

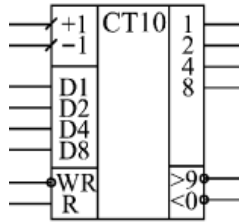


Рис. 5.12. Синхронный счетчик с асинхронным переносом ИЕ6

Таблица режимов работы счетчик приведена в табл. 5.4.

Таблица 5.4

Таблица режимов работы счетчиков ИЕ6

Выходы				Режим работы
R	He WR	+1	-1	
1	X	X	X	Сброс в нуль
0	0	X	X	Параллельная запись
0	1	1	1	Хранение
0	1	0	0	Хранение
0	1	0→1	1	Прямой счет
0	1	1	0→1	Обратный счет

На рис. 5.13 показана организация 12-разрядного счетчика на трех микросхемах ИЕ7. Этот счетчик относится к реверсивным счетчикам: может считать как на увеличение (прямой счет), так и на уменьшение (обратный счет).

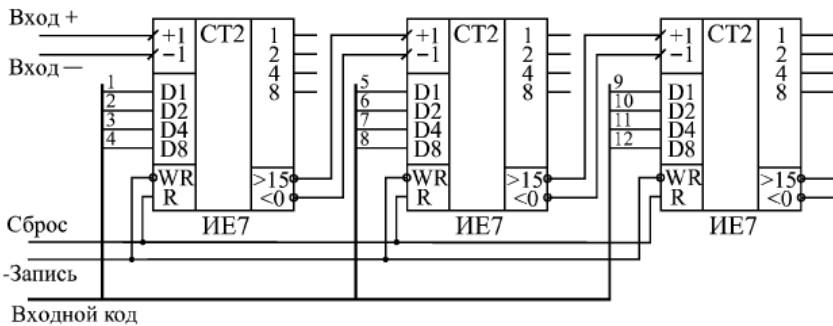


Рис. 5.13. Объединение счетчиков ИЕ7 для увеличения разрядности

5.3.2. Синхронные счетчики с синхронным переносом

Синхронные (или параллельные) счетчики представляют собой наиболее быстродействующую разновидность счетчиков. Нарастание их разрядности при соблюдении определенных условий не приводит к увеличению полной задержки срабатывания, то есть именно синхронные счетчики работают как идеальные, все разряды которых срабатывают одновременно, параллельно. Задержка срабатывания счетчика в этом случае примерно равна задержке срабатывания одного триггера. Достигается такое быстродействие существенным усложнением внутренней структуры микросхемы.

Вместе с тем недостатком синхронных счетчиков является более сложное управление их работой по сравнению с асинхронными счетчиками и с синхронными счетчиками с асинхронным переносом. Поэтому синхронные счетчики целесообразно применять только в тех случаях, когда действительно требуются очень высокое быстродействие и очень высокая скорость переключения разрядов, иначе усложнение схемы управления может быть не оправдано.

В стандартные серии микросхем входят несколько разновидностей синхронных (параллельных). Пример такого счетчика приведен на рис. 5.14.

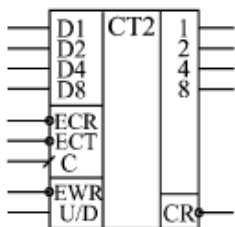


Рис. 5.14. Синхронные ИЕ17 (ИЕ16)

Микросхемы ИЕ16 – двоично-десятичный счетчик, а ИЕ17 – двоичный счетчик с возможностью прямого и обратного счета и отсутствием сигнала сброса в нуль.

Срабатывают счетчики ИЕ16 и ИЕ17 по положительному фронту тактового сигнала С. При нулевом уровне на входе разрешения записи не EWR по фронту сигнала С в счетчик записывается информация со входов данных D1, D2, D4, D8.

При единичном уровне на входе не EWR по положительному фронту сигнала С происходит счет. Направление счета определяется входом U/D: при единице на этом входе счет прямой, при нуле – обратный. Имеются два входа расширения: вход разрешения счета не ECT и вход разрешения переноса не ECR. Различаются эти два входа тем, что сигнал не ECR не только запрещает счет, как сигнал не ECT, но еще и запрещает выработку сигнала переноса. Переключение уровней на входах U/D, не ECT и не ECR надо производить только при единичном уровне на тактовом входе С.

Режимы работы счетчиков ИЕ16 и ИЕ17 приведены в табл. 5.5.

Таблица 5.5

Режимы работы счетчиков ИЕ16 и ИЕ17

Входы					Режим
не EWR	U/D	не ECT	не ECR	С	
0	X	X	X	0→1	Параллельная запись
1	1	0	0	0→1	Прямой счет
1	0	0	0	0→1	Обратный счет
1	X	1	X	X	Хранение
1	X	X	1	X	Хранение

При объединении двух счетчиков (рис. 5.15) выход переноса не CR младшего счетчика соединяется со входом разрешения счета старшего счетчика не ECT. На входы не ECR обоих счетчиков подается нулевой уровень.

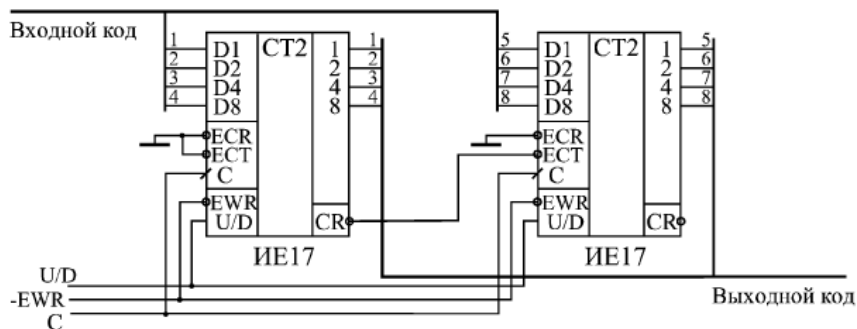


Рис. 5.15. Объединение двух счетчиков ИЕ17

Условие правильной работы будет простым: период тактового сигнала С не должен быть меньше, чем задержка выработки сигнала переноса CR.

При объединении трех счетчиков ситуация несколько усложняется (рис. 5.16). Сигнал с выхода переноса первого счетчика подается на входы не ECT второго и третьего счетчиков. Сигнал с выхода переноса второго счетчика подается на вход не ECR третьего счетчика. В результате третий счетчик будет считать только тогда, когда имеется перенос как у первого, так и у второго счетчика. На рисунке для простоты не показано подключение входных и выходных сигналов, не участвующих в каскадировании.

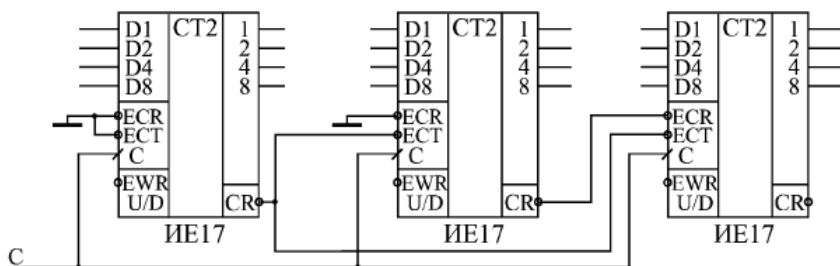


Рис. 5.16. Объединение трех счетчиков ИЕ17

Условие правильной работы схемы остается тем же, что и в случае двух счетчиков: период тактового сигнала С не должен быть меньше задержки выработки сигнала переноса CR.

При объединении четырех (и более) счетчиков возникает проблема, так как у старших счетчиков не остается свободных управляющих входов для собирания всех сигналов переноса более младших счетчиков. Поэтому в данном случае используется способность входного сигнала не ECR запрещать выходной сигнал переноса не CR (рис. 5.17). На четвертый и последующие счетчики подаются уже сигналы переноса не со всех предыдущих счетчиков, а только с первого и с предыдущего. На рисунке для простоты не показано подключение входов и выходов, не участвующих непосредственно в каскадировании.

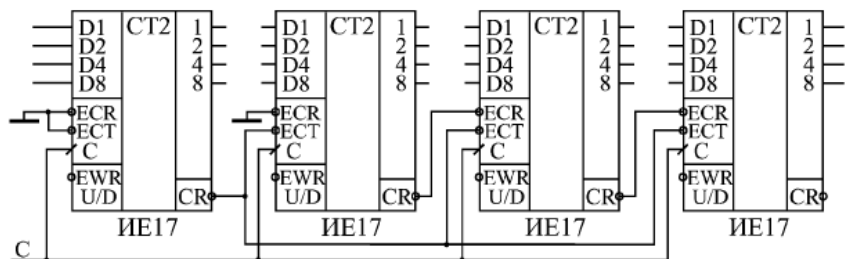


Рис. 5.17. Объединение четырех счетчиков ИЕ17

При таком включении уже происходит накопление задержки сигналов переноса. Максимальной задержка будет для сигнала переноса второго счетчика. Условие правильной работы всех счетчиков будет следующее: период тактового сигнала C не должен быть меньше, чем максимальная суммарная задержка сигналов переноса до входа последнего счетчика. При объединении четырех счетчиков в эту максимальную задержку входят задержка сигнала переноса не CR микросхемы относительно фронта сигнала C и задержка сигнала переноса не CR относительно сигнала не ECR . При объединении пяти счетчиков добавится еще одна задержка сигнала переноса не CR относительно сигнала не ECR и т. д. Поэтому с увеличением количества объединяемых счетчиков допустимая тактовая частота будет снижаться.

5.4. Счетчики с произвольным коэффициентом счета

Двоичные N -разрядные счетчики позволяют осуществлять деление частоты следования сигналов счета с коэффициентом пересчета, равным 2^N . На их основе могут быть построены делители частоты и счетчики с произвольным коэффициентом пересчета.

Для построения пересчетных схем с произвольным коэффициентом деления частоты могут использоваться T триггеры, имеющие дополнительные входы установки триггера в состояние логической 1 (вход S) или установки в состояние логического 0 (вход R).

Если использовать дополнительные (установочные) входы триггера S , то сигнал окончания счета формируется как логическое произведение счетного импульса и сигналов с единичных выходов тех

разрядов счетчика, которые соответствуют единицам в двоичном числе, равном $K - 1$, где K – коэффициент пересчета.

Такие счетчики чаще всего используются для формирования управляющего сигнала после поступления заданного числа счетных импульсов.

На рис. 5.18, *а* приведена схема счетчика с коэффициентом счета, равным шести.

В схеме на рис. 5.18, *а* управляющим сигналом, передаваемым в другую схему, служит сигнал $K_{сч} = 6$ уровня логической 1. На рис. 5.18, *б* приведена диаграмма работы данного счетчика.

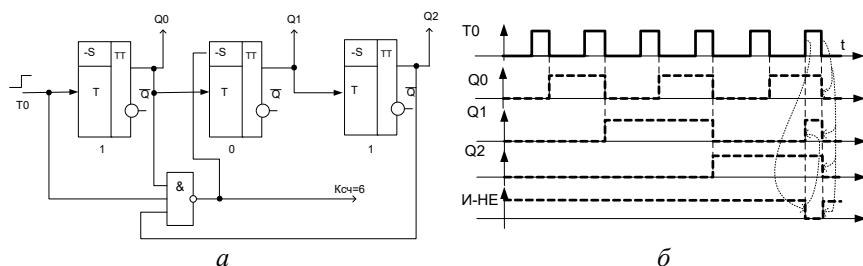


Рис. 5.18. Счетчик с коэффициентом счета (*а*) и диаграмма работы счетчика, организованного на триггерах с дополнительными входами S с коэффициентом счета (*б*)

Если триггеры не имеют дополнительных входов для установки в единичное состояние, но имеют выходы для установки в состояние 0, то счетчик с произвольным коэффициентом счета строится следующим образом: сигнал окончания счета представляет собой логическое произведение единичных разрядов счетчика, которые соответствуют единицам в двоичном числе $K_{сч}$.

Полученный сигнал может быть использован для установки в нуль всех разрядов счетчика.

На рис. 5.19, *а* приведена схема счетчика с коэффициентом счета 5.

На рис. 5.19, *б* приведена диаграмма работы данного счетчика.

Из диаграммы видно, что длительность сигнала, формируемого для одновременного сброса разрядов счетчика в нулевое состояние будет определяться временем переключения самого быстродействующего Т-триггера и может оказаться недостаточной для более медленных триггерных схем.

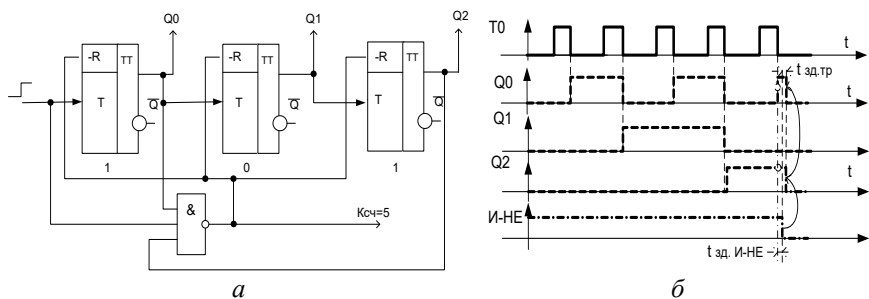


Рис. 5.19. Счетчик с коэффициентом счета 5 (а) и диаграмма работы счетчика, организованного на триггерах с дополнительными входами R с коэффициентом счета 5 (б)

Для обеспечения более надежной работы схемы может быть использован асинхронный RS триггер, который запоминает сигнал окончания счета до поступления следующего счетного импульса.

Схема такого счетчика приведена на рис. 5.20.

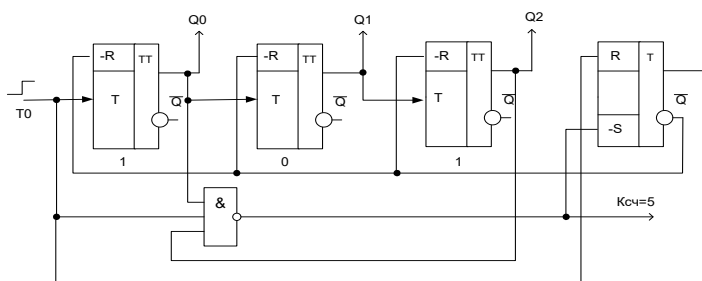


Рис. 5.20. Счетчик с коэффициентом счета 5 с асинхронным R не S триггером

5.5. Контрольные вопросы

1. Что такое счетчик?
2. Что обозначает коэффициент счета?
3. Что такое разрешающая способность счетчика t_p ?
4. Что такое время установления кода $t_{уст}$?
5. Как классифицируются счетчики по направлению счета?
6. Как классифицируются счетчики по модулю счета?
7. Как классифицируются счетчики по способу организации внутренних связей?

8. Как организовать суммирующий счетчик на триггерах с последовательным переносом на Т триггерах?
9. Как организовать вычитающий счетчик на триггерах с последовательным переносом на Т триггерах?
10. Какой счетчик называется реверсивным?
11. Начертите схему реверсивного счетчика на Т триггерах.
12. Как создаются счетчики с коэффициентом счета, не кратным двум?
13. Как реализуется параллельное формирование сигнала переноса во всех разрядах счетчика?
14. Поясните работу счетчика ИЕ2, условное изображение которого приведено на рис. 5.6.
15. Поясните работу счетчика ИЕ5, условное изображение которого приведено на рис. 5.6.
16. Объясните принцип увеличения разрядности счетчиков на примере микросхемы ИЕ2.
17. Объясните принцип работы синхронных счетчиков с асинхронным переносом на примере счетчика ИЕ7.
18. Объясните принцип работы синхронных счетчиков.
19. Как можно построить счетчик с произвольных коэффициентом счета?
20. На каких триггерах строятся регистры памяти?

Индивидуальные задания

Задание 1. Согласно заданному преподавателем варианту начертите схему и диаграмму работы указанного в таблице четырехразрядного счетчика.

Таблица 5.6

Номер варианта	Триггер	Установочные входы	Начальная установка	Тип переноса	Счетчик
1	DC	neRS	5 (высокий)	Последовательный	Суммирующий
2	DC	R не S	6 (низкий)	Последовательный	Реверсивный

Продолжение табл. 5.6

№ варианта	Триггер	Установочные входы	Начальная установка	Тип переноса	Счетчик
3	DC	не R–не S	0 (высокий)	Параллельный	Вычитающий
4	D–не C	RS	7 (низкий)	Параллельный	Реверсивный
5	D–не C	не RS	11 (высокий)	Последовательный	Вычитающий
6	CJK	не R–не S	2 (высокий)	Параллельный	Реверсивный
7	C–не JK	R–не S	3 (низкий)	Последовательный	Реверсивный
8	CJ–не K	не RS	6 (низкий)	Параллельный	Суммирующий
9	не C–не JK	RS	1 (низкий)	Параллельный	Реверсивный
10	не CJ–не K	RS	9 (высокий)	Последовательный	Вычитающий
11	C–не J–не K	R–не S	5 (низкий)	Параллельный	Суммирующий
12	не CJ–не K	не RS	2 (высокий)	Параллельный	Реверсивный
13	не C–не J–не K	не R–не S	1 (низкий)	Параллельный	Вычитающий
14	CJK	R–не S	7 (высокий)	Параллельный	Реверсивный
15	T	RS	4 (низкий)	Параллельный	Суммирующий
16	T	не RS	0 (низкий)	Последовательный	Реверсивный
17	T	R–не S	5 (высокий)	Параллельный	Суммирующий
18	T	не R–не S	3 (низкий)	Параллельный	Реверсивный
19	не R–не SC	не RS	1 (низкий)	Последовательный	Вычитающий

Окончание табл. 5.6

Номер варианта	Триггер	Установочные входы	Начальная установка	Тип переноса	Счетчик
20	R-не SC	RS	0 (высокий)	Параллельный	Суммирующий
21	не RSC	не R-не S	5 (низкий)	Последовательный	Реверсивный

Задание 2. Согласно заданному преподавателем варианту (табл. 5.7) начертите схему N -разрядного счетчика. Поясните последовательность подачи управляющих сигналов на диаграмме.

Таблица 5.7

Номер варианта	Микросхема	Начальная установка счетчика	Разрядность	Счетчик
1	ИЕ2	0	7	Суммирующий
2	ИЕ2	0	5	Суммирующий
3	ИЕ2	0	6	Суммирующий
4	ИЕ2	0	5	Суммирующий
5	ИЕ5	0	5	Суммирующий
6	ИЕ5	0	6	Суммирующий
7	ИЕ5	9	7	Суммирующий
8	ИЕ5	9	7	Суммирующий
9	ИЕ6	1	12	Реверсивный
10	ИЕ6	3	8	Вычитающий
11	ИЕ6	0	16	Суммирующий
12	ИЕ7	2	12	Реверсивный
13	ИЕ7	1	12	Вычитающий
14	ИЕ7	7	16	Суммирующий
15	ИЕ10	4	16	Суммирующий
16	ИЕ10	0	12	Суммирующий
17	ИЕ13	5	16	Суммирующий
18	ИЕ13	3	12	Суммирующий
18	ИЕ17	1	12	Вычитающий
19	ИЕ17	0	16	Суммирующий

20	ИЕ17	5	16	Реверсивный
----	------	---	----	-------------

6. ШИФРАТОРЫ И ДЕШИФРАТОРЫ

6.1. Общие сведения

Шифраторы и дешифраторы относятся к комбинационным устройствам, они не имеют внутренней памяти, как и логические элементы, то есть уровни их выходных сигналов всегда однозначно определяются текущими уровнями входных сигналов и никак не связаны с предыдущими значениями входных сигналов. Любое изменение входных сигналов обязательно изменяет состояние выходных сигналов.

Функции дешифраторов и шифраторов понятны из их названий.

Дешифратор преобразует входной двоичный код в номер выходного сигнала (дешифрирует код), а шифратор преобразует номер входного сигнала в выходной двоичный код (шифрует номер входного сигнала).

На выходе дешифратора всегда присутствует только один сигнал, причем номер этого сигнала однозначно определяется входным кодом. Выходной код шифратора однозначно определяется номером входного сигнала.

6.2. Дешифраторы

Дешифратор – это комбинационное устройство, позволяющее распознавать числа, представленные позиционным n -разрядным кодом.

Полным дешифратором называется дешифратор с n выходами, который позволяет распознавать 2^n чисел.

Если число выходов дешифратора не позволяет распознавать 2^n чисел, то такой дешифратор называют неполным.

Иначе дешифратор называют преобразователем позиционного кода в унитарный.

Унитарным кодом называют код, в котором только в одном его разряде есть логическая единица (для прямых выходов), а в остальных – нули.

Процесс распознавания дешифратором двоичных чисел заключается в том, что в зависимости от набора кода, поступившего на вход дешифратора, сигнал 1 появится только на одном его выходе.

Микросхемы дешифраторов обозначаются на схемах буквами DC (от английского Decoder).

Функциональная схема дешифратора представлена на рис. 6.1.

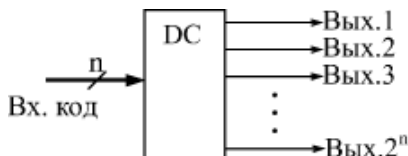


Рис. 6.1. Функциональная схема дешифратора

Дешифраторы применяются для расшифровки адресов ячеек запоминающих устройств, высвечивания букв и цифр на дисплеях и т. д.

В зависимости от разрядности дешифрируемого кода и функциональных возможностей интегральных схем (ИС), имеющих в распоряжении разработчика, дешифратор может быть выполнен на основе одноступенчатой (линейной) или многоступенчатой схемы дешифрации.

В табл. 6.1 показана таблица истинности m -входового дешифратора. Данный дешифратор имеет m входов и n выходов.

Таблица 6.1

Таблица истинности

Входы					Выходы							
X_1	X_2	X_3	...	X_{m-1}	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	...	Y_{n-1}
0	0	0	...	0	1	0	0	0	0	0	...	0
0	0	1	...	0	0	1	0	0	0	0	...	0
0	1	0	...	0	0	0	1	0	0	0	...	0
0	1	1	...	0	0	0	0	1	0	0	...	0
1	0	0	...	0	0	0	0	0	1	0	...	0
1	0	1	...	0	0	0	0	0	0	1	...	0
			

1	1	1	...	1	0	0	0	0	0	0	...	1
---	---	---	-----	---	---	---	---	---	---	---	-----	---

Линейные дешифраторы выполняются прямой схемой реализацией системы логических выражений вида

$$Y_0 = \overline{X_0} * \overline{X_1} * \overline{X_2} * \dots * \overline{X_{m-1}} \quad (1)$$

$$Y_1 = X_0 * \overline{X_1} * \overline{X_3} * \dots * \overline{X_{m-1}} \quad (2)$$

$$Y_2 = \overline{X_0} * X_1 * \overline{X_3} * \dots * \overline{X_{m-1}} \quad (3)$$

$$Y_{n-1} = \overline{X_0} * \overline{X_1} * \dots * \overline{X_3} * \dots * X_{m-1} \quad (n)$$

где Y_0, Y_1, \dots, Y_{n-1} – выходные логические функции;

X_1, X_2, \dots, X_{m-1} – входные логические переменные и их отрицания;

* – знак логического умножения;

$n = 2^m$ – множество комбинаций входных переменных (число выходов полного дешифратора).

Таким образом, линейный дешифратор представляет собой 2^m независимых по выходам вентилях с m входами каждый. На рис. 6.2 показана схема четырехразрядного линейного дешифратора.

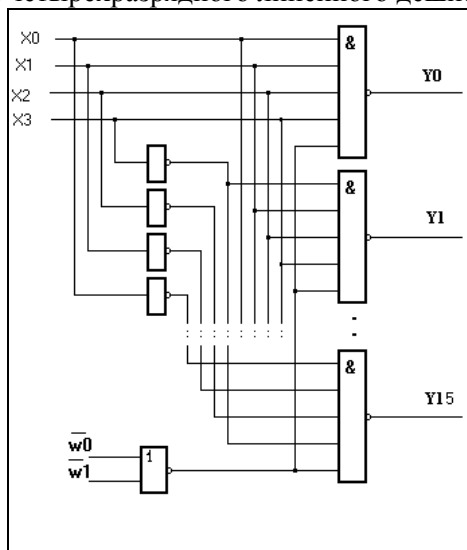


Рис. 6.2. Функциональная схема линейного четырехразрядного двоичного дешифратора

Одноступенчатые линейные дешифраторы эффективны, когда разрядность входного кода не превышает числа входов схемы И типового логического элемента ИС.

Линейный одноступенчатый дешифратор обладает самым высоким быстродействием в сравнении с другими типами дешифраторов.

В отечественных сериях микросхемы дешифраторов обозначаются буквами ИД. На рис. 6.3 показаны наиболее типичных микросхемы дешифраторов.

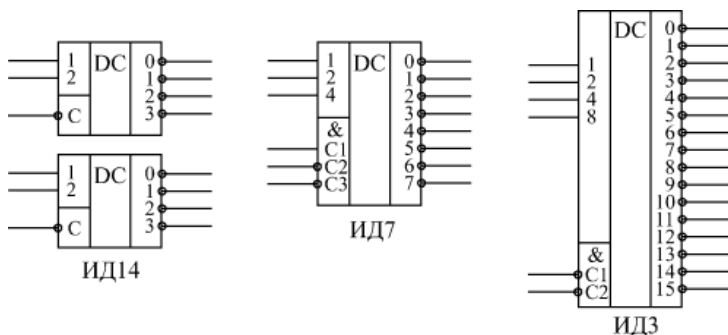


Рис. 6.6. Примеры микросхем дешифраторов

Код на входах 1, 2, 4, 8 определяет номер активного выхода (вход 1 соответствует младшему разряду кода, вход 8 – старшему разряду кода). Входы разрешения C1, C2, C3 объединены по функции И и имеют указанную на рисунке полярность.

6.2.1. Применение дешифраторов

Наиболее типичное применение дешифраторов состоит в дешифрировании входных кодов, при этом входы С используются как стробирующие, управляющие сигналы.

Номер активного (то есть нулевого) выходного сигнала показывает, какой входной код поступил.

Если нужно дешифровать код с большим числом разрядов, то можно объединить несколько микросхем дешифраторов (рис. 6.4).

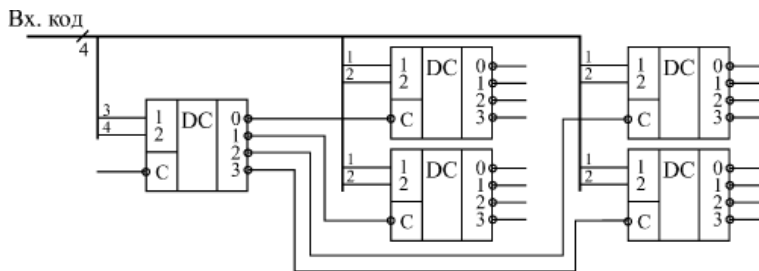


Рис. 6.4. Увеличение количества разрядов дешифратора

При этом старшие разряды кода подаются на основной дешифратор, выходы которого разрешают работу нескольких дополнительных дешифраторов.

На объединенные входы этих дополнительных дешифраторов подаются младшие разряды входного кода.

Из пяти микросхем дешифраторов 2–4 можно получить дешифратор 4–16, как показано на рисунке.

Точно так же из девяти микросхем 3–8 можно получить дешифратор 6–64, а из семнадцати микросхем 4–16 – дешифратор 8–256.

Еще одно распространенное применение дешифраторов – селекция (выбор) заданных входных кодов. Появление отрицательного сигнала на выбранном выходе дешифратора будет означать поступление на вход интересующего нас кода. Например, две микросхемы 4–16 позволяют селектировать 8-разрядный код (рис. 6.5).

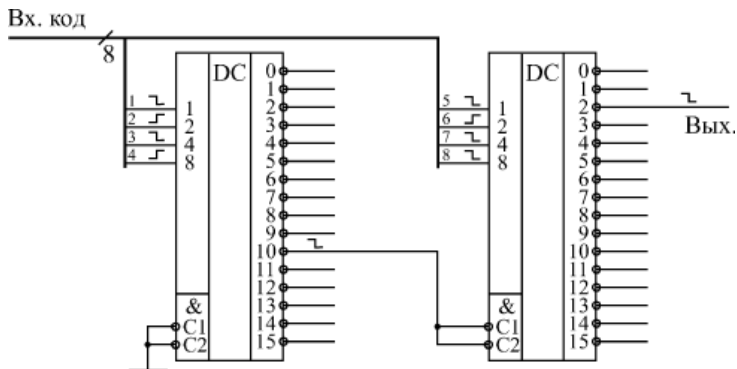


Рис. 6.5. Селектирование кода на дешифраторах

В примере на рис. 6.5 селектируется 16-ричный код 2А (двоичный код 0010 1010). При этом один дешифратор работает с младшими четырьмя разрядами кода, а другой – со старшими четырьмя разрядами. Объединяются дешифраторы так, что один из них решает работу другого по входам не С1 и не С2.

Еще одно важное применение дешифраторов состоит в перекоммутации одного входного

Дешифраторы, имеющие выходы типа ОК (ИД5, ИД10), удобно применять в схемах позиционной индикации на светодиодах. На рис. 6.6 приведен пример такой индикации на микросхеме ИД5, которая представляет собой два дешифратора 2–4 с объединенными входами для подачи кода и стробами, позволяющими легко строить дешифратор 3–8. При этом старший разряд кода выбирает один из дешифраторов 2–4 (ноль соответствует верхнему по схеме дешифратору, а единица – нижнему). То есть в данном случае номер горящего светодиода равен входному коду дешифратора.

Такая индикация называется позиционной.

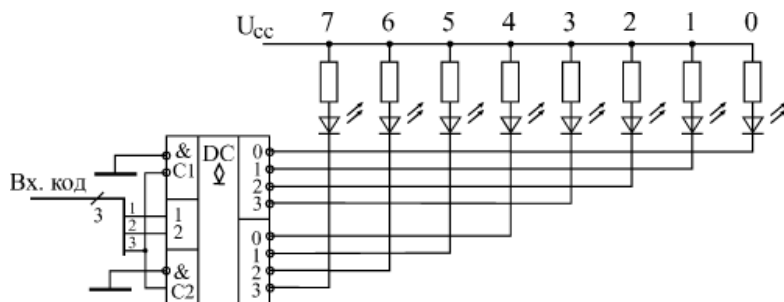


Рис. 6.6. Позиционная индикация на дешифраторе с выходами ОК

Выходы микросхем дешифраторов с ОК можно объединять между собой для реализации проводного ИЛИ (рис. 6.7).

Ноль на объединенном выходе будет тогда, когда хотя бы на одном из выходов вырабатывается ноль.

При равномерном пошаговом наращивании входного кода (например, с помощью счетчика) такое решение позволяет формировать довольно сложные последовательности выходных сигналов. Правда, каждый выход дешифратора может использоваться для по-

лучения только одного выходного сигнала. Это ограничивает возможности таких схем.

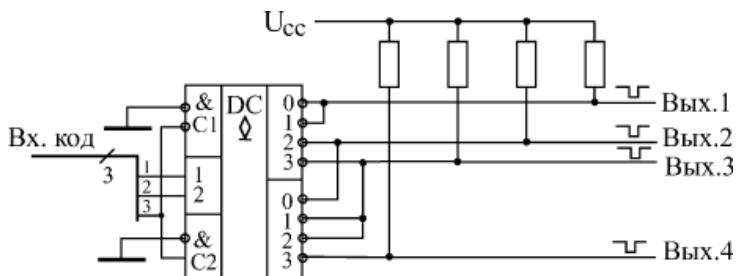


Рис. 6.7. Объединение выходов дешифраторов с ОК

6.3. Шифраторы

Шифраторы – это комбинационные устройства, выполняющие функции обратные дешифратору.

При подаче сигнала на один из его входов (унитарный код) на выходе образовывается соответствующий двоичный код. Следовательно, если число входов шифратора 2^n , то число выходов – n .

Функциональная схема шифратора представлена на рис. 6.8.

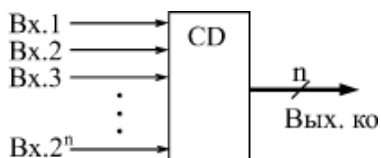


Рис. 6.8. Функциональная схема шифратора

Шифраторы используются гораздо реже, чем дешифраторы. Это связано с более специфической областью их применения. Значительно меньше и выбор микросхем шифраторов в стандартных сериях.

Микросхемы шифраторов обозначаются CD, в отечественных сериях шифраторы имеют в названии буквы ИВ.

Табл. 6.2 является таблицей состояний шифратора на три выхода.

Таблица 6.2

Таблица состояний

Вход I	Выходы		
	Y1	Y2	Y3
0	0	0	0
1	1	0	0
2	0	1	0
3	1	1	0
4	0	0	1
5	1	0	1
6	0	1	1
7	1	1	1

Каждый из трех выходов описывается логическим выражением:

$$Y3 = X4 + X5 + X6 + X7;$$

$$Y2 = X2 + X3 + X6 + X7;$$

$$Y1 = X1 + X3 + X5 + X7.$$

Эти функции реализуются элементами ИЛИ, на выходах которых формируется требуемый код.

На рис. 6.9 показаны микросхемы шифраторов ИВ1 и ИВ5.

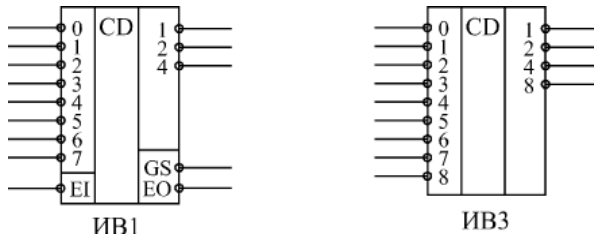


Рис. 6.9. Микросхемы шифраторов

Микросхема ИВ1 имеет восемь входов и три выхода (шифратор 8–3).

Микросхема ИВ2 имеет девять входов и четыре выхода (шифратор 9–4).

Все входы шифраторов – инверсные (активные входные сигналы – нулевые).

Все выходы тоже инверсные, то есть формируется инверсный код.

Микросхема ИВ1 помимо восьми информационных входов и трех разрядов выходного кода (1, 2, 4) имеет инверсный вход разрешения не EI, выход признака прихода любого входного сигнала не GS, а также выход переноса не EO, позволяющий объединять несколько шифраторов для увеличения разрядности.

На рис. 6.10 показаны стандартная схема включения шифратора и временные диаграммы его работы.

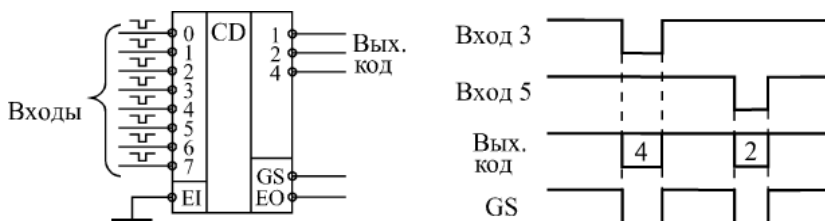


Рис. 6.10. Стандартное включение шифратора

Инверсия выходного кода приводит к тому, что при приходе нулевого входного сигнала на выходе формируется не нулевой код, а код 111, то есть 7. Точно так же при приходе, например, третьего входного сигнала на выходе образуется код 100, то есть 4, а при приходе пятого входного сигнала – код 010, то есть 2.

Наличие у шифраторов входов EI и EO позволяет увеличивать количество входов и разрядов шифратора, правда, с помощью дополнительных элементов на выходе.

На рис. 6.11 показан пример построения шифратора 16–4 на двух микросхемах шифраторов ИВ1 и трех элементах 2И-НЕ.

Одновременное или почти одновременное изменение сигналов на входе шифратора приводит к появлению периодов неопределенности на выходах. Выходной код может на короткое время принимать значение, не соответствующее ни одному из входных сигналов. Поэтому в тех случаях, когда входные сигналы могут приходиться одновременно, необходима синхронизация выходного кода, например, с помощью разрешающего сигнала EI, который должен приходиться только тогда, когда состояние неопределенности уже закончилось.

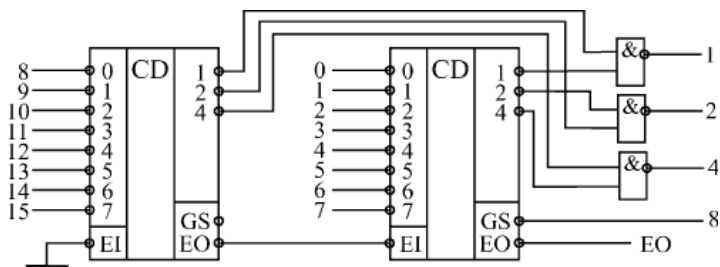


Рис. 6.11. Шифратор 16–4 на двух шифраторах 8–3

Контрольные вопросы

1. Что такое дешифратор?
2. Какой дешифратор называется полным?
3. Что такое унитарный код?
4. Объясните принцип построения линейного дешифратора.
5. Объясните принцип построения матричного дешифратора на функциональном уровне и на уровне логических элементов.
6. Объясните принцип построения пирамидального дешифратора.
7. От чего зависят сложность и быстродействие дешифраторов?
8. Как обозначается микросхема дешифратора?
9. Объясните принцип работы дешифратора на примере микросхемы ИД7.
10. Изобразите дешифратор 4–16 на микросхемах 2–4.
11. Что такое шифратор?
12. Как обозначается микросхема шифратора?
13. Объясните принцип работы шифратора на примере микросхемы ИВ1.

Индивидуальные задания

Задание 1. Начертите схему дешифратора 6–64 на микросхемах ИД7.

Задание 2. Начертите схему дешифратора 24–4 на микросхемах ИВ1.

Задание 3. Начертите схему селектирования 16-разрядного кода.

7. МУЛЬТИПЛЕКСОРЫ, ДЕМУЛЬТИПЛЕКСОРЫ

7.1. Мультиплексоры

Мультиплексоры (англ. multiplexer) – это комбинационные устройства, предназначенные для коммутации одного из нескольких источников логических сигналов к одной выходной шине.

В цифровых устройствах часто возникает задача передачи цифровой информации от источников к одному приемнику. Для этого на входе канала устанавливается устройство, называемое мультиплексором (MS), которое согласно коду адреса подключает к выходу один из источников информации.

Например, из четырех источников D0, D1, D2 и D3, которые подключены к информационным входам мультиплексора, необходимо выбрать один. Для этого должен быть указан номер информационного входа. Обычно он задается двоичным кодом на управляющих входах мультиплексора.

Для MS с двумя информационными входами достаточно одного управляющего входа X0 (рис. 7.1).

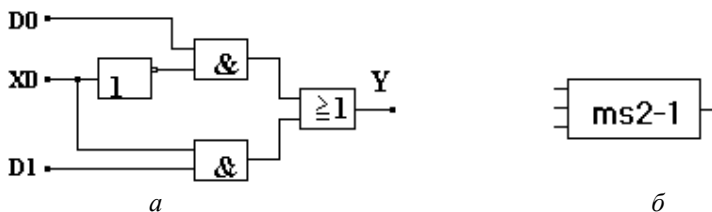


Рис. 7.1. Схема мультиплексора на два входа:
а – логическая; б – обозначение

Обычно мультиплексоры обозначаются так:

- MS2-1 – мультиплексор с двумя информационными входами на один выход;
- MS8-1 – мультиплексор с восемью информационными входами на один выход и т. п.

Функциональная схема мультиплексора, реализованная на дешифраторе, представлена рис. 7.2.

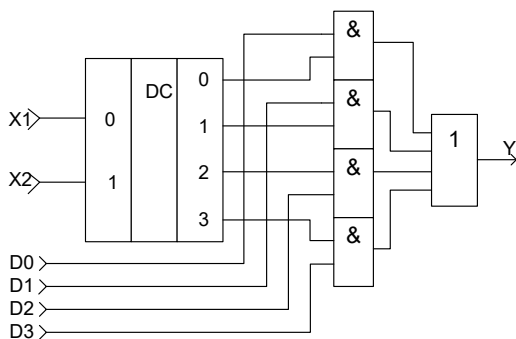


Рис. 7.2. Схема мультиплексора на четырех информационных входа, построенная на дешифраторе

Данный мультиплексор имеет четыре входа информационных данных (D0, D1, D2 и D3) и управляется двухразрядным кодом X1, X2, который подается на вход дешифратора.

Дешифратор формирует единичный сигнал на том выходе, который соответствует управляющему коду, тем самым подавая на выход Y сигнал с выбранной входной шины. Например, если код, подаваемый на X1, X2, равен 0,0, то будет выбран информационный вход D0.

Мультиплексоры могут быть собраны из простейших логических элементов И, ИЛИ, НЕ, дешифраторе и логических элементах или могут использоваться готовые мультиплексоры в виде интегральных микросхем.

Мультиплексоры бывают с выходом 2С и с выходом 3С. Выход 3С позволяет объединять выходы мультиплексоров с выходами других микросхем, а также получать двунаправленные и мультиплексированные линии.

Выходы мультиплексоров бывают прямыми и инверсными.

Некоторые микросхемы мультиплексоров имеют вход разрешения/запрета С (другое обозначение – S), который при запрете устанавливает прямой выход в нулевой уровень.

На рис. 7.3 для примера показаны несколько микросхем мультиплексоров из состава стандартных серий.

В отечественных сериях мультиплексоры имеют код типа микросхемы КП. На схемах микросхемы мультиплексоров обозначаются буквами MS.

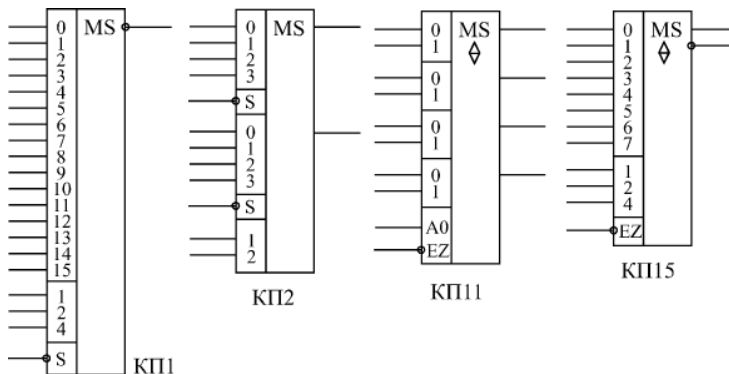


Рис. 7.3. Примеры микросхем мультиплексов

В случае если вход «не EZ» не активен (равен 1), выходы мультиплекса имеют третье состояние (табл. 7.1).

Таблица 7.1

Таблица истинности 8-канального мультиплекса

Входы				Выходы	
4	2	1	не EZ	Q	не Q
X	X	X	1	Z	Z

Микросхемы мультиплексов можно объединять для увеличения количества каналов. Например, два 8-канальных мультиплекса легко объединяются в 16-канальный с помощью инвертора на входах разрешения и элемента 2И-НЕ для смешивания выходных сигналов (рис. 7.4). Старший разряд кода будет при этом выбирать один из двух мультиплексов.

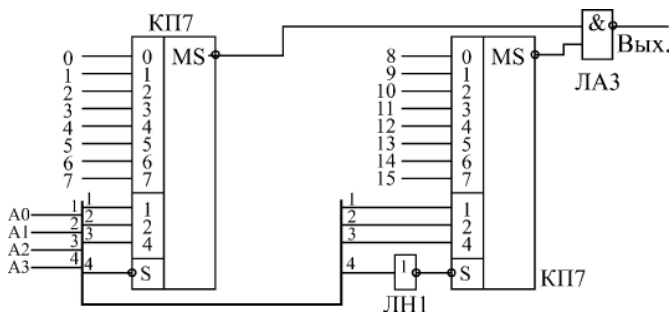


Рис. 7.4. Объединение мультиплексов для увеличения количества каналов

7.2. Демультимплексоры

Демультимплексоры в функциональном отношении противоположны мультиплексорам. С их помощью сигналы одного информационного входа распределяются в требуемой последовательности по нескольким выходам.

Выбор нужной входной шины, как и в мультиплексоре, обеспечивается установкой соответствующего кода на адресных входах. При m адресных входах демультимплексор может иметь до 2^m выходов.

Принцип работы демультимплексора поясним с помощью схемы на рис. 7.5, на которой обозначено: X – информационный вход, A – ход адреса, Y_0, Y_1 – выходы.

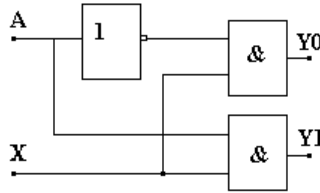


Рис. 7.5. Схема демультимплексора на логических элементах

Схема содержит два элемента И и один элемент НЕ. При $A = 0$ сигнал информационного входа передается на выход Y_0 , а при $A = 1$ – на выход Y_1 .

Демультимплексоры иначе называют распределителями. На рис. 7.6 представлена схема распределителя на базе дешифратора. В данной схеме входной сигнал D передается на один из восьми выходов Y в зависимости от управляющего кода, подаваемого на входы X_1, X_2 .

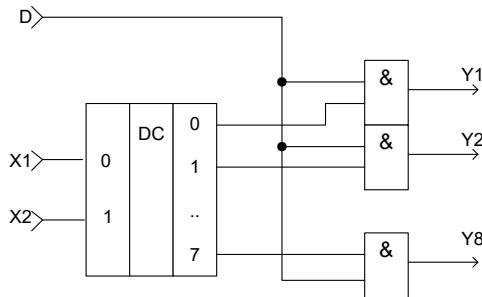


Рис. 7.6. Схема демультимплексора на дешифраторе и логических элементах

7.3. Контрольные вопросы

1. Что такое мультиплексор?
2. Поясните работу мультиплексора, схема которого представлена на рис. 7.2.
3. Поясните работу мультиплексора КП2.
4. Поясните работу мультиплексора КП11.
5. Что такое демультимплексор?
6. Поясните работу демультимплексора, схема которого представлена на рис. 7.4.

7.4. Индивидуальные задания

Задание 1. Используя микросхему КП1, начертите схему мультиплексора на 24 канала.

Задание 2. Используя микросхему КП15, начертите схему мультиплексора на 32 канала.

8. КОМПАРАТОРЫ

Цифровые компараторы относятся к арифметическим устройствам. Цифровые компараторы (от англ. compare – сравнивать, сличать) выполняют сравнение двух чисел, заданных в двоичном (двоично-десятичном) коде. В зависимости от схемного исполнения компараторы могут определять равенство $A = B$ (A и B – независимые числа с равным количеством разрядов) либо вид неравенства: $A < B$ или $A > B$. Результат сравнения отображается соответствующим логическим уровнем на выходе.

Микросхемы – цифровые компараторы – выполняют, как правило, все эти операции и имеют три выхода ($>$, $<$, $=$).

Цифровые компараторы широко применяются для выявления нужного числа (слова) в потоке цифровой информации, для отметки времени в часовых приборах и для выполнения условных переходов в вычислительных устройствах.

8.1. Одноразрядный компаратор

Логическая схема, выполняющая операцию «эквивалентность» $F = AB \vee \overline{AB}$, или, что то же самое, «исключающее ИЛИ–НЕ», мо-

жет быть использована как одноразрядный компаратор. Поскольку в практических условиях исключающее ИЛИ применяется чаще, чем эквивалентность, последующее описание будет идти применительно к этой операции.

Схема одноразрядного компаратора и диаграмма его работы показаны на рис. 8.1.

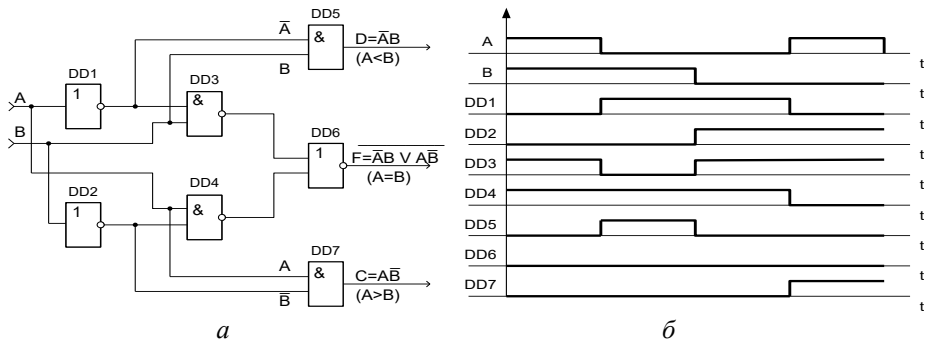


Рис. 8.1. Схема одноразрядного компаратора (а), диаграмма его работы (б)

Она представляет собой развернутую логическую структуру логического элемента «исключающее ИЛИ–НЕ» с тремя выходами. Из определения операции «исключающее ИЛИ» вытекает, что

$$\bar{F} = \overline{A \cdot \bar{B} \vee \bar{A} B} = \begin{cases} 1. \text{ при } A = B \\ 0. \text{ при } A \neq B \end{cases}$$

При $A > B$ (это означает, что $A = 1, B = 0$) – $C = \overline{AB} = 1$.

При $A < B$ (это означает, что $A = 0, B = 1$) – $D = \overline{AB} = 1$.

Логические элементы И с выходами C и D приведены для наглядности. В принципе сигналы C и D можно снимать с выходов внутренних схем И логического элемента И–ИЛИ–НЕ.

Компаратор на равенство одноразрядных чисел можно выполнить на ЛЭ «исключающее ИЛИ» и инверторе (рис. 8.2.).

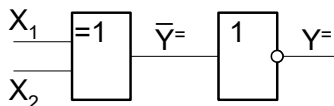


Рис. 8.2. Одноразрядный компаратор на ЛЭ «исключающий ИЛИ» и инверторе

8.2. Многоразрядный компаратор

Многоразрядные компараторы обычно выполняют на базе одноразрядных с подключением дополнительных ЛЭ И и ИЛИ (для блокировки одноразрядных компараторов и объединения сигналов).

При этом используется принцип последовательного сравнения разрядов многоразрядных чисел, начиная с их старших разрядов, так как уже на этом этапе, если $X_{1m} \neq X_{2m}$, задача может быть решена однозначно и сравнение следующих за старшими разрядов не требуется.

На практике широко применяются «неполные» компараторы в которых реализуется одна или две операции на сравнение кодов ($Y=$, $Y>$, $Y=$ и $Y>$ и др.). Для выполнения этих операций можно использовать отдельные фрагменты из схемы на рис. 8.3 или построить специальные схемы, которые в ряде случаев могут быть упрощены.

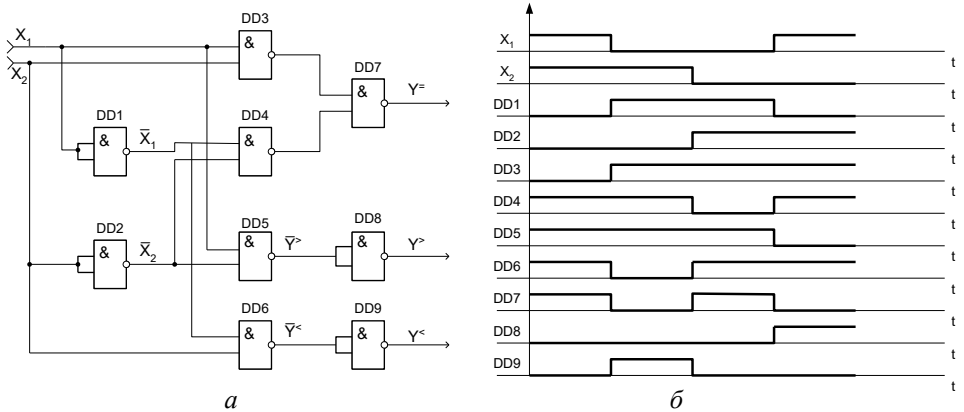


Рис. 8.3. Схема компаратора на ЛЭ 2И-НЕ (а), диаграмма его работы (б)

На схемах компараторы кодов обозначаются двумя символами равенства: « $=$ » и « $>$ ».

Код типа микросхемы компаратора кода в отечественных сериях – СП.

Примером такой микросхемы может служить СП1 – 4-разрядный компаратор кодов, сравнивающий величины кодов и выдающий информацию о том, какой код больше, или о равенстве кодов (рис. 8.4).

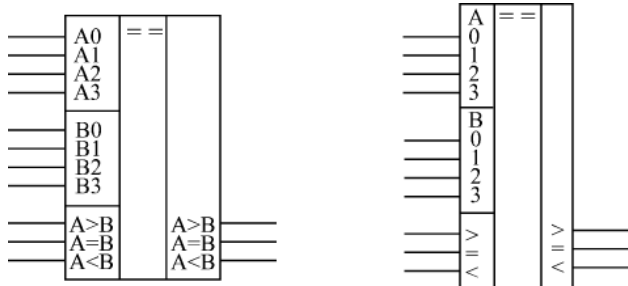


Рис. 8.4. 4-разрядный компаратор кодов СП1 (два варианта обозначения)

Помимо восьми входов для сравниваемых кодов (два 4-разрядных кода, обозначаемых A0–A3 и B0–B3), компаратор СП1 имеет три управляющих входа для наращивания разрядности ($A > B$, $A < B$, $A = B$) и три выхода результирующих сигналов ($A > B$, $A < B$, $A = B$).

Для удобства на схемах управляющие входы и выходы иногда обозначают просто «>», «<» и «=».

Нулевые разряды кодов (A0 и B0) – младшие, третьи разряды (A3 и B3) – старшие.

Если микросхемы компараторов кодов каскадируются (объединяются) для увеличения числа разрядов сравниваемых кодов, то надо выходные сигналы микросхемы, обрабатывающей младшие разряды кода, подать на одноименные входы микросхемы, обрабатывающей старшие разряды кода (рис. 8.5).

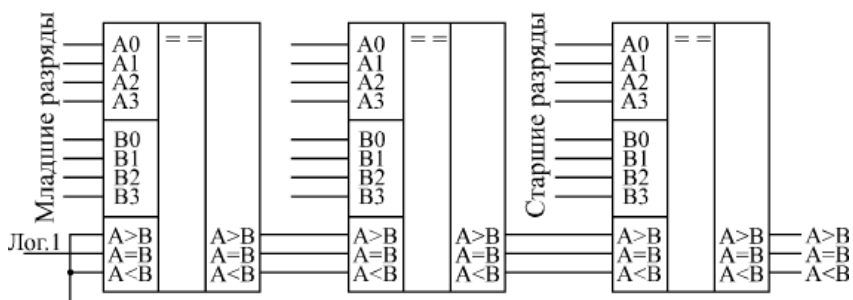


Рис. 8.5. Каскадирование компараторов кодов

Одно из основных применений компараторов кодов состоит в селектировании входных кодов. На рис. 8.6 показано применение ком-

параторов SN74ALS521 для селектирования 16-разрядных кодов. Инверсный сигнал с выхода первой микросхемы подается на инверсный вход разрешения второй микросхемы, выходной сигнал которой (отрицательный) говорит о совпадении входного и эталонного 16-разрядных кодов.

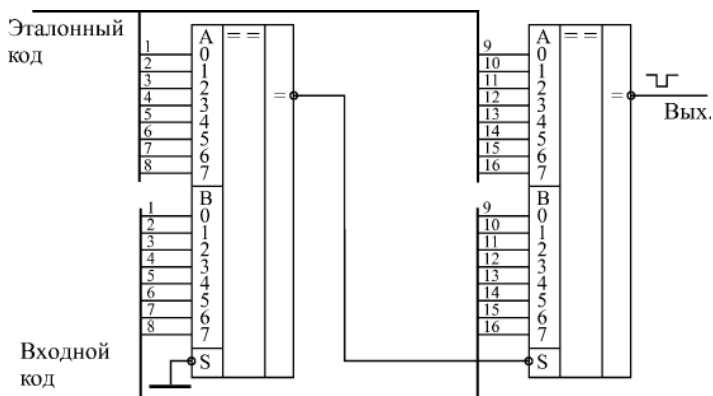


Рис. 8.6. Селектирование 16-разрядных кодов

Контрольные вопросы

1. Что такое компаратор?
2. Объясните работу схемы одноразрядного компаратора, изображенного на рис. 8.1.

Индивидуальное задание

Задание 1. Используя микросхему СП1 начертите схему определения максимального из двух 16-разрядных чисел.

9. СУММАТОРЫ

9.1. Общие сведения

Сумматор (англ. adder) – логический операционный узел, выполняющий арифметическое сложение кодов двух чисел. Например, если один входной код – 7 (0111), а второй – 5 (0101), то суммарный код на выходе будет 12 (1100).

Сумма двух двоичных чисел с числом разрядов N может иметь число разрядов $(N + 1)$. Например, при суммировании чисел 13 (1101) и 6 (0110) получается число 19 (10011). Поэтому количество выходов сумматора на единицу больше количества разрядов входных кодов. Этот дополнительный (старший) разряд называется выходом переноса.

При арифметическом сложении выполняются и другие дополнительные операции: учет знаков чисел, выравнивание порядков слагаемых и тому подобное.

На схемах сумматоры обозначаются буквами SM. В отечественных сериях код, обозначающий микросхему сумматора, – ИМ.

Сумматоры классифицируют по различным признакам.

В зависимости от системы счисления различают:

- двоичные;
- двоично-десятичные (в общем случае двоично-кодированные);
- десятичные;
- прочие (например, амплитудные).

По количеству одновременно обрабатываемых разрядов складываемых чисел:

- одноразрядные,
- многоразрядные.

По числу входов и выходов одноразрядных двоичных сумматоров:

- четвертьсумматоры (ЛЭ «сумма по модулю 2»; ЛЭ «исключающее ИЛИ»), характеризующиеся наличием двух входов, на которые подаются два одноразрядных числа, и одним выходом, на котором реализуется их арифметическая сумма;
- полусумматоры, характеризующиеся наличием двух входов, на которые подаются одноименные разряды двух чисел, и двух вы-

ходов: на одном реализуется арифметическая сумма в данном разряде, а на другом – перенос в следующий (более старший) разряд;

- полные одноразрядные двоичные сумматоры, характеризующиеся наличием трех входов, на которые подаются одноименные разряды двух складываемых чисел и перенос из предыдущего (более младшего) разряда, и двумя выходами: на одном реализуется арифметическая сумма в данном разряде, а на другом – перенос в следующий (более старший) разряд.

По способу представления и обработки складываемых чисел многоразрядные сумматоры подразделяются:

- на последовательные, в которых обработка чисел ведется поочередно, разряд за разрядом на одном и том же оборудовании;
- параллельные, в которых слагаемые складываются одновременно по всем разрядам и для каждого разряда имеется свое оборудование.

Параллельный сумматор в простейшем случае представляет собой n одноразрядных сумматоров, последовательно (от младших разрядов к старшим) соединенных цепями переноса. Однако такая схема сумматора характеризуется сравнительно невысоким быстродействием, так как формирование сигналов суммы и переноса в каждом i -м разряде производится лишь после того, как поступит сигнал переноса с $(i - 1)$ -го разряда.

Таким образом, быстродействие сумматора определяется временем распространения сигнала по цепи переноса. Уменьшение этого времени – основная задача при построении параллельных сумматоров.

Для уменьшения времени распространения сигнала переноса применяют конструктивные решения, когда используют в цепи переноса наиболее быстродействующие элементы; тщательно выполняют монтаж без длинных проводников и паразитных емкостных составляющих нагрузки и (наиболее часто) структурные методы ускорения прохождения сигнала переноса.

По способу организации межразрядных переносов параллельные сумматоры, реализующие структурные методы, делят на сумматоры:

- с последовательным переносом;
- параллельным переносом;
- групповой структурой;
- со специальной организацией цепей переноса.

Среди сумматоров со специальной организацией цепей переноса можно указать:

- сумматоры со сквозным переносом, в которых между входом и выходом переноса одноразрядного сумматора оказывается наименьшее число логических уровней;
- сумматоры с двухпроводной передачей сигналов переноса;
- сумматоры с условным переносом (вариант сумматора с групповой структурой, позволяющие уменьшить время суммирования в два раза при увеличении оборудования в 1,5 раза);
- асинхронные сумматоры, вырабатывающие признак завершения операции суммирования, при этом среднее время суммирования уменьшается, поскольку оно существенно меньше максимального.

Сумматоры, которые имеют постоянное время, отводимое для суммирования, независимое от значений слагаемых, называют синхронными.

По способу выполнения операции сложения и возможности сохранения результата сложения можно выделить три основных вида сумматоров:

- комбинационный, выполняющий микрооперацию « $S = A$ плюс B », в котором результат выдается по мере его образования (это комбинационная схема в общепринятом смысле слова);
- сумматор с сохранением результата « $S = A$ плюс B »;
- накапливающий, выполняющий микрооперацию « $S = S$ плюс».

Последние две структуры строятся либо на счетных триггерах (используются мало), либо по структуре «комбинационный сумматор – регистр хранения» (наиболее употребляемая схема).

Важнейшими параметрами сумматоров являются:

- разрядность;
- статические параметры: $U_{вх}$, $U_{вх}$, $I_{вх}$ и т. д., то есть обычные параметры интегральных схем.

Сумматоры характеризуются четырьмя задержками распространения:

- от подачи входного переноса до установления всех выходов суммы при постоянном уровне на всех входах слагаемых;
- одновременной подачи всех слагаемых до установления всех выходов суммы при постоянном уровне на входе переноса;

- подачи входного переноса до установления выходного переноса при постоянном уровне на входах слагаемых;
- подачи всех слагаемых до установления выходного переноса при постоянном уровне на входах слагаемых.

Параметрами сумматоров являются:

- разрядность;
- статические параметры: $U_{\text{вх}}$, $U_{\text{вх}}$, $I_{\text{вх}}$ и т. п. (параметры интегральных микросхем);
- динамические параметры.

Сумматоры характеризуются четырьмя задержками распространения:

- от подачи входного переноса до установления всех выходов суммы при постоянном уровне на всех входах слагаемых;
- одновременной подачи всех слагаемых до установления всех выходов суммы при постоянном уровне на входе переноса;
- подачи входного переноса до установления выходного переноса при постоянном уровне на входах слагаемых;
- подачи всех слагаемых до установления выходного переноса при постоянном уровне на входах слагаемых.

9.2. Четвертьсумматор

Простейшим двоичным суммирующим элементом является четвертьсумматор. Происхождение названия этого элемента следует из того, что он имеет в два раза меньше выходов и в два раза меньше строк в таблице истинности по сравнению с полным двоичным одно-разрядным сумматором. Наиболее известны для данной схемы названия: элемент «сумма по модулю 2» и элемент «исключающее ИЛИ».

Работа схемы описывается как

$$S = \bar{a}b + a\bar{b} = a \oplus b.$$

На рис. 9.1 приведено условное обозначение, схема и таблица истинности четвертьсумматора.

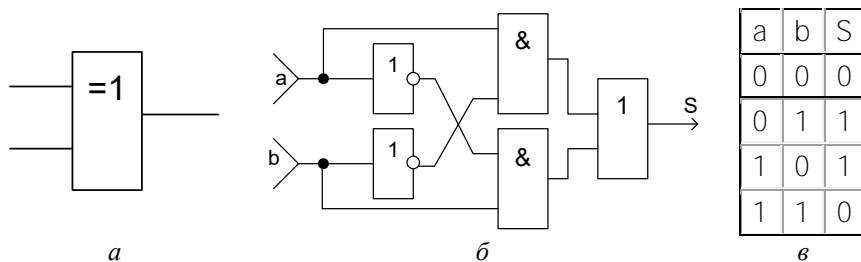


Рис. 9.1. Условное обозначение (а), схема (б) и таблица истинности (в) четвертьсумматора

Четвертьсумматор может быть реализован в базисе И–НЕ или ИЛИ–НЕ.

Выражения, описывающие работу четвертьсумматора, имеют вид

$$S = \bar{a}b + a\bar{b} = \bar{a}a + \bar{a}b + \bar{b}b + a\bar{b} = a(\bar{a} + \bar{b}) + b(\bar{a} + \bar{b}) = \overline{\overline{a}b} + \overline{\overline{a}b} = \overline{\overline{a}b \cdot \overline{\overline{a}b}}$$

$$S = \bar{a}b + a\bar{b} = \bar{a}a + \bar{a}b + \bar{b}b + a\bar{b} = \overline{\overline{a(a+b)}} + \overline{\overline{b(a+b)}} = \overline{a + \overline{a+b}} + \overline{b + \overline{a+b}}$$

9.3. Полусумматор

Полусумматор имеет два входа a и b для двух слагаемых и два выхода: S – сумма, P – перенос.

Обозначением полусумматора служат буквы HS (half sum – полусумма).

Работа полусумматора описывается логическими выражениями для суммы и переноса

$$S = \bar{a}b + a\bar{b} = a \oplus b,$$

$$P = ab.$$

На рис. 9.2 приведены условное обозначение, схема и таблица истинности полусумматора.

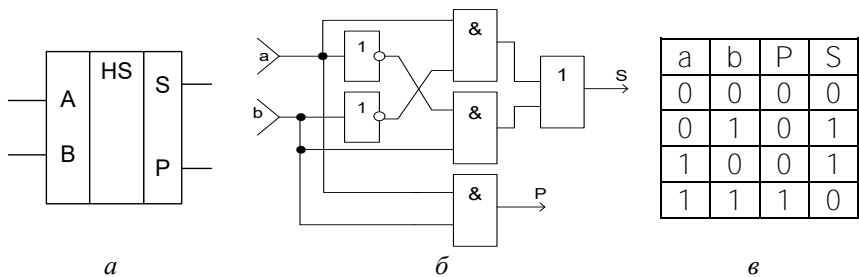


Рис. 9.2. Условное обозначение (а), схема (б) и таблица истинности (в) полусумматора

9.4. Полный одноразрядный двоичный сумматор

Полный одноразрядный сумматор – это устройство для сложения трех одноразрядных двоичных чисел: a , b , P_i , P_{i+1} – сигнал переноса из предыдущего младшего разряда.

Полный сумматор имеет два выхода: S (сумма) и P_{p+1} (перенос возникающий в разряде).

На рис. 9.3 приведены условное обозначение, схема и таблица истинности полного сумматора.

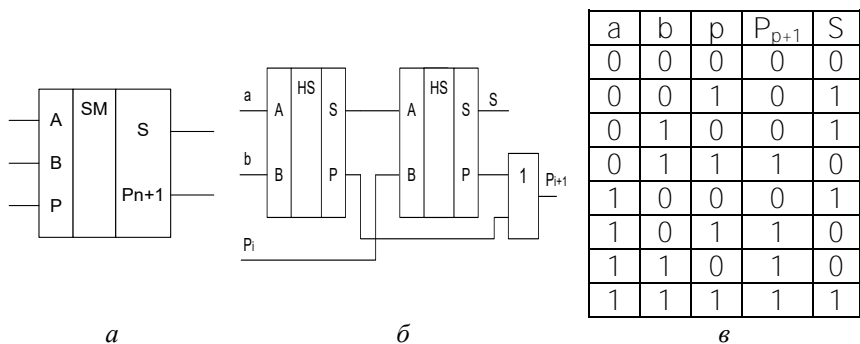


Рис. 9.3. Условное обозначение (а), схема (б) и таблица истинности (в) полного сумматора

Выражения, описывающие работу полного двоичного сумматора (согласно таблице истинности), представленные в совершенной дизъюнктивной нормальной форме (СДНФ), имеют вид

$$\left. \begin{aligned} S &= \bar{a}\bar{b}p + \bar{a}b\bar{p} + a\bar{b}\bar{p} + abp \\ P &= \bar{a}bp + a\bar{b}p + ab\bar{p} + abp \end{aligned} \right\}$$

При практическом проектировании сумматора уравнения для S и P могут быть преобразованы к виду, удобному для реализации на заданных логических элементах с некоторыми ограничениями (по числу логических входов и другие) и удовлетворяющему предъявляемым к сумматору требованиям по быстродействию.

Выражение для переноса может быть минимизировано как

$$P = ab + ap + bp.$$

Схема полного одноразрядного сумматора может быть построена на логических элементах согласно выражениям для S и P или на двух полусумматорах (рис. 9.3, б).

Полный одноразрядный сумматор (рис. 9.3, а) имеет три входа: A , B – для двух слагаемых и P – для переноса из предыдущего (более младшего) разряда и два выхода: S – сумма, P_{i+1} – перенос в следующий (более старший) разряд.

Обозначением полного двоичного сумматора служат буквы SM.

В таблице истинности (рис. 9.3, в) выходные сигналы P и S не случайно расположены именно в такой последовательности. Это подчеркивает, что PS рассматривается как двухразрядное двоичное число, например, $1 + 1 = 2_{10} = 10_2$, то есть $P=1$, а $S=0$ или $1 + 1 + 1 = 3_{10} = 11_2$, то есть $P=1$, а $S=1$.

9.5. Многоразрядные сумматоры

Используя полный сумматор, можно построить суммирующее устройство для сложения многоразрядных двоичных чисел A и B .

Различают многоразрядные последовательные и параллельные сумматоры.

9.5.1. Последовательный многоразрядный сумматор

Последовательный многоразрядный сумматор состоит из одноразрядного сумматора, на входы a и b которого из сдвигающих регистров,

в которых хранятся n -разрядные числа A и B , подаются по тактам, разряд за разрядом коды этих чисел, начиная с младшего разряда.

Сформированная сумма накапливается в сдвигающем регистре суммы. Возникающий перенос с задержкой на элементе задержки на один такт поступает на вход сумматора только в следующем такте, когда на входы a и b будут поданы следующие разряды чисел A и B .

Схема последовательного сумматора представлена на рис. 9.4.

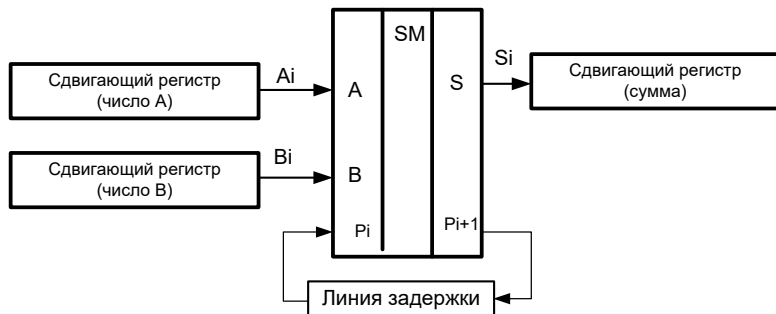


Рис. 9.4. Последовательный многоразрядный сумматор

Достоинством последовательного сумматора является простота схемы, требующая минимального количества оборудования, недостатком – низкое быстродействие, так как для сложения кодов n -разрядных чисел требуется, учитывая возможность переполнения, $n - 1$ такт работы.

9.5.2. Параллельный многоразрядный сумматор с последовательным переносом

В этом сумматоре (рис. 9.5) операция суммирования производится одновременно за один такт во всех разрядах чисел A и B , которые поступают на входы параллельным кодом.

Параллельный многоразрядный сумматор состоит из одного полусумматора (суммирование младших разрядов A и B) и $n - 1$ полных сумматоров, где n – разрядность складываемых чисел.

Длительность формирования результата в таком сумматоре определяется временем установления выходных сигналов (сумма и перенос) в каждом из одноразрядных сумматоров после установления сигнала на его входах.

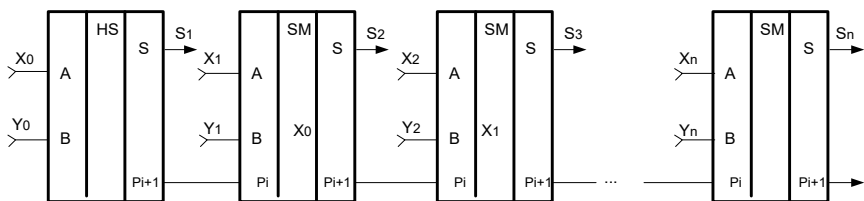


Рис. 9.5. Параллельный многоразрядный сумматор

Надо учитывать, что если на входы X_i и Y_i всех разрядов сигналы поступают в момент начала такта, то на вход P_i сигнал переноса поступает с некоторой задержкой, которая определяется длительностью переходных процессов $t_{зд}$ в сумматоре предыдущего разряда.

При наиболее неблагоприятном сложении, то есть если, например, $X = 111\dots11$, а $Y = 000\dots01$, произойдет перенос единицы через все сумматоры, то есть время установления результата будет

$$T_{уст.рез} = t_{зд} \cdot (n - 1).$$

При большой разрядности чисел $T_{уст.рез}$ может быть большим, следовательно, длительность времени подачи чисел X, Y на входы одноразрядных сумматоров должна быть больше $T_{уст.рез}$.

Для ускорения процесса формирования переноса используют дополнительные комбинационные схемы, позволяющие формировать перенос параллельно во всех разрядах.

9.5.3. Параллельный многоразрядный сумматор с параллельным переносом

Принцип построения таких сумматоров заключается в том, что значение каждого разряда суммы получается в результате параллельного анализа соответствующих разрядов слагаемых.

Параллельные сумматоры с одновременным переносом бывают двух типов:

- сумматоры с формированием переноса в каждый разряд;
- сумматоры без явного формирования переноса.

Принцип формирования параллельного переноса показан на рис. 9.6.

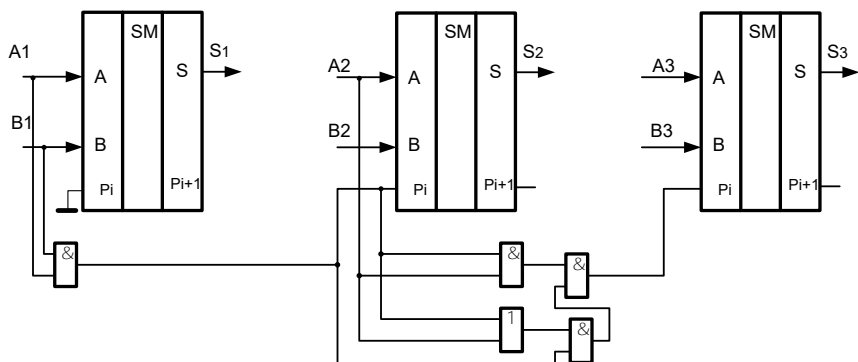


Рис. 9.6. Принцип формирования параллельного переноса

9.6. Микросхемы многоразрядных сумматоров

На рис. 9.7 показаны для примера 2-разрядный и 4-разрядный сумматоры.

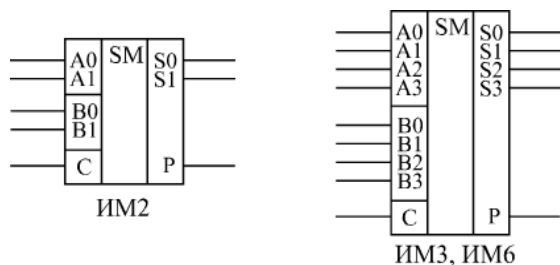


Рис. 9.7. Примеры микросхем сумматоров

Микросхема ИМ6 отличается от ИМ3 повышенным быстродействием и номерами используемых выводов микросхемы, функция же выполняется та же самая.

Помимо выходных разрядов суммы и выхода переноса, сумматоры имеют вход расширения (другое название – вход переноса) С для объединения нескольких сумматоров с целью увеличения разрядности. Если на этот вход приходит единица, то выходная сумма увеличивается на единицу, если же приходит нуль, то выходная сумма не увеличивается.

Если используется одна микросхема сумматора, то на ее вход расширения С необходимо подать нуль.

Сумматор может вычислять не только сумму, но и разность входных кодов, то есть работать вычитателем. Для этого вычитаемое число надо просто поразрядно проинвертировать, а на вход переноса С подать единичный сигнал (рис. 9.8).

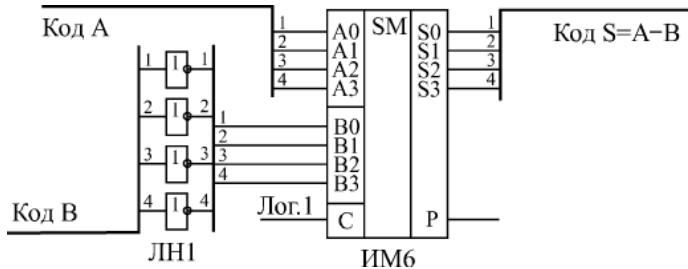


Рис. 9.8. Четырехразрядный вычитатель на сумматоре ИМ6 и инверторах ЛН1

Например, пусть надо вычислить разность между числом 11 (1011) и числом 5 (0101). Инвертируем поразрядно число 5 и получаем 1010, то есть десятичное 10. Сумматор при суммировании 11 и 10 даст 21, то есть двоичное число 10101. Если сигнал С равен 1, то результат будет 10110. Отбрасываем старший разряд (выходной сигнал Р) и получаем разность 0110, то есть 6.

Каскадировать сумматоры для увеличения разрядности очень просто. Для этого надо сигнал с выхода переноса сумматора, обрабатывающего младшие разряды, подать на вход переноса сумматора, обрабатывающего старшие разряды (рис. 9.9). При объединении трех 4-разрядных сумматоров получается 12-разрядный сумматор, имеющий дополнительный 13-й разряд (выход переноса Р).

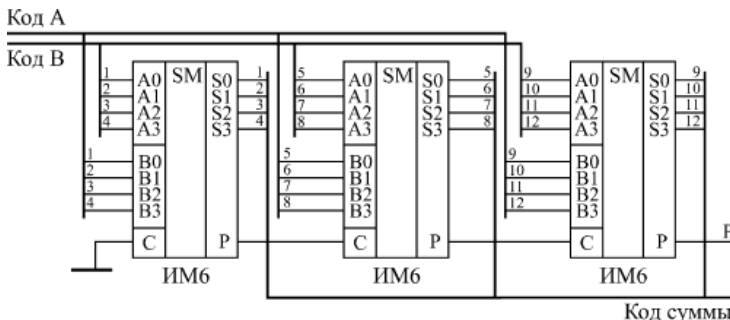


Рис. 9.9. Каскадирование сумматоров ИМ6 для увеличения разрядности

Неопределенные состояния на выходах сумматора могут возникать при любом изменении любого из входных кодов (рис. 9.10).

Выходной код суммы в течение короткого времени может принимать значения, никак не связанные с входными кодами, а на выходе переноса могут появляться короткие паразитные импульсы. Это связано, прежде всего, с неодновременным изменением разрядов входных кодов.

Чтобы избежать влияния этих неопределенных состояний на дальнейшую схему, необходимо предусматривать синхронизацию или стробирование выходных сигналов. Для этого надо располагать информацией о моментах изменения входных кодов.

9.7. Сумматоры групповой структуры

В сумматорах групповой структуры схема с разрядностью n делится на l групп по m разрядов ($n = lm$). В группах и между ними возможны различные виды переносов, что порождает множество вариантов групповых сумматоров.

Существуют групповые сумматоры с цепным (последовательным) и параллельным переносами между группами. В самих группах перенос при этом может быть любым.

Групповой сумматор с цепным переносом при l группах имеет $l - 1$ блок переноса. Блоки переноса включены последовательно и образуют тракт передачи переноса (рис. 9.10). Слагаемые разбиты на m -разрядные поля, суммируемые в группах. Результат также составляется из m -разрядных полей.

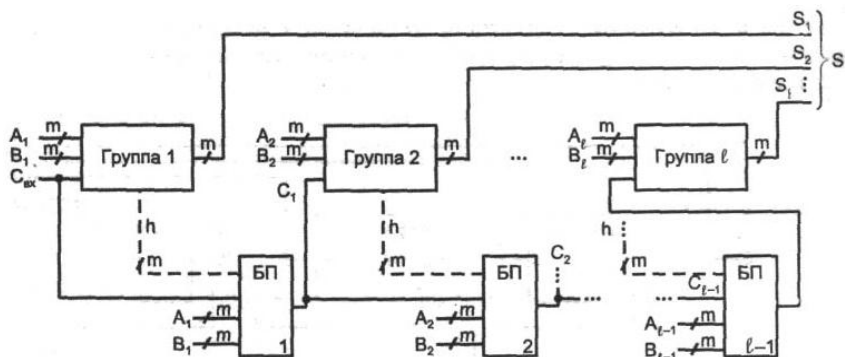


Рис. 9.10. Групповой сумматор с цепным переносом между группами

Блоки переноса БП_{*i*} (*i* = 1...) анализируют слагаемые в пределах группы, и если из группы должен быть перенос, то он появляется на выходе блока для подачи на вход следующей группы и в цепочку распространения переноса от младших групп к старшим.

Максимальная длительность суммирования для варианта с цепным переносом

$$t_{SM} = (l - 1) t_{\text{бп}} + t_{\text{гп}}$$

Сумматор с параллельными межгрупповыми переносами строится по структуре, сходной со структурой сумматора с параллельным переносом, в которой роль одноразрядных сумматоров играют группы.

Структура группового сумматора с параллельными межгрупповыми переносами показана на рис. 9.11, где разрядность и число групп приняты равными четырем.

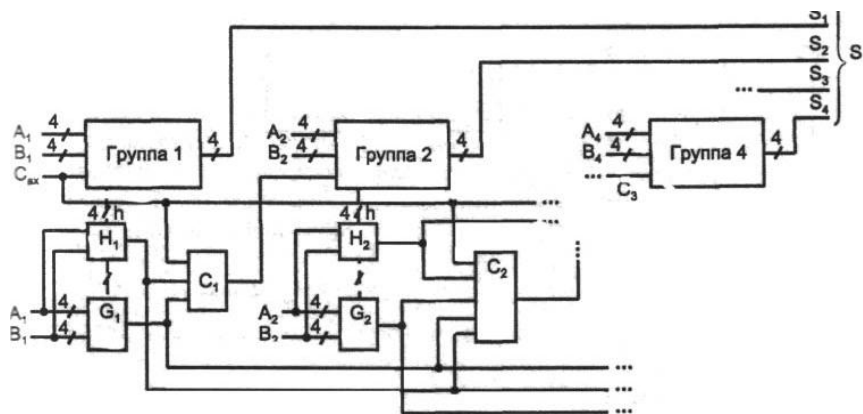


Рис. 9.11. Групповой сумматор с параллельным переносом между группами

Время суммирования для такой схемы составляет

$$T_{SM} = t_h + t_G + t_C + t_{\text{гп}}$$

Контрольные вопросы

1. Что такое сумматор?
2. Как классифицируются сумматоры в зависимости от системы счисления?
3. Как классифицируются сумматоры по количеству одновременно обрабатываемых разрядов складываемых чисел?
4. Как классифицируются сумматоры по числу входов и выходов одноразрядных двоичных сумматоров?
5. Как классифицируются сумматоры по способу организации переносов?
6. Назовите параметры сумматоров.
7. Какой сумматор называется четвертьсумматором? Поясните его работу с помощью таблицы истинности и схемы.
8. Какой сумматор называется полусумматором? Поясните его работу с помощью таблицы истинности и схемы.
9. Какой сумматор называется полным сумматором? Поясните его работу с помощью таблицы истинности и схемы.
10. Изобразите условные обозначения полусумматора и полного сумматора.
11. Поясните работу последовательного сумматора.
12. Поясните работу параллельного сумматора.

Индивидуальные задания

Задание 1. Начертите схему вычитателя чисел на 16 разрядов на базе микросхемы ИМ2.

Задание 2. Начертите схему сумматора двух чисел на 16 разрядов на базе микросхемы ИМ6.

10. ПРЕОБРАЗОВАТЕЛИ КОДОВ

Микросхемы преобразователей кодов (с англ. converter) служат для преобразования входных двоичных кодов в выходные двоично-десятичные и наоборот – входных двоично-десятичных кодов в выходные двоичные.

Они используются довольно редко, так как применение двоично-десятичных кодов ограничено узкой областью, например, они применяются в схемах многоразрядной десятичной индикации. К тому же при правильной организации схемы часто можно обойтись без преобразования в двоично-десятичный код, например, выбирая счетчики, работающие в двоично-десятичном коде.

Преобразование двоично-десятичного кода в двоичный встречается еще реже.

На схемах микросхемы преобразователей обозначаются буквами X/Y. В отечественных сериях преобразователи имеют обозначения ПР.

Кроме того, надо учесть, что любые преобразования параллельных кодов, даже самые экзотические, могут быть легко реализованы на микросхемах постоянной памяти нужного объема. Обычно это намного удобнее, чем брать стандартные микросхемы преобразователей кодов.

В стандартные серии входят две микросхемы преобразователей кодов:

- ПР6 для преобразования двоично-десятичного кода в двоичный;
 - ПР7 для преобразования двоичного кода в двоично-десятичный
- (рис. 10.1).

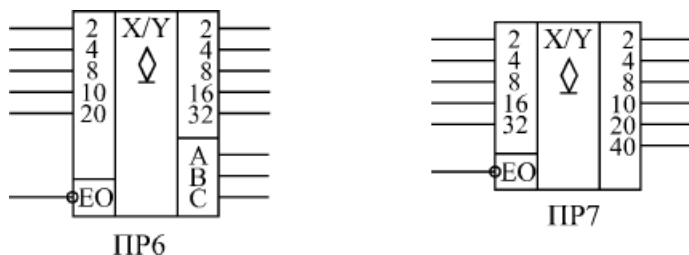


Рис. 10.1. Микросхемы преобразователей кодов

Обе микросхемы имеют выходы ОК, поэтому к ним надо присоединять нагрузочные резисторы величиной около 1 кОм, но для удобства в дальнейших схемах эти резисторы не показаны.

Обе микросхемы имеют также вход разрешения выхода не ЕО при нулевом уровне, на котором все выходы активны, а при единичном – переходят в состояние единицы.

Преобразователь ПР6 имеет дополнительные выходы А, В, С, не участвующие в основном преобразовании.

Простейшие схемы включения одиночных микросхем ПР6 и ПР7 приведены на рис. 10.2.

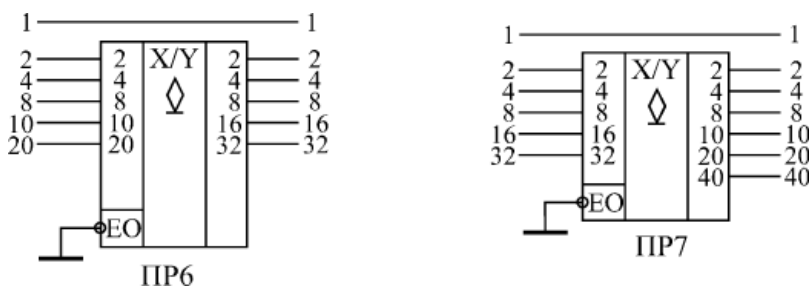


Рис. 10.2. Простейшее включение одиночных преобразователей кода ПР6 и ПР7

Для преобразования двоично-десятичных кодов от 0 до 99 достаточно двух микросхем ПР6 (рис. 10.3), а для преобразования двоичных кодов от 0 до 255 требуется три микросхемы ПР7 (рис. 10.4).

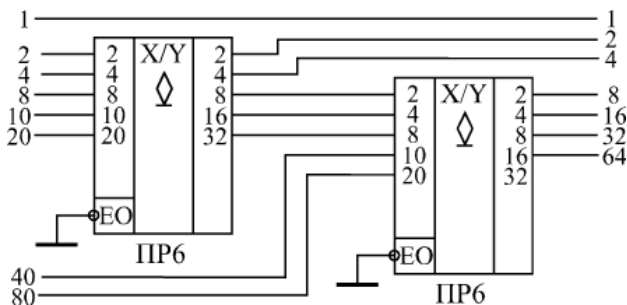


Рис. 10.3. Преобразователь двоично-десятичного кода от 0 до 99 в двоичный код

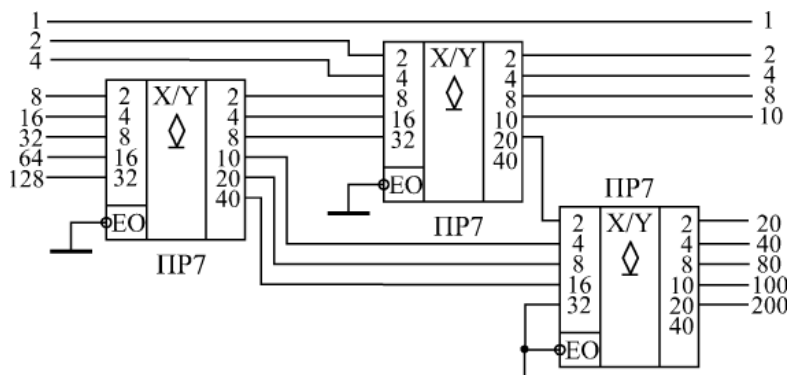


Рис. 10.4. Преобразователь двоичного кода от 0 до 255
в двоично-десятичный код

Если надо преобразовывать двоично-десятичные коды до 999, то понадобится шесть микросхем ПР6, а для преобразования двоичных кодов до 511 потребуется четыре микросхемы ПР7.

На всех выходах микросхем необходимо включать нагрузочные резисторы.

Наличие дополнительных выходов А, В, С у микросхемы ПР6 позволяет преобразовывать двоично-десятичный код от 0 до 9 в код дополнения до 9 или до 10 (рис. 10.5).

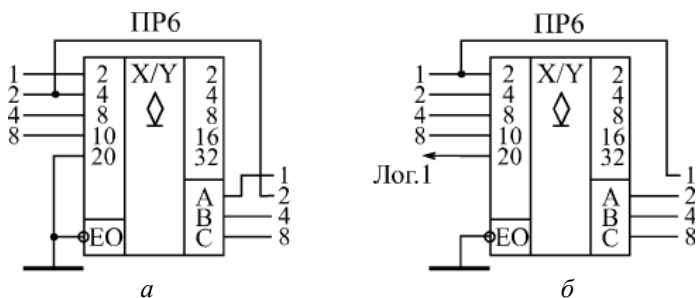


Рис. 10.5. Преобразователи входного кода в дополнение до 9 (а)
и в дополнение до 10 (б)

То есть сумма входного и выходного кодов в этом случае равна соответственно 9 или 10. Например, при входном коде 6 на выходе схемы а будет код 3, а на выходе схемы б – код 4.

В схеме б при входном коде 0 на выходе также формируется код 0. Как и все остальные выходы микросхемы ПР6, выходы А, В, С имеют тип ОК, поэтому к ним необходимо присоединять нагрузочные резисторы, для удобства не показанные на схеме.

Задержки преобразователей кодов примерно вдвое превосходят задержки логических элементов. Точные величины задержек надо смотреть в справочниках.

10.2. Контрольные вопросы

1. Какие преобразователи кодов вы знаете?
2. Поясните работу преобразователя кода на примере микросхемы ПР6.
3. Как выполняется каскадирование преобразователей

11. ОДНОВИБРАТОРЫ И ГЕНЕРАТОРЫ

Одновибраторы и генераторы занимают промежуточное положение между комбинационными микросхемами и микросхемами с внутренней памятью.

Их выходные сигналы однозначно не определяются входными сигналами, как у комбинационных микросхем. Но в то же время они и не хранят информацию длительное время.

11.1. Одновибраторы

Одновибраторы («жующие мультивибраторы», английское название «Monostable Multivibrator») представляют собой микросхемы, которые в ответ на входной сигнал (логический уровень или фронт) формируют выходной импульс заданной длительности. Длительность определяется внешними времязадающими резисторами и конденсаторами. То есть можно считать, что у одновибраторов есть внутренняя память, но эта память хранит информацию о входном сигнале строго заданное время, а потом информация исчезает. На схемах одновибраторы обозначаются буквами G1.

В стандартные серии микросхем входят одновибраторы двух основных типов (отечественное обозначение функции микросхемы – АГ):

- одновибраторы без перезапуска (АГ1 – одиночный одновибратор, АГ4 – два одновибратора в корпусе);
- одновибраторы с перезапуском (АГ3 – два одновибратора в корпусе).

Разница между этими двумя типами показана на рис. 11.1.

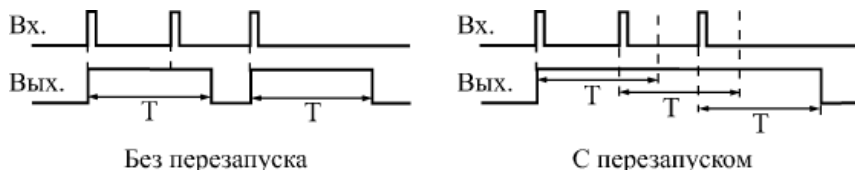


Рис. 11.1. Принцип работы одновибраторов без перезапуска и с перезапуском

Одновибратор без перезапуска не реагирует на входной сигнал до окончания своего выходного импульса. Одновибратор с перезапуском начинает отсчет нового времени выдержки T с каждым новым входным сигналом независимо от того, закончилось ли предыдущее время выдержки.

В случае когда период следования входных сигналов меньше времени T выдержки, выходной импульс одновибратора с перезапуском не прерывается.

Если период следования входных запускающих импульсов больше времени выдержки одновибратора T , то оба типа одновибраторов работают одинаково.

На рис. 11.2 приведены обозначения микросхем одновибраторов стандартных серий. Микросхемы АГ3 и АГ4 отличаются друг от друга только тем, что АГ3 работает с перезапуском, а АГ4 – без перезапуска.

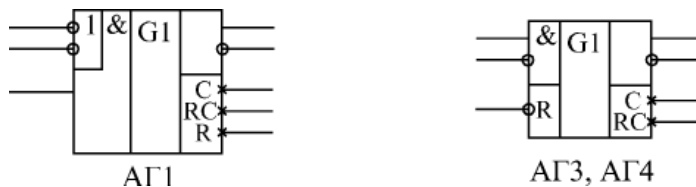


Рис. 11.2. Микросхемы одновибраторов

Микросхемы имеют входы запуска, объединенные по И и ИЛИ, прямые и инверсные выходы, а также выводы для подключения внешних времязадающих цепей (резисторов и конденсаторов).

Запускается работа всех одновибраторов по фронту результирующего входного сигнала. Используемая логика объединения входов микросхем позволяет запустить все одновибраторы как по положительному, так и по отрицательному фронту входного сигнала (рис. 11.3 и 11.4).

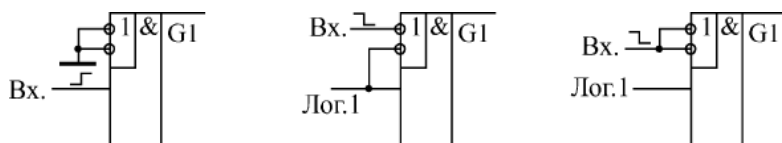


Рис. 11.3. Варианты запуска одновибратора АГ1

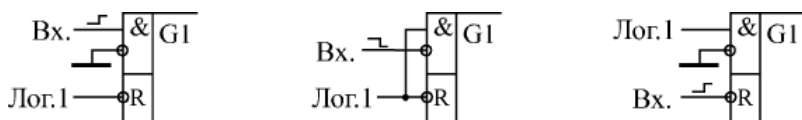


Рис. 11.4. Варианты запуска одновибраторов АГ3 и АГ4

На неиспользуемые входы при этом надо подавать сигналы логического нуля или логической единицы. Можно также использовать остающиеся входы для разрешения или запрещения входного запускающего сигнала.

Одновибраторы АГ3 и АГ4 имеют также дополнительный вход сброса не R, логический ноль на котором не только запрещает выработку выходного сигнала, но и прекращает его. Вход не R можно также использовать для запуска одновибратора.

В таблицах истинности (табл. 11.1, 11.2) инверсные входные сигналы обозначены не А, не А1, не А2, прямые входные сигналы не В, а прямой и инверсный выходные сигналы – соответственно, Q и не Q.

Таблица 11.1

Таблица истинности одновибратора АГ1

Входы			Выходы	
-A1	-A2	B	Q	-Q
0	X	1	0	1
X	0	1	0	1
X	X	0	0	1
1	1	X	0	1
1		1		
	1	1		
		1		
0	X			
X	0			

Таблица 11.2

Таблица истинности одновибраторов АГ3 и АГ4

Входы			Выходы	
-R	-A	B	Q	-Q
0	X	X	0	1
X	1	0	0	1
X	X	0	0	1
1	0			
1		1		
	0	1		

Стандартное включение одновибраторов предполагает подключение внешнего резистора и внешнего конденсатора (рис. 11.5).

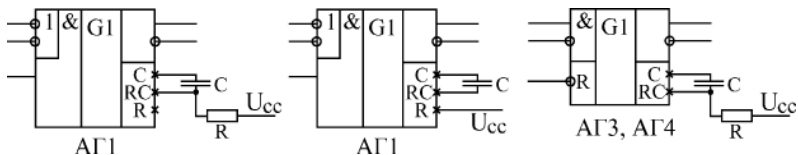


Рис. 11.5. Стандартные схемы включения одновибраторов

Для одновибратора АГ1 длительность выходного импульса можно оценить по формуле

$$T = 0,7RC.$$

Эта формула работает при величине сопротивления резистора в пределах от 1,5 до 43 кОм. Емкость конденсатора может быть любой.

Внутри микросхемы имеется внутренний резистор сопротивлением около 2 кОм, подключенный к выводу R, поэтому можно включать одновибратор без внешнего резистора, подключая вывод R к напряжению питания.

Повторный запуск одновибратора невозможен сразу после окончания выходного импульса, до повторного запуска обязательно должен пройти интервал $t = C$ (если емкость измеряется в нанофарадах, то временной интервал получается в микросекундах).

Для одновибраторов АГ3 и АГ4 длительность импульса можно оценить по формуле

$$T = 0,32C(R + 0,7),$$

где сопротивление резистора измеряется в килоомах.

Сопротивление резистора может находиться в пределах от 5,1 до 51 кОм, емкость конденсатора любая.

Перезапуск одновибратора возможен только в том случае, когда интервал между входными запускающими импульсами больше 0,224 с (если емкость измеряется в нанофарадах, то временной интервал – в микросекундах).

Наиболее распространенные применения одновибраторов следующие (рис. 11.6):

- увеличение длительности входного импульса;
- уменьшение длительности входного импульса;

- деление частоты входного сигнала в заданное число раз;
- формирование сигнала огибающей последовательности входных импульсов.

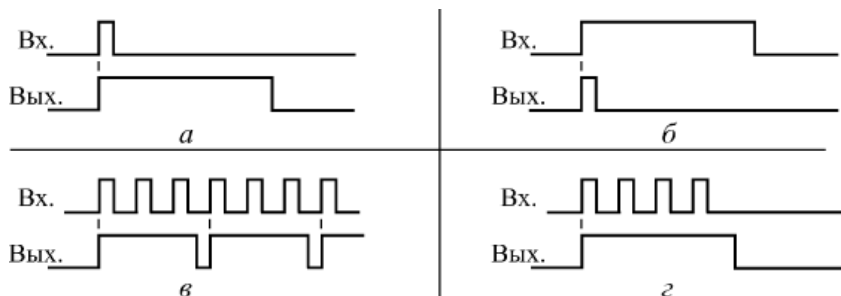


Рис. 11.6. Стандартные применения одновибраторов

Для увеличения или уменьшения длительности входного сигнала (рис. 11.6. *а* и *б*) надо всего лишь выбрать сопротивление резистора и емкость конденсатора, исходя из требуемой длительности выходного сигнала.

В этом случае можно использовать одновибратор любого типа: как с перезапуском, так и без перезапуска.

Для деления частоты входных импульсов на заданное число раз (рис. 11.6, *в*) применяется только одновибратор без перезапуска. При этом надо выбрать такую длительность выходного сигнала, чтобы одновибратор пропускал нужное количество входных импульсов.

Например, если требуется разделить на три частоту входных импульсов f , то длительность выходного сигнала одновибратора надо выбрать в пределах от $2/f$ до $3/f$. При этом одновибратор будет пропускать два входных импульса из каждых трех.

Для формирования огибающей входного сигнала (рис. 11.6, *з*) используется только одновибратор с перезапуском. При этом длительность его выходного импульса должна быть выбрана такой, чтобы каждый следующий входной сигнал перезапускал одновибратор. Если частота входного сигнала равна f , то длительность выходного сигнала одновибратора должна быть не меньше чем $1/f$.

Еще одно важное применение одновибратора состоит в подавлении дребезга контактов кнопки.

Одновибратор с большим временем выдержки (порядка нескольких десятых долей секунды) надежно подавляет паразитные импульсы, возникающие из-за дребезга контактов, и формирует идеальные импульсы на любое нажатие кнопки (рис. 11.7).

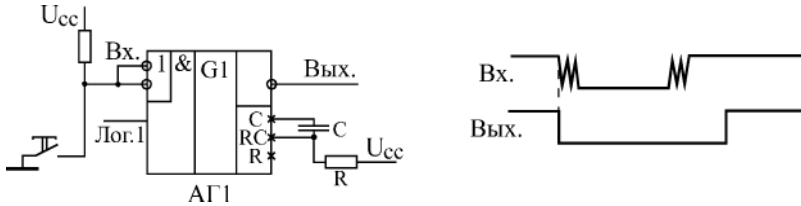


Рис. 11.7. Использование одновибратора для подавления дребезга контактов кнопки

Для этого можно использовать как одновибратор с перезапуском, так и одновибратор без перезапуска (на рисунке). Можно также подобрать время выдержки так, что одновибратор будет давать один импульс по нажатию кнопки, а другой импульс – по ее отпусканию.

Одновибраторы можно также применять для построения генераторов (мультивибраторов) прямоугольных импульсов с различными значениями длительности импульсов и паузы между ними. При этом два одновибратора замыкаются в кольцо так, что каждый из них запускает другой после окончания своего выходного импульса (рис. 11.8). Один одновибратор формирует длительность импульса, а другой определяет паузу между ними. Изменяя номиналы резисторов и конденсаторов, можно получить нужные соотношения импульса и паузы.

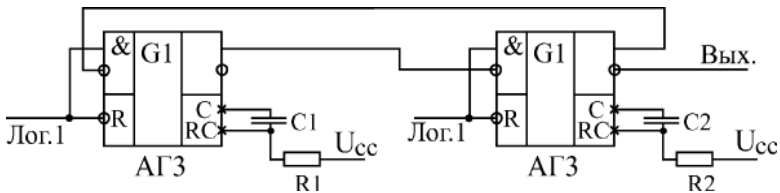


Рис. 11.8. Генератор импульсов на двух одновибраторах

Таким образом, одновибраторы довольно легко позволяют решать самые разные задачи.

Однако, применяя одновибраторы, надо всегда помнить, что длительность их выходных импульсов нельзя задать очень точно – ведь одновибратор имеет аналоговые цепи.

На длительность выходного импульса одновибратора влияют разбросы номиналов резисторов и конденсаторов, температура окружающей среды, старение элементов, помехи по цепям питания и другие факторы.

Поэтому применение одновибраторов нужно по возможности ограничивать только теми случаями, когда время выдержки можно задавать с не слишком высокой точностью (погрешность – не менее 20–30 %).

Любую функцию одновибратора может выполнить синхронное тактируемое устройство (на основе кварцевого генератора, триггеров, регистров, счетчиков), причем выполнить гораздо точнее и надежнее. И ему не нужны никаких дополнительных времязадающих элементов (резисторов и конденсаторов).

Задержки запуска одновибраторов примерно в два-три раза превосходят задержку логического элемента. Точные величины задержек надо смотреть в справочниках.

11.2. Генераторы

Помимо одновибраторов в стандартные серии включены также специализированные генераторы («мультивибраторы», англ. «multi-vibrator»).

На схемах они обозначаются буквой G. В отечественных сериях этот тип микросхемы кодируется буквами ГГ.

Например, микросхема ГГ1 представляет собой два генератора в одном корпусе.

Микросхемы генераторов используют довольно редко, чаще заменяют генераторы на инверторах или на триггерах Шмитта.

Однако в некоторых случаях генераторы ГГ1 не могут быть заменены ничем. Дело в том, что они допускают изменение частоты выходных импульсов с помощью уровней двух входных управляющих напряжений. Поэтому они называются также «генераторы, управляемые напряжением» или ГУН.

Эффект изменения частоты можно использовать, например, в системах автоподстройки частоты (АПЧ) или в устройствах с частотной модуляцией (ЧМ).

Стандартная схема включения генератора ГГ1 приведена на рис. 11.9.

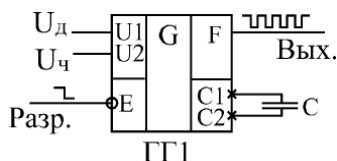


Рис. 11.9. Схема включения генератора ГГ1

Генератор имеет выводы для подключения внешнего конденсатора C1 и C2, к которым можно также подключать кварцевый резонатор, но при этом уже нельзя управлять частотой. Имеется два входа управления частотой U1 и U2, а также вход разрешения не E, при подаче на который логической единицы генерация прекращается и на выходе F устанавливается единица.

Один из входов управления (U1) обычно называется диапазоновым или U_d , а другой (U2) – входом управления частоты или $U_ч$.

При увеличении напряжения $U_ч$ частота увеличивается, при увеличении напряжения на входе U_d – уменьшается.

Рекомендуемый диапазон изменения напряжения U_d составляет от 2 до 4,5 В, а диапазон изменения $U_ч$ – от 0 до 5 В. В зависимости от напряжения U_d меняется диапазон изменения частоты из-за изменения напряжения $U_ч$. Например, при $U_d = 2$ В и изменении $U_ч$ от 1 до 5 В частота изменяется примерно на 15 %, а при $U_d = 4$ В – приблизительно в четыре раза.

Частота выходного сигнала ГГ1 определяется также внешним конденсатором, например, при $U_d = U_ч = 2$ В и при $C = 1$ мкФ частота будет около 100 Гц, а при $C = 100$ пФ – порядка 10 МГц. Максимально возможное значение частоты генератора составляет около 80 МГц. В справочниках приводятся графики зависимости частоты выходного сигнала ГГ1 от уровней управляющих напряжений и от величины внешнего конденсатора.

Однако точно определить значение частоты по этим графикам невозможно, в любом случае требуется подстройка. К тому же наличие в схеме аналоговых узлов делает генератор ГГ1 чувствительным к разбросу номиналов конденсаторов, изменению температуры окружающей среды, старению элементов, к помехам по цепям питания и другим факторам. Именно поэтому использование этих генераторов крайне ограничено.

В микросхеме ГГ1 существует взаимное влияние двух генераторов друг на друга, хотя в ней и приняты меры по снижению этого влияния. Поэтому не рекомендуется использовать одновременно два генератора одной микросхемы в режиме генерации частоты, управляемой напряжением.

11.3. Контрольные вопросы

1. Что такое одновибратор?
2. Как обозначается интегральная микросхема одновибратора?
3. Как обозначается интегральная микросхема генератора?
4. Изобразите условное обозначение одновибратора.
5. Изобразите условное обозначение генератора.
6. Для чего применяют одновибраторы?
7. Изобразите схемы включения одновибраторов.
8. Поясните использование одновибратора для подавления дребезга контактов кнопки.
9. Изобразите схемы включения генератора на примере микросхемы ГГ1.

12. ПАМЯТЬ

12.1. Общие сведения

Память, как следует из названия, предназначена для запоминания, хранения каких-то массивов информации.

Каждый код хранится в отдельном элементе памяти, называемом *ячейкой памяти*.

Основная функция любой памяти состоит в выдаче этих кодов на выходы микросхемы по внешнему запросу.

Основной параметр памяти – ее *объем*, то есть количество кодов, которые могут в ней храниться, и разрядность этих кодов.

Для обозначения количества ячеек памяти используются следующие специальные единицы измерения:

1К – это 1024, то есть 210 (читается «кило-» или «ка-»), примерно равно одной тысяче;

1М – это 1048576, то есть 220 (читается «мега-»), примерно равно одному миллиону;

1Г – это 1073741824, то есть 230 (читается «гига-»), примерно равно одному миллиарду.

Принцип организации памяти записывается следующим образом, например, организация памяти 64К×8 означает, что память имеет 64К (то есть 65536) ячеек и каждая ячейка – восьмиразрядная.

Общий объем памяти измеряется в байтах (килобайтах – Кбайт, мегабайтах – Мбайт, гигабайтах – Гбайт) или в битах (килобитах – Кбит, мегабитах – Мбит, гигабитах – Гбит).

Память определяют как функциональную часть ЭВМ (рис. 12.1), предназначенную для записи, хранения и выдачи команд и обрабатываемых данных.

Комплекс технических средств, реализующих функцию памяти, называют *запоминающим устройством* (ЗУ).

Основная память, как правило, состоит из ЗУ двух видов – оперативного (ОЗУ) и постоянного (ПЗУ) (рис. 12.2).

Кроме этого имеется сверхоперативная память (СОЗУ) которая имеет быстроедействие, соизмеримое с быстроедействием процессора, и служит для хранения ряда чисел, необходимых для выполне-

ния некоторой текущей последовательности команд программы. Роль СОЗУ выполняют регистры.

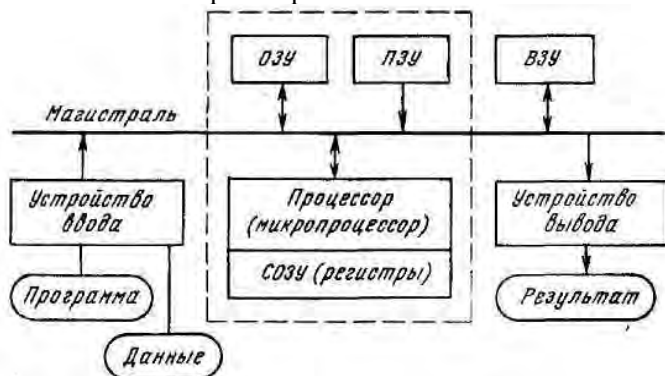


Рис. 12.1. Структура ЭВМ

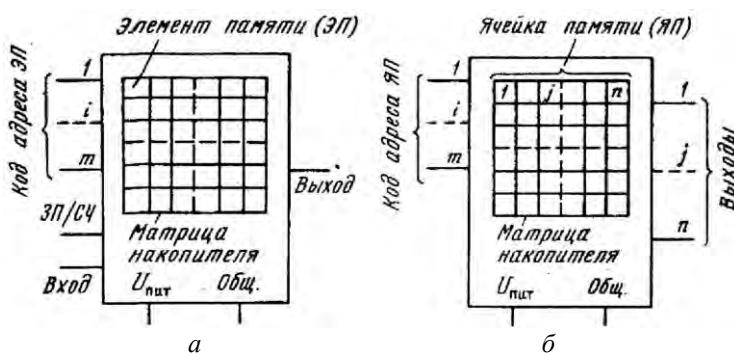


Рис. 12.2. Микросхема памяти как функциональный узел:
а – ОЗУ; б – ПЗУ

Буферная память предназначена для промежуточного хранения информации при обмене между устройствами, работающими с разными скоростями.

Наряду с внутренней памятью имеется внешняя память. Внешнее ЗУ (ВЗУ) предназначено для хранения больших объемов информации и характеризуется более низким быстродействием.

Основной составной частью структуры любой микросхемы памяти является матрица накопителя, представляющая собой одно-

родный массив элементов памяти. Элемент памяти (ЭП) может хранить один бит (0 или 1) информации.

Каждый ЭП имеет свой адрес. Для обращения к ЭП необходимо его «выбрать» с помощью кода адреса, сигналы которого подводят к соответствующим выводам микросхемы.

Схемотехнический принцип построения элемента памяти в значительной степени определяет способ хранения информации в накопителе. По этому признаку микросхемы памяти можно разделить на статические и динамические.

В микросхемах статических ЗУ информация в режиме хранения неподвижна, то есть находится в статическом состоянии. В этот класс микросхем памяти входят микросхемы ОЗУ, у которых элементом памяти является статический триггер, и микросхемы ПЗУ.

В микросхемах динамических ЗУ записанная в накопитель информация в режиме хранения периодически перезаписывается с целью ее восстановления (регенерации). К этому классу микросхем памяти относят микросхемы динамических ОЗУ. Элементом памяти в таких микросхемах является МДП-конденсатор, сформированный внутри полупроводникового кристалла. Информация, имеющая форму уровня напряжения (заряда) на конденсаторе, из-за наличия токов утечки в объеме и на поверхности полупроводникового кристалла не может сохраняться длительное время и поэтому нуждается в периодическом восстановлении.

Микросхемы динамических ОЗУ имеют большую информационную емкость, чем микросхемы статических ОЗУ, что обусловлено меньшим числом компонентов в одном элементе памяти и, следовательно, более плотным их размещением в полупроводниковом кристалле. Однако динамические ОЗУ сложнее в применении, поскольку нуждаются в организации принудительной регенерации, а значит, в дополнительном оборудовании и усложнении устройств управления.

Для хранения небольших объемов информации широко применяют регистровые ЗУ. В обширной номенклатуре микросхем регистров некоторая их часть содержит многорегистровые структуры, которые можно использовать для одновременного хранения нескольких слов. Возможности таких микросхем зависят от их структурного построения и способа адресации регистров. Некоторые допускают адресное обращение к каждому из регистров (регистровые файлы).

Другие работают по принципу «магазинного» ЗУ, заполняясь информацией по мере ее поступления и освобождаясь от нее в порядке ее поступления по правилу «первым вошел – первым вышел» (FIFO – First Input – First Output) или в обратном порядке «последним вошел – первым вышел» (LIFO – Last Input-First Output).

Магазинные ЗУ нередко называют стеком (stack – штабель).

В микросхемах ПЗУ функции элементов памяти выполняют переключки между линиями строк и столбцов в накопителе. Эти переключки представляют собой либо тонкопленочные проводники, либо диоды и транзисторы. Наличие переключки кодируется 1, ее отсутствие – 0. Возможна и обратная кодировка.

Занесение информации в микросхемы ПЗУ, то есть их программирование, осуществляют в основном двумя способами. Один из них заключается в формировании переключек в накопителе на заключительной стадии изготовления микросхемы с использованием трафарета (маски). Такие микросхемы получили название масочных ПЗУ (МПЗУ). Другой способ состоит в пережигании легкоплавких токопроводящих переключек в тех точках накопителя, где должен быть записан 0 или 1, в зависимости от принятого кодирования состояний переключек. Программирование микросхем ПЗУ осуществляет пользователь с помощью специального устройства – программатора.

Микросхемы масочных ПЗУ и микросхемы программируемых пользователем ПЗУ (ППЗУ) допускают однократную запись информации, поскольку при программировании происходит необратимое разрушение соединений в накопителе.

Существует разновидность ПЗУ, допускающая неоднократное программирование, то есть перепрограммирование или, иначе, репрограммирование. Этим свойством репрограммируемые ПЗУ (РПЗУ) обладают благодаря использованию в них элементов памяти на основе МДП-транзисторов специальной конструкции, способных переходить из непроводящего состояния в проводящее и обратно под воздействием внешнего программирующего напряжения.

По способу стирания информации в накопителе микросхемы РПЗУ разделяют на два вида, которые называют программируемыми ПЗУ со стиранием электрическим сигналом (ЭСППЗУ) и ультрафиолетовым излучением (СППЗУ).

Наряду с полупроводниковыми микросхемами ОЗУ и ПЗУ промышленность выпускает микросхемы памяти на тонких магнитных

пленках, элементами памяти в которых являются цилиндрические магнитные домены (ЦМД). Микронные размеры ЦМД позволяют в тонкой пленке магнитного материала на диэлектрической подложке размерами $100 \times 100 \text{ мм}^2$ разместить накопитель с информационной емкостью в десятки миллионов бит. Микросхемы памяти на ЦМД предназначены для реализации внешних запоминающих устройств, отличающихся от устройств на магнитных лентах и дисках более высокой надежностью функционирования и быстродействием благодаря полнотью электронной системе записи и считывания информации.

Разновидности микросхем памяти приведены на рис.12.3. Здесь же показаны международные буквенные обозначения микросхем памяти различных видов.

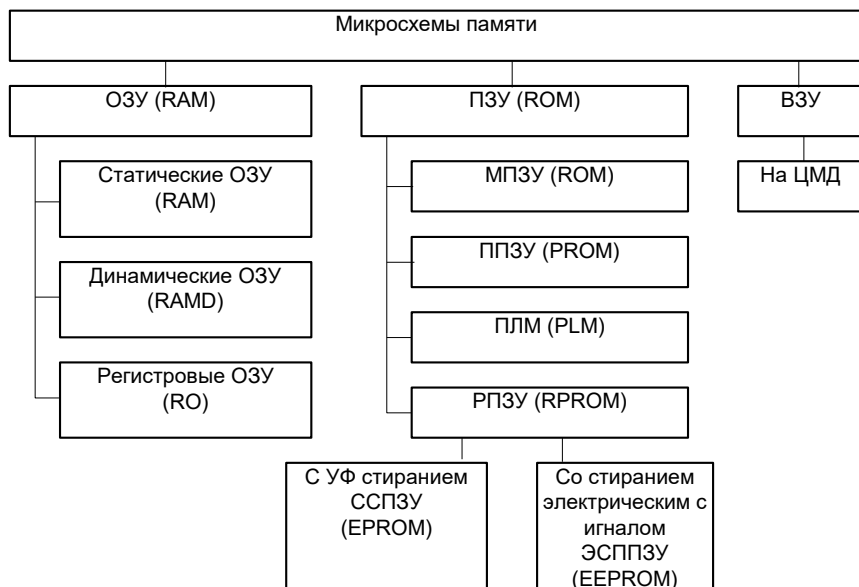


Рис. 12.3. Классификация микросхем памяти

Информацию о принадлежности микросхемы к определенной серии содержит ее условное буквенное обозначение. В соответствии с принятой системой обозначение микросхемы представляет собой цифробуквенный код, состоящий из следующих частей:

а) трех-, четырехзначное число, обозначающее номер серии, в котором первая цифра указывает на конструктивно-технологическое исполнение микросхемы: 1, 5, 6, 7 – полупроводниковые, 2, 4, 8 – гибридные, 3 – пленочные, керамические и прочие. Последующие две-три цифры являются порядковым номером разработки. При четырехзначном номере серии вторая цифра указывает на область применения или на функциональное предназначение микросхем серии: 0 – бытовая радиоэлектронная аппаратура, 1 – аналоговая техника, 4 – операционные усилители, 5 – цифровая техника, 6 – запоминающие устройства, 8 – микропроцессорная техника;

б) двухбуквенный индекс, в котором первая буква обозначает подгруппу, а вторая – вид микросхемы по функциональному назначению: РУ – оперативные ЗУ с управлением, РМ – матрицы оперативных ЗУ, РЕ – масочные ЗУ, РТ – программируемые ПЗУ, РР – репрограммируемые ПЗУ со стиранием информации электрическим сигналом (ЭСППЗУ), РФ – репрограммируемые ПЗУ со стиранием информации ультрафиолетовым излучением (СППЗУ), РЦ – запоминающие устройства на ЦМД, ИР – регистры;

в) одно-, двух- или трехзначный номер разработки микросхемы среди ей подобных в данной серии;

г) буква, указывающая типономинал микросхемы;

д) при необходимости в начале буквенного обозначения располагают двухбуквенный префикс, первая буква которого К обозначает микросхемы широкого (общетехнического) применения, а вторая – материал и тип корпуса: А – пластмассовый типа 4; Б – бескорпусное исполнение; Е – металлополимерный типа 2; И – стеклокерамический типа 4; М – керамический, металлокерамический типа 2; Н – керамический типа 5; Р – пластмассовый типа 2; С – стеклокерамический типа 2; Ф – пластмассовый подтипа 43. Вторая буква в префиксе может отсутствовать. Микросхемы, предназначенные для экспорта, перед начальной буквой К в условном обозначении имеют букву Э.

По физико-технологическому признаку микросхемы памяти можно разделить на два класса: биполярные и униполярные. Первые изготавливают по технологии биполярных транзисторов, вторые – по технологии полевых транзисторов, в основном МДП-транзисторов.

Существует смешанная БиКМДП-технология, позволяющая объединить положительные свойства биполярной и КМДП-технологий:

высокое быстродействие биполярных элементов и малую потребляемую мощность элементов КМДП-структуры

12.2. Типовые структуры и функциональные узлы микросхем памяти

Для характеристики микросхемы памяти как функционального узла электронной аппаратуры необходимо знать прежде всего режимы работы, сигналы управления, способы сопряжения с другими функциональными узлами в аппаратуре, систему электрических параметров и их значения.

Обобщенная структурная схема запоминающего устройства, характерная для ОЗУ и ПЗУ, представлена на рис. 12.4. Она содержит следующие функциональные узлы: накопитель, дешифратор кода адреса (ДШ), устройство ввода-вывода (УВВ), устройство управления (УУ).

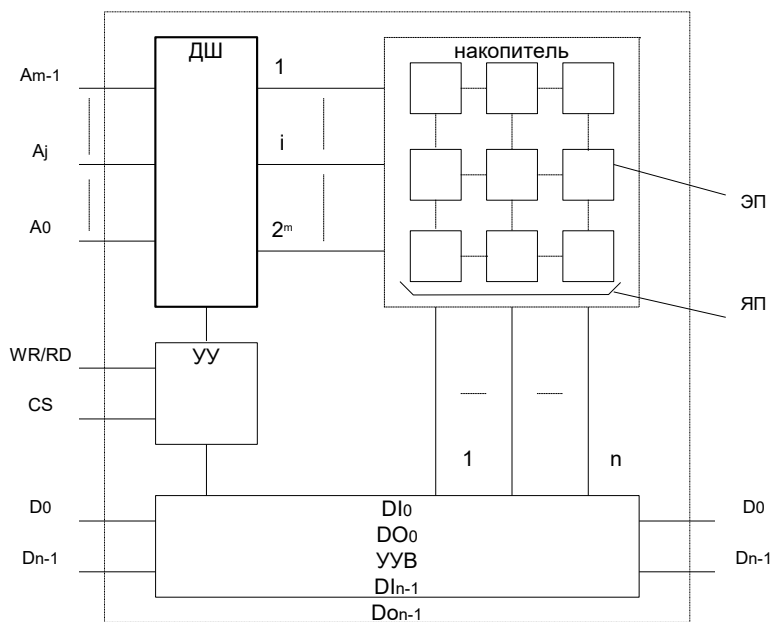


Рис. 12.4. Обобщенная структурная схема запоминающего устройства

Накопитель представляет собой совокупность элементов памяти, объединенных в матрицу. В матрице ЭП размещены на пересечениях

горизонтальных и вертикальных проводников, называемых соответственно строками и столбцами. Каждый ЭП может хранить один бит (0 или 1) информации. Для хранения n -разрядного слова требуются n элементов памяти. Совокупность элементов памяти, предназначенная для хранения одного слова, называется ячейкой памяти (ЯП).

Накопитель может иметь одноразрядную и многоразрядную (словарную) организацию. Накопитель со словарной организацией позволяет за одно обращение к нему записать или считать n разрядов, составляющих слово.

Организация ЗУ предусматривает возможность обращения к любой ЯП для записи или считывания информации. Для этой цели служит дешифратор (ДШ). Он преобразует код адреса $A_{m-1}...A_0$ в активный сигнал выборки ЯП. Число ЯП в накопителе равно 2^m , где m – число разрядов в адресном коде. Если ЗУ допускает выборку любой ЯП в произвольном порядке, то его называют ЗУ с произвольной выборкой (ЗУПВ).

Устройство ввода-вывода (УВВ) предназначено для усиления и нормализации информационных сигналов $D_{n-1}...D_0$, подаваемых на входы ЗУ DI при записи и снимаемых с выходов D_0 при считывании.

Многие микросхемы имеют совмещенные входы-выходы. В таких микросхемах УВВ дополнительно выполняет и функцию разделения внутренних цепей приема и выдачи информации. К УВВ предъявляется также требование сопряжения входов и выходов с внешними линиями передачи.

Устройство управления формирует внутренние сигналы для воздействия на функциональные узлы ЗУ, соответствующего внешним сигналам управления: «Запись/Считывание» (WR/RD), «Выбор кристалла (микросхемы)» (CS). Сигнал WR/RD определяет режим записи при $WR/RD = 1$ и считывания при $WR/RD = 0$. Сигнал CS разрешает при $CS = 1$ или запрещает доступ к накопителю по информационным входам и выходам при $CS = 0$. У большинства микросхем памяти сигнал CS является основным для установления микросхемы в режим хранения независимо от состояний сигналов на других входах.

Принцип действия изображенной на рис. 12.4 схемы применительно к ОЗУ заключается в следующем. Для записи слова $DIn_1...D_0$ в заданную ЯП его необходимо подать на информационные входы $DIn-1...DI_0$. Одновременно на адресные входы $A_{m-1}...A_0$ должен

быть подан код адреса выбираемой ЯП, а на входы управления – сигналы $WR/RD = 1$ и $CS-1$. После выполнения этих операций входная информация через УВВ пройдет в накопитель и запишется в выбранную ячейку памяти. Для обеспечения режима хранения достаточно подать сигнал $CS = 0$. Режим считывания реализуется аналогично режиму записи, но при значении сигнала $WR/RD = 0$.

Типовая схема ПЗУ отличается от ОЗУ отсутствием входов для информационных сигналов.

Следует заметить, что сигналы на входах и выходах микросхем ОЗУ и ПЗУ могут быть представлены своими прямыми значениями, как, например, в вышеприведенном рассмотрении, так и инверсными.

В общем случае любая микросхема памяти имеет следующие информационные выводы (рис. 12.5).

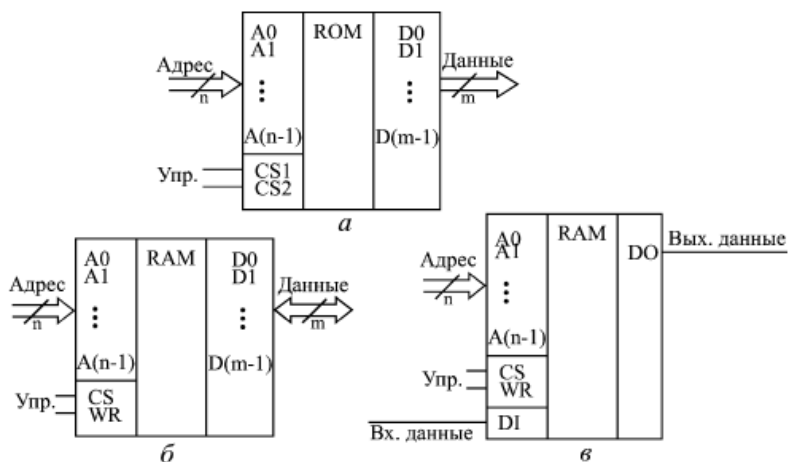


Рис. 12.5. Микросхемы памяти: ПЗУ (а), ОЗУ с двунаправленной шиной данных (б); ОЗУ с отдельными шинами входных и выходных данных (в)

- Адресные выводы (входные), образующие шину адреса памяти. Код на адресных линиях представляет собой двоичный номер ячейки памяти, к которой происходит обращение в данный момент. Количество адресных разрядов определяет количество ячеек памяти: при количестве адресных разрядов n количество ячеек памяти равно 2^n .

- Адресные выводы (входные), образующие шину адреса памяти. Код на адресных линиях представляет собой двоичный номер ячейки

памяти, к которой происходит обращение в данный момент. Количество адресных разрядов определяет количество ячеек памяти: при количестве адресных разрядов n количество ячеек памяти равно 2^n .

- Выводы данных (выходные), образующие шину данных памяти. Код на линиях данных представляет собой содержимое той ячейки памяти, к которой производится обращение в данный момент. Количество разрядов данных определяет количество разрядов всех ячеек памяти (обычно оно бывает равным 1, 4, 8, 16). Как правило, выходы данных имеют тип выходного каскада ОК или 3С.

- В случае оперативной памяти, помимо выходной шины данных, может быть еще и отдельная входная шина данных, на которую подается код, записываемый в выбранную ячейку памяти. Другой возможный вариант – совмещение входной и выходной шин данных, то есть двунаправленная шина, направление передачи информации по которой определяется управляющими сигналами. Двунаправленная шина обычно применяется при количестве разрядов шины данных четыре или более.

- Управляющие выходы (входные), которые определяют режим работы микросхемы. В большинстве случаев у памяти имеется вход выбора микросхемы CS (их может быть несколько, объединенных по функции И). У оперативной памяти также обязательно есть вход записи WR, активный уровень сигнала на котором переводит микросхему в режим записи.

12.3. Условные графические обозначения микросхем памяти

На рис. 12.6 представлены примеры обозначений микросхем статического ОЗУ с одnorазрядной организацией (рис. 12.6, а), со словарной организацией и совмещенными входами-выходами (рис. 12.6, б), микросхемы динамического ОЗУ (рис. 12.6, в), микросхемы МПЗУ (рис. 12.6, г), ППЗУ (рис. 12.6, д), РПЗУ (рис. 12.6, е).

Условное графическое обозначение содержит три поля. В среднем поле помещено обозначение вида микросхемы памяти и данные о ее информационной емкости в битах. На левом поле помещены символы, указывающие на назначение выводов и подводимых к ним сигналов. На правом поле помещены обозначения выводов и

соответствующих им подводимых или отводимых сигналов, а также обозначение типа выхода (выходов):

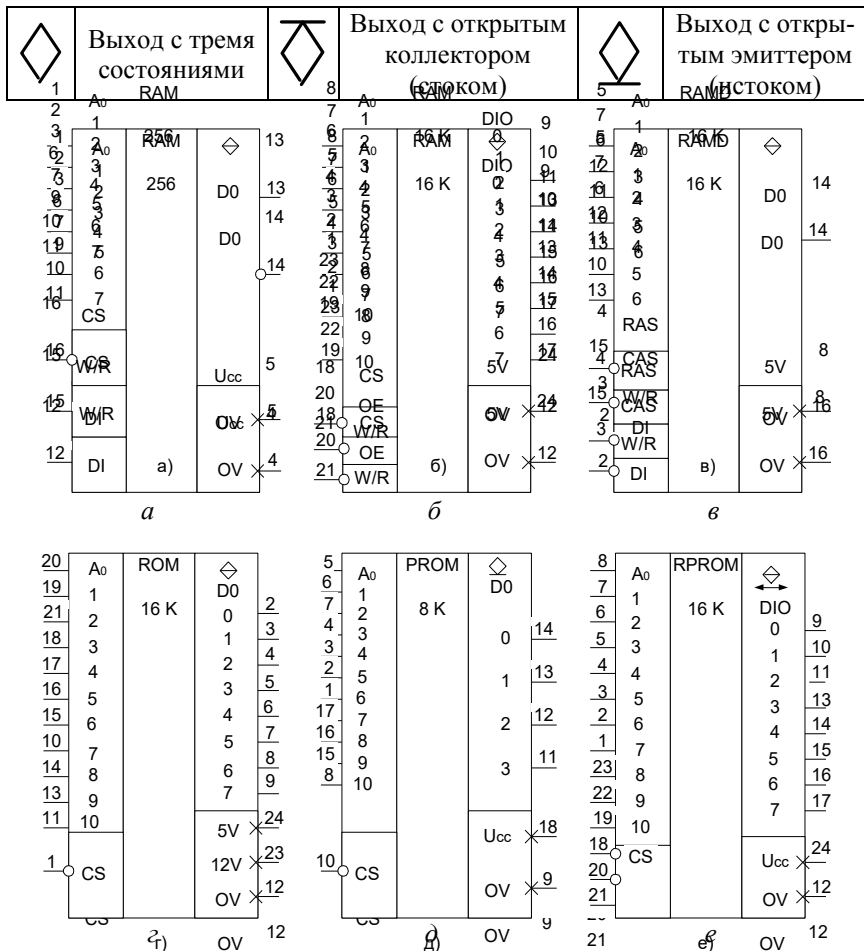


Рис. 12.6. Условные графические изображения микросхем памяти:
a – статическое ОЗУ с одноразрядной организацией; *б* – статическое ОЗУ со словарной организацией и совмещенными входами-выходами; *в* – динамическое ОЗУ;
г – масочное ПЗУ; *д* – программируемое ПЗУ; *е* – репрограммируемое ПЗУ

12.4. Применение ПЗУ

Основные временные характеристики микросхем ПЗУ – это две величины задержки.

Задержка выборки адреса памяти – время от установки входного кода адреса до установки выходного кода данных.

Задержка выборки микросхемы – время от установки активного разрешающего управляющего сигнала CS до установки выходного кода данных памяти. Задержка выборки микросхемы обычно в несколько раз меньше задержки выборки адреса.

Содержимое ПЗУ обычно изображается в виде специальной таблицы, называемой картой прошивки памяти. В таблице показывается содержимое всех ячеек памяти, причем в каждой строке записывается содержимое 16 (или 32) последовательно идущих (при нарастании кода адреса) ячеек. При этом, как правило, используется шестнадцатеричное кодирование.

Пример карты прошивки ПЗУ с организацией 256×8 показан в табл. 12.1 (все биты всех ячеек считаются установленными в единицу). Пользоваться таблицей очень просто. Например для того, чтобы посмотреть содержимое ячейки памяти с шестнадцатеричным адресом 8A, надо взять строку таблицы с номером 80 и столбец таблицы с номером A (данная ячейка в таблице выделена жирным шрифтом).

Таблица 12.1

Пример карты прошивки ПЗУ

Адрес	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
00	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF
10	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF
20	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF
30	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF
40	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF
50	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF
60	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF
70	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF
80	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF
90	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF
A0	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF
B0	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF

C0 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
 D0 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
 E0 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
 F0 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF

Любые микросхемы ПЗУ легко можно включать так, чтобы уменьшать или увеличивать количество адресных разрядов, то есть уменьшать или увеличивать количество используемых ячеек памяти.

На рис. 12.7 показано, как из микросхемы с организацией $2K \times 8$ сделать микросхему 512×8 . Два старших разряда адреса памяти отключены (на них поданы нулевые сигналы). Использоваться будут только младшие (верхние в таблице прошивки) 512 ячеек, и только их надо будет программировать.

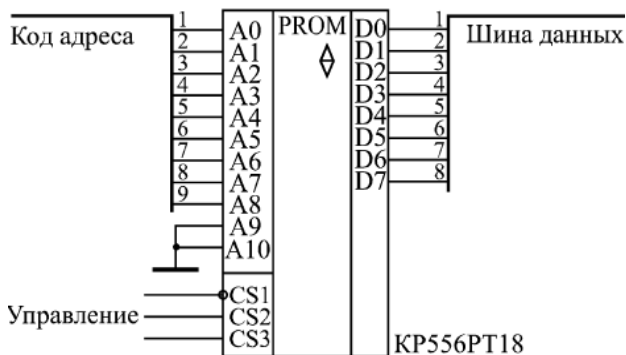


Рис. 12.7. Уменьшение количества адресных разрядов ПЗУ

Задача увеличения количества адресных разрядов ПЗУ встречается значительно чаще задачи уменьшения количества адресных разрядов.

Для увеличения адресных разрядов обычно применяются микросхемы дешифраторов (рис. 12.8).

Младшие разряды шины адреса при этом подаются на объединенные адресные входы всех микросхем, а старшие – на управляющие (адресные) входы дешифратора. Выходные сигналы дешифратора разрешают работу всегда только одной микросхемы памяти. В результате на общую шину данных всех ПЗУ выдает свою информацию только одна микросхема.

Применение дешифратора 3–8 позволяет объединить восемь микросхем ПЗУ (добавить три адресных разряда).

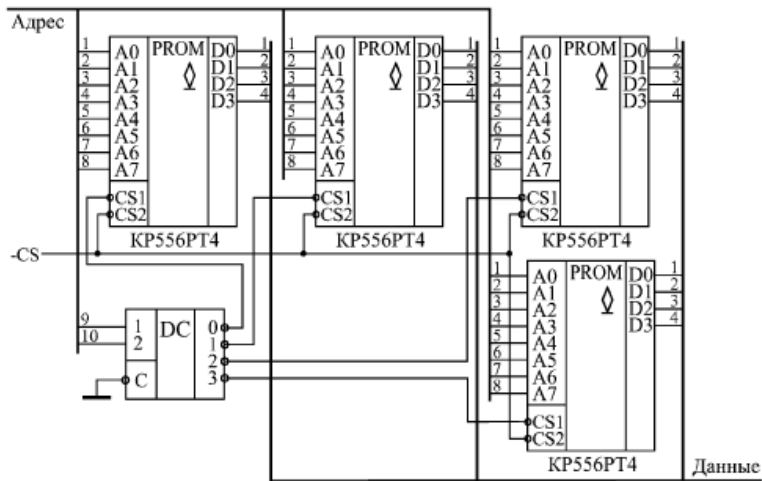


Рис. 12.8. Увеличение количества адресных разрядов ПЗУ с помощью дешифратора

Часто возникает также задача увеличения количества разрядов данных. Для этого необходимо всего лишь объединить одноименные адресные входы нужного количества микросхем ПЗУ, выходы же данных ПЗУ не объединяются, а образуют код с большим числом разрядов. Например, при объединении таким образом двух микросхем с организацией $8K \times 8$ можно получить ПЗУ с организацией $8K \times 16$.

Одно из самых распространенных применений микросхем ПЗУ – замена ими сложных комбинационных схем.

Если рассматривать адресные входы микросхемы ПЗУ как входы комбинационной схемы, а разряды данных – как выходы этой комбинационной схемы, то можно сформировать любую требуемую таблицу истинности данной комбинационной схемы. Для этого всего лишь надо составить таблицу прошивки ПЗУ, соответствующую нужной таблице истинности.

В качестве примера рассмотрим комбинационную схему, представленную на рис. 12.9, имеющую восемь входов и четыре выхода.

Схема распознает два различных 5-разрядных входных кода (11001 и 10011) в случае, когда на входе разрешения «-Разр.» присутствует нулевой сигнал, а при приходе сигналов «-Строб 1» и «-Строб 2» схема выдает на выход отрицательные импульсы. Причем первый выходной сигнал вырабатывается в случае, когда входной код равен 11001 и пришел сигнал «-Строб 1», второй выходной сигнал – при том же коде, но по входному сигналу «-Строб 2». Третий и четвертый выходные сигналы вырабатываются при входном коде 10011 и при приходе соответственно управляющих сигналов «-Строб 1» и «-Строб 2».

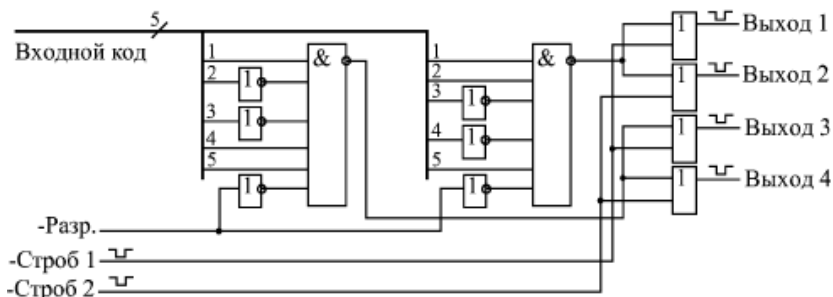


Рис. 12.9. Пример комбинационной схемы, заменяемой ПЗУ

Всю эту схему можно заменить одной микросхемой ПЗУ (рис. 12.10). Микросхема ПЗУ всегда выбрана (управляющие сигналы $-\text{CS1}$ и $-\text{CS2}$ – нулевые). На выходах данных памяти включены резисторы, так как тип выходов микросхемы – ОК.

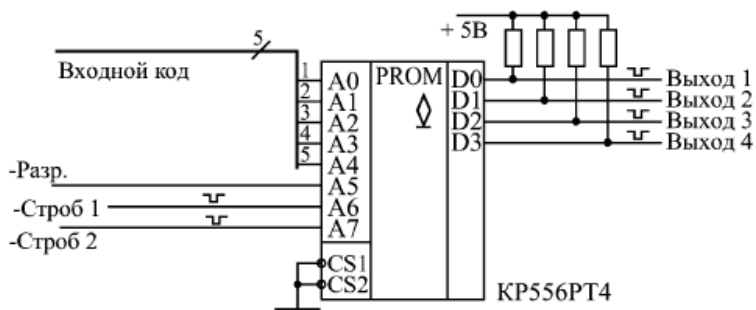


Рис. 12.10. Включение ПЗУ для замены комбинационной схемы, показанной на рис. 12.9

Микросхемы ПЗУ могут заменять собой любые комбинационные микросхемы: дешифраторы, шифраторы, компараторы кодов, сумматоры, мультиплексоры, преобразователи кодов и т. д.

В общем случае ПЗУ можно рассматривать как преобразователь входного кода (кода адреса) в выходной (код данных) по произвольному закону, задаваемому разработчиком. Это позволяет не только преобразовывать друг в друга различные стандартные коды, но и выполнять множество других функций, например, использовать ПЗУ как простейший табличный вычислитель.

Одно из наиболее распространенных применений ПЗУ как преобразователя кодов – это построение на их основе всевозможных индикаторов, отображающих на экране буквы и цифры. ПЗУ в данном случае переводит код (номер) буквы или цифры в ее изображение. Конечно, в данном случае заменить ПЗУ комбинационной схемой совершенно невозможно, так как букв и цифр очень много, а их изображения весьма разнообразны.

Простейший пример данного применения ПЗУ – это управление знаковым семисегментным индикатором, знакомым всем по калькуляторам, кассовым аппаратам, электронным часам, весам и т. д. В семисегментных индикаторах изображение всех цифр от 0 до 9 строится всего из семи сегментов (отрезков линий) (рис. 12.11.).

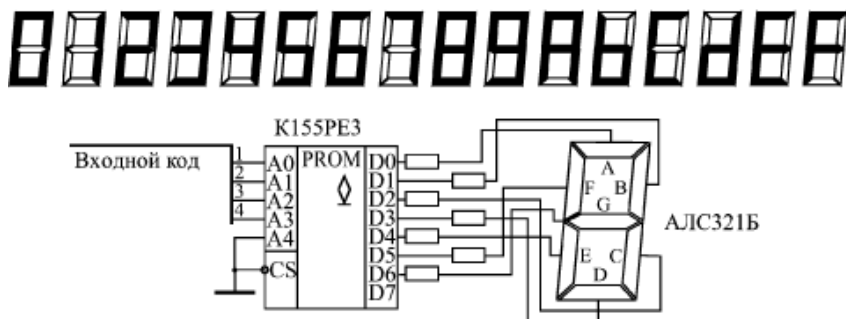


Рис. 12.11. Дешифратор знакового семисегментного индикатора на ПЗУ

Чтобы отобразить в виде цифры 4-разрядный двоичный код, надо этот код преобразовать в 7-разрядный код, каждому разряду которого будет соответствовать один сегмент индикатора. То есть коду 0000 должно соответствовать изображение нуля (шесть сегментов, расположенных по периметру), а коду 0001 – изображение

единицы (два правых вертикальных сегмента). Для повышения универсальности индикатора удобно дополнить десять цифр еще и шестью буквами, использующимися в шестнадцатеричном коде (A, B, C, D, E, F). Семь сегментов индикатора позволяют сделать и это, правда, изображения букв получаются не слишком качественными.

ПЗУ типа РЕЗ, используемое в качестве дешифратора индикатора, имеет четыре входа и семь выходов (старший разряд адреса и старший разряд данных не используются). Карта прошивки ПЗУ приведена в табл. 12.2. Нулевой сигнал на каждом из выходов данных ПЗУ зажигает соответствующий ему сегмент.

Таблица 12.2

Карта прошивки ПЗУ для дешифратора знакового индикатора

Адрес	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
00	40	79	24	30	19	12	02	78	00	10	08	03	46	21	06	0E
10	XX	XX	XX	XX	XX	XX	XX	XX	XX	XX	XX	XX	XX	XX	XX	XX

12.5. Применение ОЗУ

Как уже отмечалось, оперативная память бывает двух основных видов: с отдельными шинами входных и выходных данных (в основном это одноразрядная память) и с двунаправленной (совмещенной) шиной входных и выходных данных (многоразрядная память). Некоторые простейшие примеры микросхем памяти обоих этих видов приведены на рис. 12.12.

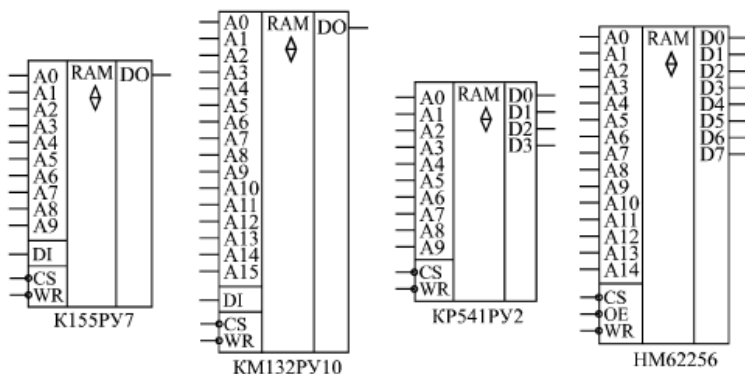


Рис. 12.12. Примеры микросхем статических ОЗУ

Выходы данных микросхем памяти имеют тип ОК (довольно редко) или 3С. Управляющие сигналы – это сигнал выбора микросхемы CS (иногда их несколько), сигнал записи WR (обычно отрицательный) и иногда сигнал разрешения выхода OE.

Микросхема оперативной памяти K155PY7 (аналог – F9342APC) имеет организацию 1К × 1 и отдельные входной и выходной сигналы данных. Выход микросхемы – типа 3С. Управление работой микросхемы производится двумя управляющими сигналами CS и WR. Режимы работы микросхемы приведены в табл. 12.3.

Таблица 12.3

Режимы работы оперативной памяти K155PY7

Входы и выходы					Режим работы
He CS	He WR	A0–A9	DI	DO	
1	X	X	X	3С	Хранение
0	0	Адрес	0	3С	Запись 0
0	0	Адрес	1	3С	Запись 1
0	1	Адрес	X	Данные	Чтение

Микросхема KM132PY10 отличается от K155PY7 в основном большим объемом (организация 64К × 1) и несколько меньшим быстродействием. Назначение управляющих сигналов и таблица режимов работы у этих микросхем совпадают.

Микросхема KP541PY2 (аналог – IM7147L-3) относится к другой разновидности микросхем памяти. У нее четыре двунаправленных вывода данных типа 3С. Управляющие сигналы те же самые: не CS и не WR. Таблица режимов работы (табл. 12.24) также похожа на таблицу для одноразрядных микросхем. Главное отличие состоит в том, что в режиме записи на входах/выходах данных присутствует записываемая информация.

Таблица 12.24

Режимы работы оперативной памяти KP541PY2

Входы и выходы				Режим работы
He CS	He WR	A0–A9	DIO0...DIO3	
1	X	X	3С	Хранение
0	0	Адрес	3С	Запись 0
0	0	Адрес	3С	Запись 1
0	1	Адрес	Данные	Чтение

Микросхема NM62256 фирмы Hitachi отличается от KP541PY2 прежде всего организацией ($32K \times 8$) и управляющими сигналами (добавлен сигнал разрешения выхода не OE). Когда этот сигнал пассивен (равен единице), входы/выходы данных микросхемы находятся в состоянии 3С независимо от режима работы. Введение дополнительного сигнала позволяет более гибко управлять работой микросхемы. К тому же обычно в подобных микросхемах при пассивном сигнале не CS (равном единице) значительно уменьшается потребляемая мощность.

В настоящее время имеется огромный выбор микросхем памяти с разным объемом (от нескольких байт до нескольких мегабайт), разным количеством разрядов (обычно 1, 4, 8, 16 разрядов), разными методами управления и разным потреблением и быстродействием. В каждом конкретном случае надо подбирать оптимальную память, в наибольшей степени удовлетворяющую требованиям решаемой задачи.

Для микросхем памяти очень важны временные параметры (задержки сигналов относительно друг друга) и порядок выставления и снятия сигналов адреса, данных и управления. Всю эту информацию дают временные диаграммы циклов записи в память и чтения (считывания) из памяти, приводимые в справочниках.

Самые главные временные параметры оперативной памяти следующие:

- время выборки адреса (задержка между изменением адреса и выдачей данных);
- время выборки микросхемы (задержка выдачи данных по выставлению сигнала не CS);
- минимальная длительность сигнала записи не WR;
- минимальная длительность сигнала не CS.

Типичные временные диаграммы циклов записи и чтения приведены на рис. 12.13. Конкретные временные диаграммы для каждого типа памяти необходимо смотреть в справочниках.

Для записи информации в память надо выставить код адреса на адресных входах, выставить код записываемых в этот адрес данных на входах данных, подать сигнал записи не WR и подать сигнал выбора микросхемы не CS. Порядок выставления сигналов бывает различным, он может быть существенным или несущественным (например, можно выставлять или снимать не CS раньше или позже выставления или снятия не WR). Собственно запись обычно производится сигналом не WR или не CS, причем данные должны удерживаться в течение всего сигнала не WR (или не CS) и заданное время после его окончания.

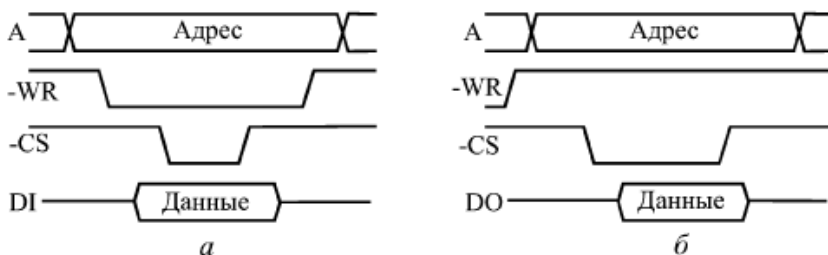


Рис. 12.13. Типичные временные диаграммы записи в память (а) и чтения из памяти (б)

Сигнал не CS у некоторых микросхем памяти допускается держать активным (нулевым) для всех записываемых адресов и при этом подавать импульсы не WR для каждого адреса. Точно так же у некоторых микросхем допускается держать активным (нулевым) сигнал записи не WR, но при этом подавать импульсы не CS.

В случае микросхем памяти с двунаправленной шиной данных необходимо использовать источник записываемых данных с выходом 3С или ОК, чтобы избежать конфликта данных, записываемых в память, с данными, выдаваемыми из памяти в режиме чтения.

Микросхемы оперативной памяти довольно часто объединяются для увеличения разрядности данных или разрядности адреса.

На рис. 12.14 показано объединение четырех микросхем K155PY7 для получения памяти с организацией 1К × 4. Точно так же могут

быть объединены и микросхемы с двунаправленной шиной данных. К примеру, из четырех микросхем памяти с организацией $1\text{К} \times 4$ можно получить память с организацией $1\text{К} \times 112$.

Для увеличения количества адресных разрядов используются те же методы, что и в случае ПЗУ. Если объединяются всего две микросхемы памяти, то можно обойтись без применения дешифраторов, выбирающих одну из объединяемых микросхем.

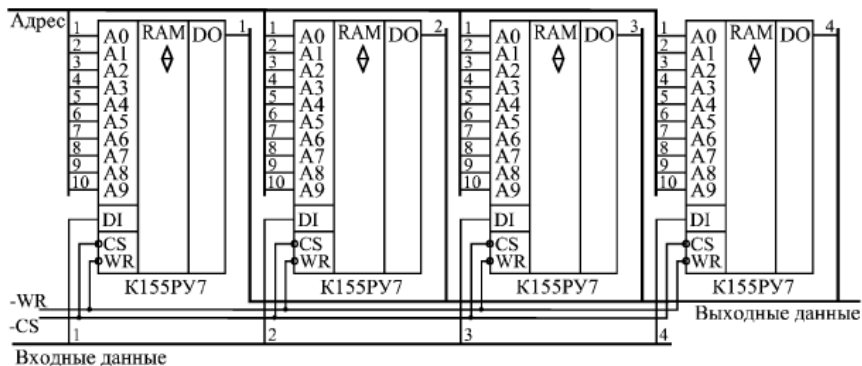


Рис. 12.14. Объединение микросхем памяти для увеличения разрядности шины данных

На рис. 12.15 показан вариант схемы объединения двух микросхем NM62256 для получения памяти с организацией $64\text{К} \times 8$. Дополнительный старший адресный разряд управляет прохождением сигнала не CS на одну из микросхем (при нулевом уровне на дополнительном адресном разряде сигнал не CS проходит на левую по рисунку микросхему, при единичном уровне – на правую по рисунку микросхему).

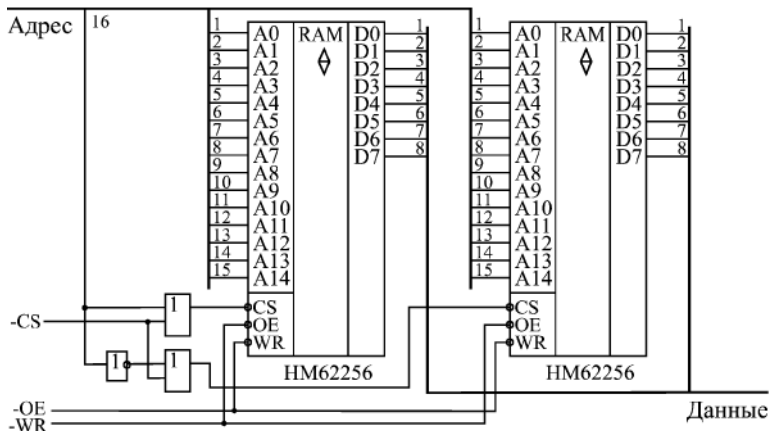


Рис. 12.15. Объединение микросхем памяти для увеличения разрядности шины адреса

12.6 Контрольные вопросы

1. Какие единицы измерения используются для обозначения количества ячеек памяти?
2. Что обозначает организация памяти $128\text{K} \times 16$?
3. Дайте определение ОЗУ?
4. Какая память называется постоянной?
5. Что такое буферная память?
6. Что представляет собой стековая память?
7. Какая память называется СОЗУ?
8. Изобразите классификацию микросхем памяти.
9. Изобразите обобщенную структурную схему запоминающего устройства.
10. Изобразите условное обозначение микросхемы ОЗУ с двунаправленной шиной данных. Поясните назначение выводов.
11. Изобразите условное обозначение микросхемы ПЗУ. Поясните назначение выводов.
12. Изобразите условное обозначение микросхемы ОЗУ с раздельными шинами входных и выходных данных. Поясните назначение выводов.
13. Как обозначается выход с тремя состояниями?
14. Как обозначается выход с открытым коллектором (стоком)?

15. Как обозначается выход с открытым эмиттером (исток)?
16. Назовите основные временные характеристики микросхем ПЗУ.
17. Что такое задержка выборки адреса памяти?
18. Что такое задержка выборки микросхемы?
19. Назовите основные параметры оперативной памяти.
20. Изобразите временную диаграмму записи в оперативную память.
21. Изобразите временную диаграмму чтения из оперативной памяти.
22. Как объединяются микросхемы памяти для увеличения разрядности шины адреса?
23. Как объединяются микросхемы памяти для увеличения разрядности шины данных?

Индивидуальное задание

Согласно заданному преподавателем варианту начертите накопитель памяти.

Таблица 12.5

№ варианта	Память	Объем накопителя	Микросхема
1	ОЗУ	8К × 8	К155 РУ7
2	ОЗУ	16К × 8	К155 РУ7
3	ОЗУ	8К × 16	К155 РУ7
4	ОЗУ	12К × 8	Рис. 12.6, а
5	ОЗУ	100К × 8	НМ62256
6	ОЗУ	40К × 16	КМ 132РУ10
7	ОЗУ	6К × 16	КР541РУ2
8	ОЗУ	100К × 16	НМ62256
9	ОЗУ	8К × 16	Рис. 12.6, а
10	ОЗУ	12К × 8	КМ 132РУ10
11	ОЗУ	10К × 16	Рис. 12.6, а

12	ПЗУ	80К × 8	КР566РТ4
13	ПЗУ	40К × 16	КР566РТ4
14	ПЗУ	60К × 8	КР566РТ18
15	ПЗУ	100К × 8	КР566РТ18
16	ПЗУ	120К × 8	Рис. 12.6, з
17	ПЗУ	1024К × 8	КР566РТ18
18	ПЗУ	80К × 16	Рис. 12.6, з
19	ПЗУ	100К × 16	Рис. 12.6, д
20	ПЗУ	80К × 16	КР566РТ4

13. ЦИФРО-АНАЛОГОВЫЕ И АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Цифро-аналоговые преобразователи (ЦАП, DAC – «Digital-to-Analog Converter») и аналого-цифровые преобразователи (АЦП, ADC – «Analog-to-Digital Converter») главным образом применяются для сопряжения цифровых устройств и систем с внешними аналоговыми сигналами.

При этом АЦП преобразует аналоговые сигналы во входные цифровые сигналы, поступающие на цифровые устройства для дальнейшей обработки или хранения, а ЦАП преобразует выходные цифровые сигналы цифровых устройств в аналоговые сигналы.

ЦАП и АЦП применяются в измерительной технике (цифровые осциллографы, вольтметры, генераторы сигналов и т. д.), в бытовой аппаратуре (телевизоры, музыкальные центры, автомобильная электроника и т. д.), компьютерной технике (ввод и вывод звука в компьютерах, видеомониторы, принтеры и т. д.), медицинской технике, радиолокационных устройствах, в телефонии и многих других областях.

Применение ЦАП и АЦП постоянно расширяется по мере перехода от аналоговых к цифровым устройствам.

В качестве ЦАП и АЦП обычно применяются специализированные микросхемы, выпускаемые многими отечественными и зарубежными фирмами.

Микросхемы ЦАП и АЦП относятся к аналого-цифровым, поэтому они также требуют знания аналоговой схемотехники, существенно отличающейся от цифровой. Практическое применение ЦАП и АЦП

требует расчета аналоговых цепей, учета многочисленных погрешностей преобразования (как статических, так и динамических), знания характеристик и особенностей аналоговых микросхем (в первую очередь операционных усилителей) и многого другого, что далеко выходит за рамки этого пособия.

В настоящей главе использованы материалы учебного пособия Б.Ф. Лаврентьева «Аналоговая и цифровая электроника» (Йошкар-Ола: МарГТУ, 2000).

13.1. Цифро-аналоговые преобразователи

Цифро-аналоговый преобразователь (ЦАП) предназначен для преобразования входной величины, представленной числовым кодом, в эквивалентную аналоговую величину. В ЦАП в качестве входного сигнала используются цифровые коды, а выходным сигналом является, как правило, напряжение.

Принцип работы ЦАП состоит в суммировании эталонных значений напряжений (токов), соответствующих разрядам входного кода, причем в суммировании участвуют только те эталоны, для которых в соответствующих разрядах стоит «1». В этом случае входное напряжение определяется следующим образом:

$$U_{\text{вых}} = \frac{U_0}{2} k_n + \frac{U_0}{4} k_{n-1} + \frac{U_0}{8} k_{n-2} + \dots + \frac{U_0}{2^n} k_1,$$

где U_0 – опорное (эталонное) напряжение;

k – коэффициенты двоичных разрядов, принимающие значение 0 или 1;

n – разрядность входного кода.

Основные характеристики ЦАП подразделяются на статические и динамические. К статическим параметрам относятся:

– разрядность n ;

– абсолютная разрешающая способность ЦАП – то есть минимальное значение изменения сигнала на выходе, обусловленное изменением входного кода на единицу (цена младшего разряда), определяется как $U_0/2^n$;

– абсолютная погрешность преобразования в конечной точке шкалы $\delta_{\text{шк}}$, представляющая собой отклонение значения выходной

напряженности от номинального расчетного, соответствующего конечной точке характеристики преобразования (измеряется в единицах младшего разряда (ЕМР) или в процентах (рис. 13.1);

– нелинейность преобразования δL – это отклонение реальной характеристики преобразования от расчетной (линейной). Величина δL измеряется в единицах младшего разряда или в процентах:

$$\delta L = \frac{\delta L}{U_{\text{мак}}} \cdot 100.$$

Из динамических характеристик наиболее существенными являются:

– время установления выходного сигнала $t_{\text{уст}}$ – это интервал времени от подачи входного кода до появления выходного напряжения,

– максимальная частота преобразования $f_{\text{преобр}}$.

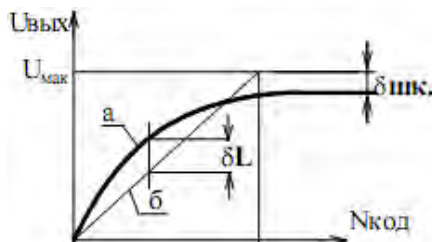


Рис. 13.1. Характеристики преобразования ЦАП: реальная (а) и идеальная (б)

При построении ЦАП в качестве эталонов используются токи или напряжения. Принцип построения ЦАП, реализующих метод суммирования токов, иллюстрируются на рис. 13.2.

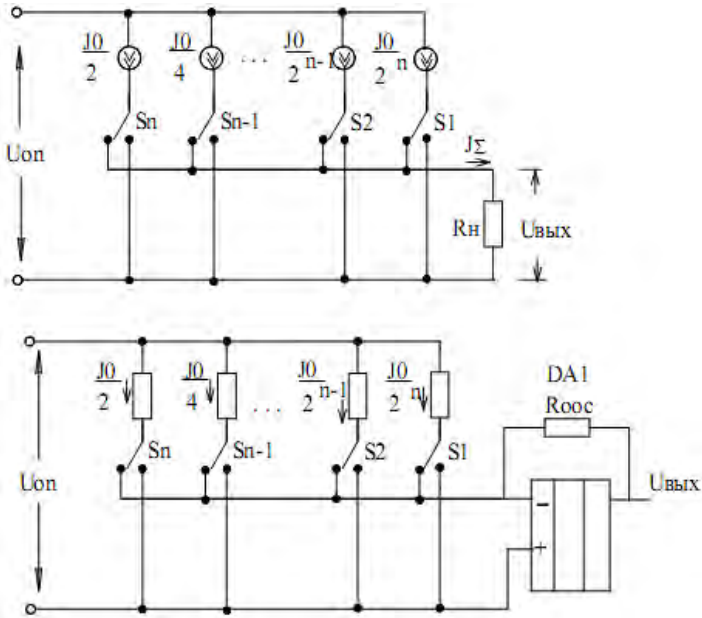


Рис. 13.2. С ЦАП с суммированием токов (а) и ее реализация (б)

Данное устройство (рис. 13.2, а) содержит n источников тока, которые подключаются с помощью ключей S к общей нагрузке R_n . На общей нагрузке R_n будут протекать только токи тех разрядов, в которых значение цифры – единица. Если нагрузка R_n постоянна, то выходное напряжение $U_{\text{вых}}$ пропорционально входному коду. На практике для получения выходного напряжения, пропорционального входному коду, в качестве нагрузки используется операционный усилитель (ОУ), играющий роль преобразователя тока в напряжение. Действительно в ОУ напряжение между входами равно нулю.

$$U_{\text{вых}} = J_y \cdot R_{\omega \text{ c}}$$

Выходное напряжение в ОУ прямо пропорционально выходному току ЦАП и не зависит от сопротивления выходной нагрузки.

Недостатком рассмотренной выше схемы ЦАП является широкий диапазон величин сопротивлений в резистивной матрице для формирования разрядных токов. К тому же эти резисторы должны иметь высокую точность изготовления. Поэтому в современных

ЦАП используются резистивные матрицы типа R–2R. Эти матрицы включают в себя резисторы двух номиналов R и 2R (рис. 13.3).

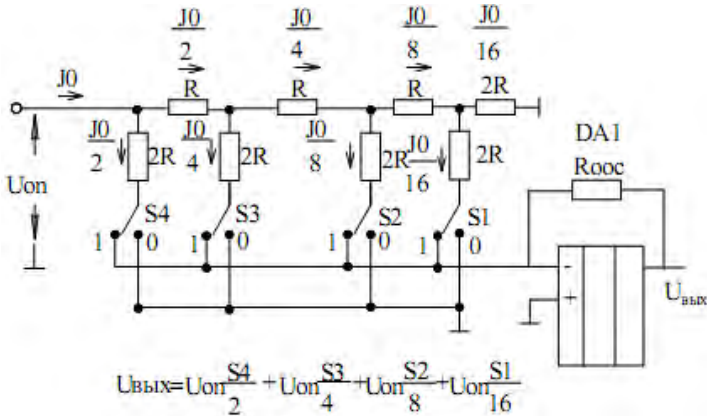


Рис. 13.3. ЦАП с матрицей R–2R

В резистивной матрице происходит последовательное деление тока на два. В результате выходное максимальное напряжение на выходе ЦАП при $N = 111\dots 1$ равно

$$U_{\text{вых}} = U_{\text{оп}} \frac{R_{\text{оос}}}{R} \left(1 - \frac{1}{2^n} \right).$$

Входное сопротивление резистивной матрицы, а следовательно и ток I_0 постоянны и не зависят от состояния ключей (кода). При $R_{\text{оос}} = R$ величина выходного напряжения $U_{\text{вых макс}}$ меньше $U_{\text{оп}}$ на величину младшего разряда.

Точность и стабильность параметров ЦАП в основном зависят от стабильности источника $U_{\text{оп}}$ и точности изготовления резисторов R в матрице.

ЦАП выпускаются в виде ИС, обычно с внешним источником $U_{\text{оп}}$ и ОУ. На рис. 13.4 изображены ИС ЦАП серии К572. Микросхема К572ПА1 представляет собой резистивную матрицу на десять разрядов и токовые ключи. Входы ОУ подключаются к выходным шинам $J1, J2$, а выход ОУ к входу Y . Сопротивление обратной связи $R_{\text{оос}} = R$ находится внутри кристалла, что увеличивает стабильность работы ЦАП. Микросхема К572ПА2 имеет разрядность 12 и содер-

жит два дополнительных двенадцатизрядных регистров для хранения входной информации. Прием в регистры производится подачей сигнала 1 на входы C1 и C2. Существуют другие серии ИС с повышенным быстродействием, например К1108ПА1, К1118ПА1 и др.

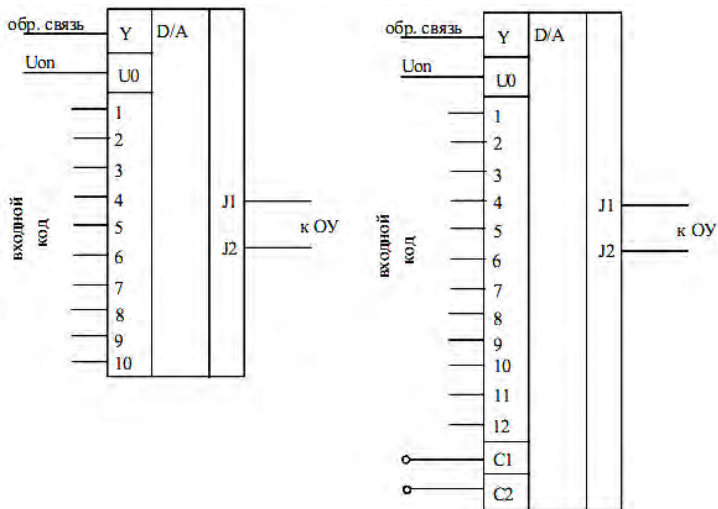


Рис. 13.4. ИС ЦАП серии К572ПА1 (а) и К572ПА2 (б)

13.2. Аналого-цифровые преобразователи

Аналого-цифровой преобразователь (АЦП) – это устройство, предназначенное для преобразования непрерывно изменяющейся во времени физической величины в эквивалентные ей значения цифровых кодов. В качестве аналоговой величины может быть принято напряжение, ток, угловое перемещение, давление газа и т. д.

Процесс аналого-цифрового преобразования предполагает последовательное выполнение следующих операций (рис. 13.5):

- выборку значений исходной аналоговой величины в некоторые заданные моменты времени, т. е. дискретизация сигнала во времени,
- квантование (округление преобразуемой величины до некоторых известных величин) полученной в дискретные моменты времени значения аналоговой величины по уровню,
- кодирование – замена найденных квантовых значений некоторыми числовыми кодами.

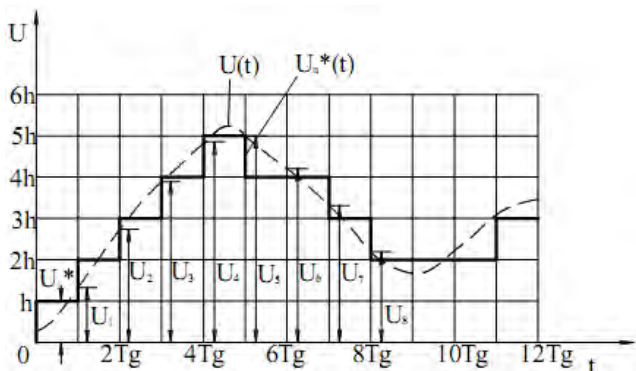


Рис. 13.5. Принцип аналого-цифрового преобразования

Операция квантования по уровню функции $U(t)$ заключается в замене бесконечного множества ее значений на некоторое конечное множество значений $U_n(t)$, называемых уровнями квантования. Для выполнения этой операции весь диапазон изменения функции $D = U(t)_{\max} - U(t)_{\min}$ разбивают на некоторое число уровней N и производят округление каждого значения функции $U(t)$ до ближайшего уровня квантования $U_n(t)$. Величина $h = D/N$ носит название шага квантования. В результате процесса аналого-цифрового преобразования аналоговая функция $U(t)$ заменяется дискретной функцией $U_n(t)$. В аналитической форме процесс аналого-цифрового преобразования может быть представлен выражением:

$$K_{ni} = \frac{U(t)_i}{h} \pm \delta k_i,$$

где $U(t)_i$ – значение функции $U(t)$ в i -м шаге;

h – шаг квантования;

δk_i – погрешность преобразования на i -м шаге.

Процесс квантования по уровню связан с внесением некоторой погрешности ϵ_i , значение которой определяется неравенством

$$-\frac{h}{2} \leq \epsilon \leq +\frac{h}{2}.$$

Погрешность зависит от разрядности.

Основные параметры АЦП делятся на статистические и динамические.

К статическим относятся:

– вид преобразуемой величины: напряжение, ток, угловое перемещение и т. д.;

– диапазон изменения входных величин;

– разрядность;

– абсолютная разрешающая способность;

– абсолютная погрешность преобразования в конечной точке шкалы $\delta_{шк}$;

– нелинейность преобразования δL .

К динамическим параметрам относится максимальная частота преобразования $f_{пр}$.

В зависимости от принципа действия АЦП делятся на АЦП параллельного преобразования, АЦП поразрядного взвешивания, следящие АЦП, интегрирующие АЦП и др.

АЦП параллельного преобразования реализуют метод непосредственного считывания и являются самыми быстродействующими. В качестве примера рассмотрим принцип работы микросхемы К1107ПВ1. Микросхема имеет шесть разрядов и обеспечивает быстродействие до 20 МГц (рис. 13.6).

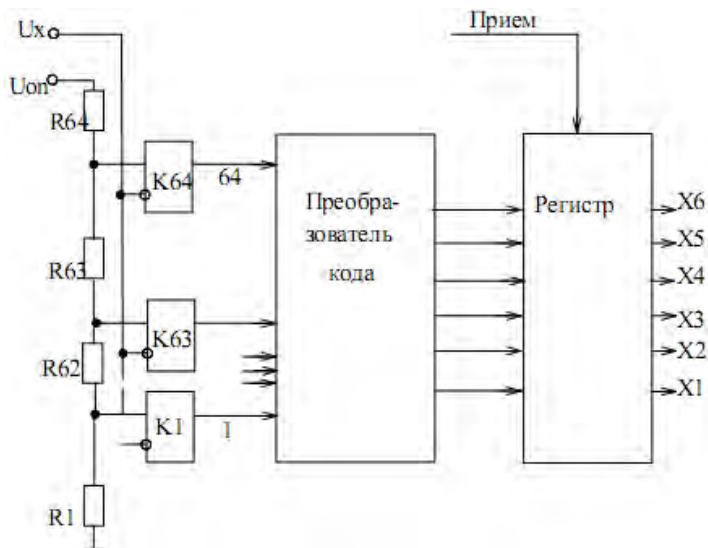


Рис. 13.6. Структурная схема параллельного АЦП

Устройство содержит делитель, образованный резисторами R_1-R_{64} , 64 компаратора K_1-K_{64} , преобразователь кода и регистр. На входы компараторов поступают входной сигнал U_x и напряжение с делителя. При этом на выходах компараторов формируется 64-разрядный единичный код. Число единиц в нем равно числу уровней квантования. Полученный единичный код поступает на вход преобразователя кода, в котором он преобразуется в 6-разрядный двоичный код. Полученный двоичный код записывается в регистр и выдается на выходные шины. В данном АЦП время преобразования занимает один такт.

АЦП поразрядного взвешивания (или поразрядного кодирования) выполняет одно преобразование за n тактов (рис. 13.7).

Основой АЦП является регистр последовательных приближений. Он представляет собой сдвигающий регистр, в котором последовательно, начиная со старшего разряда, формируется логическая единица. В зависимости от сигнала $U_{упр}$, поступающего на его вход, эта единица или остается или заменяется логическим «0». Резистивная матрица формирует аналоговое напряжение, эквивалентное «весу» цифрового кода, поступающего на матрицу с регистра приближений. Схема сравнения сравнивает напряжения U_x и U_m и в зависи-

мости от их величин формирует сигнал $U_{упр}$ на уровне логического «0» или логической «1».

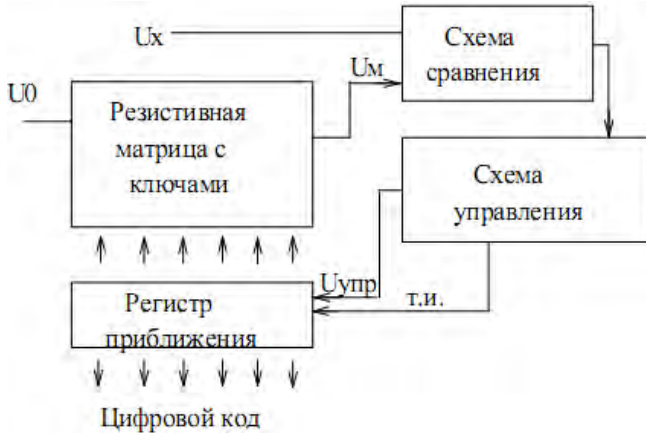


Рис. 13.7. Структурная схема АЦП поразрядного кодирования

Рассмотрим пример. Пусть $U_x = 7 \text{ В}$, а $U_0 = 10 \text{ В}$, тогда в первом такте в старшем разряде регистра формируется логическая «1» и $U_m = 5 \text{ В}$, $U_m < U_x$; $U_{упр} = 1$. Следовательно, в старшем разряде остается логическая «1».

Во втором такте, в следующем $n - 1$ разряде формируется логическая «1» и $U_m = 5 \text{ В} + 2,5 \text{ В} = 7,5 \text{ В}$; $U_m > U_x$; $U_{упр} = 0$. Следовательно, единица в $n - 1$ разряде заменяется на логический «0» и $U_m = 5 \text{ В}$.

В третьем такте в разряд $n - 2$ регистра записывается логическая «1» и $U_m = 5 \text{ В} + 1,25 \text{ В} = 6,25 \text{ В}$, $U_m < U_x$; $U_{упр} = 1$. Следовательно, логическая «1» в $n - 2$ разряда остается.

В четвертом такте в разряд $n - 3$ регистра записывается логическая «1» и $U_m = 5 \text{ В} + 1,25 \text{ В} + 0,625 \text{ В} = 6,875 \text{ В}$, $U_m < U_x$; $U_{упр} = 1$. Следовательно, логическая «1» остается в разряде $n - 3$.

Процесс преобразования повторяется n тактов, в результате с регистра приближений снимается код преобразованной аналоговой величины.

АЦП поразрядного взвешивания нашли широкое применение при разработке ИС ввиду своей простоты и достаточно хорошего быст-

родействия. Такие ИС могут иметь в своем составе генератор тактовых импульсов и источник эталонного напряжения или не иметь их.

В качестве примера рассмотрим АЦП, выполненное на ИС К1113ПВ1 (рис. 13.8). ИС предназначена для преобразования однополярного или биполярного аналогового напряжения ($U_{вх} = 0 \dots 10$ В или $U_{вх} = -5 \text{ В} \dots +5 \text{ В}$) в десятиразрядный двоичный код. Нелинейность преобразования $\pm 0,1 \%$, время преобразования 30 мкс. Для работы ИС требуется два источника питания +5 В и -15 В. В микросхему встроен внутренний источник опорного напряжения и генератор тактовых импульсов.

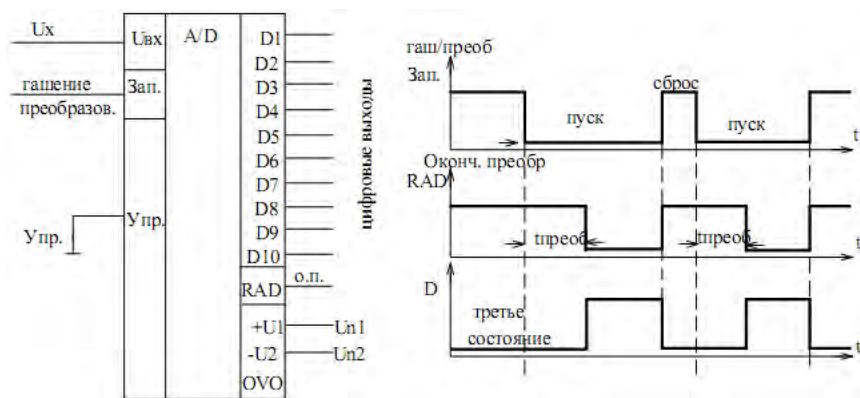


Рис. 13.8. ИС К1113ПВ1 (а) и временная диаграмма ее работы (б)

Запуск АЦП производится логическим «0». Цифровая информация с выходных шин снимается через 30 мкс после поступления сигнала «гашение-преобразование». $T_{\text{преобр}} = 30$ мкс. Работа АЦП поясняется временной диаграммой его работы (рис. 13.8, б).

Следящие АЦП в отличие от АЦП поразрядного взвешивания имеют в своем составе вместо регистра последовательных приближений реверсивный счетчик (рис. 13.9). Работа АЦП поясняется временной диаграммой работы (13.9, б). Управление реверсивным счетчиком производится по управляющей шине «±» в зависимости от соотношения сигналов U_x и U_m . При изменении входного сигнала U_x изменяется код реверсивного счетчика и напряжение с матрицы U_m «следит» за U_x .

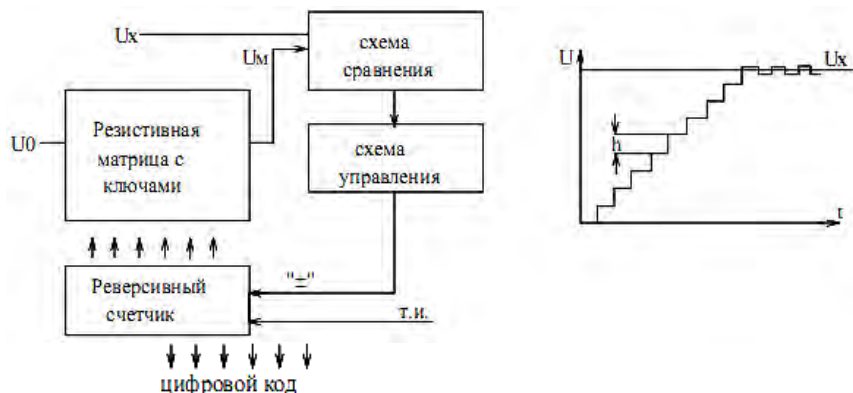


Рис. 13.9. Следящая АЦП (а), временная диаграмма ее работы (б)

Интегрирующие АЦП относятся к медленнодействующим преобразователям. Принцип их действия основан на преобразовании аналоговой величины во временной интервал t_x и формировании число-импульсного (единичного) кода путем заполнения этого интервала импульсами опорной частоты f_0 . Значение единичного кода определяется соотношением

$$N(1) = t_x \cdot f_0.$$

Число-импульсный код поступает на счетчик, на выходе которого формируется цифровой код. Структурная схема такого АЦП приведена на рис. 13.10, а.

Максимальное время преобразования зависит от разрядности АЦП и определяется по формуле

$$T_{\text{пр. max}} = f_0 \cdot 2^n,$$

где f_0 – период частоты кварцевого генератора.

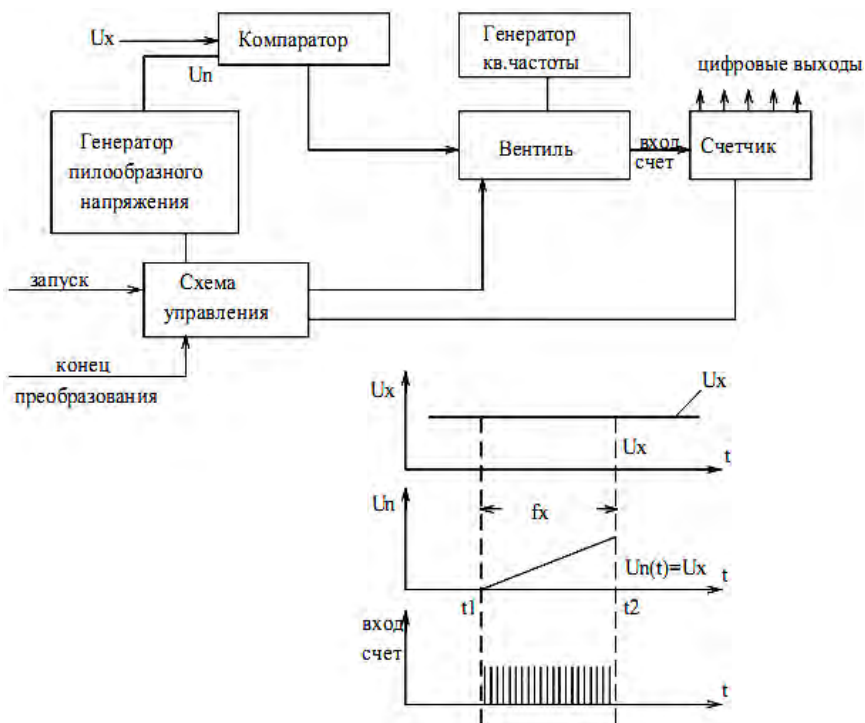


Рис. 13.10. Структурная схема (а) и временная диаграмма работы (б) интегрирующего АЦП

Погрешность интегрирующего АЦП определяется в основном изменением наклона пилообразного напряжения, которое определяется постоянной времени RC интегратора (генератора пилообразного напряжения). Под воздействием внешних дестабилизирующих факторов, особенно температуры, постоянная времени, а следовательно, и наклон пилообразного напряжения меняются, что приводит к значительным погрешностям преобразования. Поэтому в настоящее время для построения интегрирующих АЦП используют принцип двойного интегрирования.

Принцип работы АЦП двойного интегрирования заключается в том, что сначала в течение некоторого фиксированного временного интервала T_1 интегрируется аналоговая преобразуемая величина U_x , а затем интегрируется эталонное (опорное) напряжение противопо-

ложной полярности $U_{оп}$. Временной интервал T_2 пропорционален преобразуемой величине U_x .

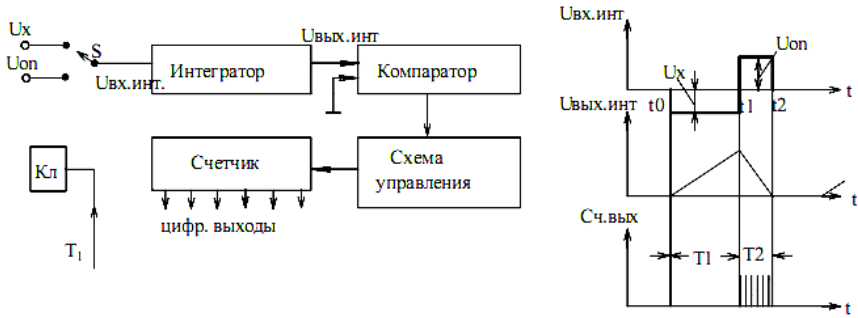


Рис. 13.11. Структурная схема АЦП двойного интегрирования (а)
И временная диаграмма его работы (б)

Действительно, в течение интервала времени T_1 напряжение на выходе интегратора изменяется по линейному закону:

$$U_{\text{вых.инт}} = -\frac{1}{RC} \int_{t_0}^{t_1} U_x dt = -\frac{U_x}{RC} t, \text{ при } U_x - \text{const.}$$

В течение интервала времени T_2 выходное напряжение на выходе интегратора изменяется от $U_{\text{вых.инт.мах}}$ до 0, т. е.

$$U_{\text{вых.инт}} = -\frac{1}{RC} \int_{t_0}^{t_1} U_{оп} dt = -\frac{U_{оп}}{RC} t \text{ при } U_{оп} - \text{const.}$$

Следовательно,

$$\frac{U_x}{RC} T_1 = \frac{U_{оп}}{RC} T_2;$$

$$T_2 = \frac{T_1}{U_{оп}} \cdot U_x.$$

Таким образом, интервал времени T_2 зависит от постоянной величины $T_1/U_{\text{оп}}$ и переменной U_x и не зависит от параметров интегратора. В этом можно убедиться на графике, приведенном на рис. 13.12.

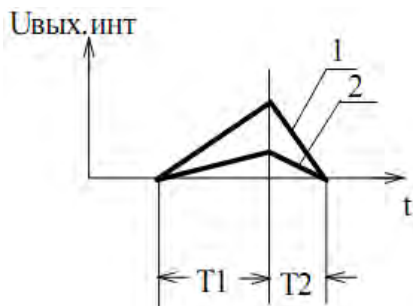


Рис. 13.12. Напряжение на выходе интегратора при постоянной времени $\tau_1 = R_1 \cdot C_1$ (кривая 1) и при $\tau_2 = R_2 \cdot C_2$ (кривая 2)

АЦП двойного интегрирования обеспечивает высокую точность преобразования в условиях промышленных помех в широком интервале температур и широко используется в измерительной технике и автоматизированных системах управления. Например, основу всех мультиметров составляет АЦП двойного интегрирования, выполненная на микросхеме К572ПВ2 или К572ПВ5. ИС практически одинаковые, но первая работает на светодиодные индикаторы, а вторая — на жидкокристаллические индикаторы.

Микросхема К572ПВ2 (рис. 13.13) совместно с источником опорного напряжения, несколькими резисторами и конденсаторами выполняет функции АЦП двойного интегрирования с автоматической установкой нуля ОУ и определением полярности входного сигнала.

Основные технические параметры ИС:

- разрядность – 3–5 десятичных разряда;
- входное сопротивление – 50 МОм;
- входное напряжение $\pm 1,999 U_{\text{оп}}(\text{В})$,
- быстродействие 2–9 Гц;
- потребляемый ток 1,8 мА;
- напряжение питания 9 В.

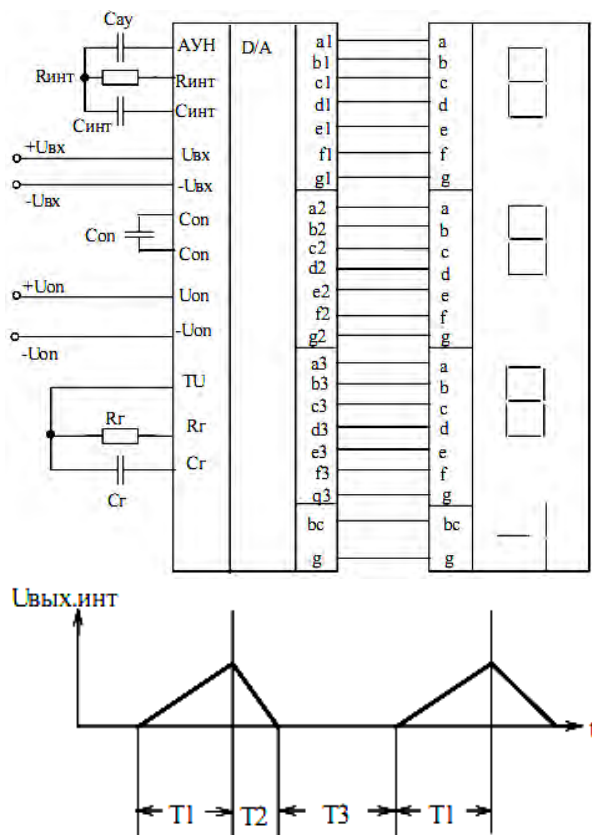


Рис. 13.13. ИС К572ПВ2 (а)
и выходное напряжение на выходе генератора (б)

Работа ИС происходит под воздействием тактовых импульсов $f_{\text{ти}}$ внутреннего генератора импульсов в три этапа:

- на первом этапе T_1 длительностью 4000 периодов $f_{\text{ти}}$, происходит интегрирование напряжения U_x ,
- на втором этапе длительностью от 0 до 8000 периодов, $f_{\text{ти}}$ происходит интегрирование опорного напряжения $U_{\text{оп}}$ и
- на третьем этапе длительностью от 4000 до 12000 периодов $f_{\text{ти}}$, происходит автоматическая установка нуля ОУ.

Весь цикл преобразования занимает 16000 тактов.

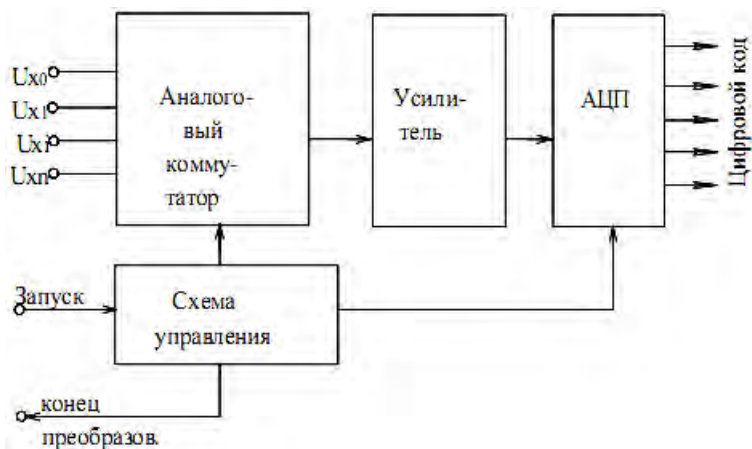


Рис. 13.14. Многоканальный АЦП

Многоканальные АЦП широко используются для преобразования нескольких однотипных аналоговых величин. Такие АЦП включают в себя аналоговый коммутатор и один из рассмотренных выше АЦП.

Преобразование происходит последовательно параметр за параметром. Аналоговый коммутатор поочередно подключает на вход АЦП через усилитель все входные сигналы.

Контрольные вопросы

1. Какие функции выполняет ЦАП?
2. Основные технические параметры ЦАП.
3. Принцип работы ЦАП.
4. Что представляет собой резистивная матрица R–2R?
5. Условное обозначение ИС К572ПА1.
6. Где применяются ЦАП?
7. Назначение АЦП.
8. Принцип работы АЦП.
9. Назовите основные параметры АЦП.
10. Классификация АЦП.
11. Поясните принцип работы АЦП поразрядного взвешивания.
12. Поясните принцип работы интегрирующего АЦП.
13. Почему АЦП двойного интегрирования нашли широкое применение в измерительной аппаратуре?
14. Как строится многоканальный АЦП?

14. ТИПОВЫЕ СИТУАЦИИ ПРИ ПОСТРОЕНИИ УЗЛОВ И УСТРОЙСТВ НА СТАНДАРТНЫХ ИНТЕГРАЛЬНЫХ СХЕМАХ

Разработанная проектировщиком функционально-логическая схема далее подлежит реализации на наборе стандартных ИС той или иной серии. При реализации возможны несовпадения элементов подлежащей изготовлению схемы и элементов, имеющих для ее реализации.

Типовыми ситуациями являются:

- 1) наличие у имеющихся элементов «лишних» (неиспользуемых в данном случае) входов;
- 2) наличие в корпусах ИС лишних элементов;
- 3) нехватка у имеющихся элементов необходимого числа входов;
- 4) нехватка у имеющихся элементов нагрузочной способности.

14.1. Режимы неиспользуемых входов в логических элементах

Вопрос о режиме «лишних» входов решается с учетом конкретного типа используемой схмотехнологии.

Пусть, например, нужно получить конъюнкцию (или ее инверсию) пяти переменных. В стандартных сериях нет соответствующих элементов с пятью входами, и придется взять элемент с восемью входами, у которого окажется три «лишних» входа. Принципиально возможно поступить следующим образом:

- не обращать внимание на «лишние» входы (то есть оставить их разомкнутыми);
- подсоединить их к задействованным входам;
- подать на «лишние» входы некоторые константы.

С точки зрения логических операций все три возможности правомерны (рис. 14.1).

Если учитывать особенности той или иной схмотехнологии, то выбор варианта действий становится определенным.

Для КМОП и ТТЛ(Ш) неиспользуемые входы разомкнутыми не оставляют.

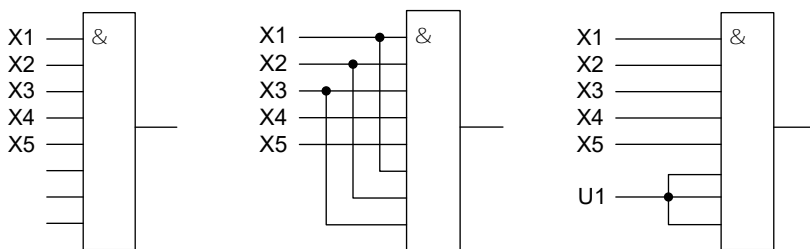


Рис. 14.1. Принципиально возможные режимы неиспользуемых входов логических элементов

Для КМОП это строгая рекомендация, так как у них очень велики входные сопротивления и, следовательно, на разомкнутые входы легко наводятся паразитные потенциалы, которые могут изменять работу схемы.

Для ТТЛ(Ш) строгого запрета на оставление разомкнутых входов нет, но делать это незачем, так как вследствие этого пострадают параметры быстродействия элемента.

Подсоединение «лишних» входов к задействованным для КМОП и ТТЛ(Ш) принципиально возможно, но нежелательно, так как оно приводит к увеличению нагрузки на источник сигнала, что также сопровождается уменьшением быстродействия источника сигнала.

Таким образом, для КМОП и ТТЛ(Ш) режим неиспользуемых входов – подсоединение их к константам (логическим единицам или нулям), не изменяющим работу схемы для задействованных входов.

При этом уровни напряжения U_1 и U_0 для КМОП совпадают с уровнями U_{cc} (напряжение питания) и «земли», к которым и подключаются неиспользуемые входы.

У элементов ТТЛ(Ш) уровень U_1 на 1,5–2 В ниже U_{cc} , поэтому для предотвращения пробоев неиспользуемые входы подключают к источнику питания U_{cc} через резистор R (обычная рекомендация $R = 1$ кОм), причем к одному резистору разрешается подключить до 20 входов.

Примеры, иллюстрирующие перечисленные способы подключения неиспользуемых выводов ИС, показаны на рис. 14.2, а.

Сигнал логической единицы можно получить от специального элемента рис. 14.2, б, причем если это мощный элемент, то он может иметь коэффициент разветвления до 30.

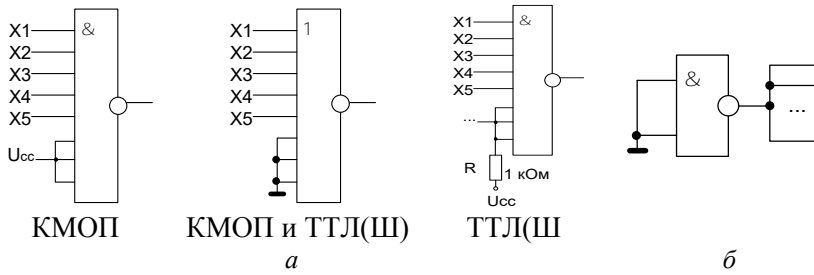


Рис. 14.2. Рекомендуемые режимы неиспользуемых входов логических элементов

14.2. Режимы неиспользуемых логических элементов

Если не все элементы, имеющиеся в корпусе ИС, использованы в схеме, то неиспользованные элементы также подключены к напряжению питания, которое является общим для всего корпуса.

Если же мощности, потребляемые элементами в состоянии нуля и единицы, не равны, то имеет смысл поставить неиспользуемый элемент в состояние минимальной мощности, подав на какой-либо из его входов соответствующую константу.

14.3. Нарращивание числа входов логических элементов

Для элементов И и ИЛИ для получения нужного числа входов берется несколько элементов, выходы которых объединяются далее элементом того же типа (рис. 14.3, *a*).

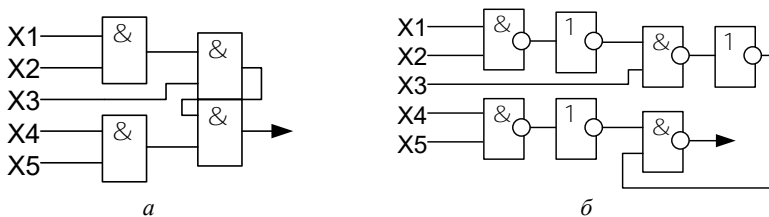


Рис. 14.3. Схемы наращивания входов логических элементов

Нарращивание числа входов для операции И-НЕ, ИЛИ-НЕ, в сущности, производится аналогичным методом, но в схеме появляются дополнительные инверторы (рис.14.3, *б*).

14.4. Снижение нагрузок на выходах логических элементов

Эта ситуация возникает в том случае, если нагрузки превышают допустимые значения, а также для повышения быстродействия схем, на которые нагрузки элементов оказывают самое непосредственное влияние.

Чем больше число нагрузок у элемента – источника сигнала (или нестандартная внешняя нагрузка), тем большее время тратится на достижение выходным сигналом порогового уровня при переключении, то есть на изменение его логического состояния.

Для предотвращения потерь быстродействия из-за нагрузок на выходах сильно нагруженных элементов применяют буферизацию или разделение нагрузки (рис. 14.4, *а*, *б*).

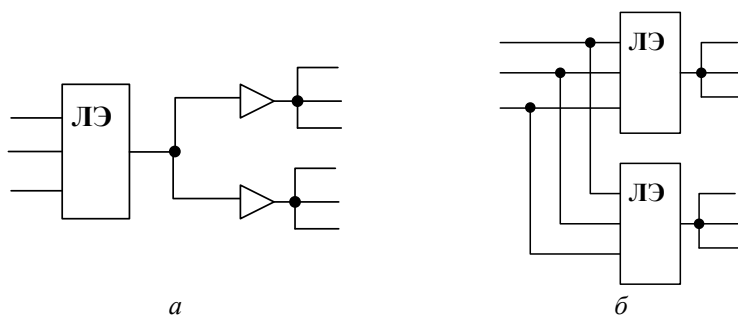


Рис. 14.4. Предотвращение потерь быстродействия из-за нагрузок:
а – буферизация; *б* – разделение нагрузки

Введение буферных каскадов ускоряет работу источника сигнала, но вносит собственную задержку в тракт передачи сигнала. Будет ли в конечном счете эффект ускорения, определяется конкретным расчетом.

При разделении нагрузки новые элементы с задержками в тракт передачи сигнала не вводятся, но увеличивается нагрузка на тот источник сигнала, который питает рассматриваемую схему. Поэтому и здесь эффективность приема должна оцениваться расчетом.

14.5. Паразитные связи цифровых элементов по цепям питания

Одной из задач при проектировании и эксплуатации цифровых устройств является борьба со сбоями из-за помех. Типовой проблемой здесь является наличие токовых импульсов в цепях питания ИС.

При переключении элементов в цепях питания создаются кратковременные импульсные токи, благодаря чему сами эти элементы становятся источниками помех для соседних элементов.

Токовые импульсы в цепях питания создаются сквозными токами выходных каскадов типов ТТЛ(Ш) и КМОП, а также помехами перезарядки емкостей, что свойственно и всем другим типам элементов.

Импульс сквозного тока переключающего элемента 1 (рис. 14.5) $I_{СКВ}$ протекает через транзисторы выходного каскада от источника питания U_{CC} на общую точку GND через линии, имеющие полное сопротивление Z_{CC} и Z_{GND} .

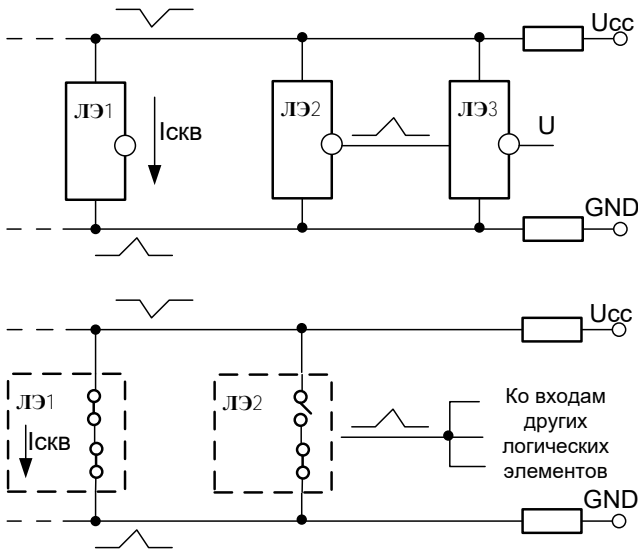


Рис. 14.5. Схемы, поясняющие процесс возникновения импульсных помех при переключении цифрового элемента

Главную часть сопротивления составляют индуктивности линий, на которых выделяются напряжения U_L .

Протекание сквозного тока создает на линии питания отрицательный импульс, а на общей точке («земли») – положительный.

Эти импульсы воздействуют на подключенный вблизи элемента 1 элемент 2.

Если, как показано на рис. 14.5, элемент 2 находится в состоянии логического нуля, то его выход через насыщенный транзистор выходного каскада, отображаемый замкнутым ключом, связан с линией GND, следовательно, импульс с этой линии попадает на выход элемента 2, откуда сможет распространяться далее по обычным сигнальным цепям.

При единичном состоянии элемента 2 на его выход пройдет отрицательный импульс помехи с линии источника питания.

Для борьбы с этими опасными помехами нужны «хорошая» земля и фильтрация напряжений питания.

«Качество земли» улучшается конструктивными мерами, снижающими сопротивление Z_{GND} :

- шины «земли» делают утолщенными;
- нередко для их реализации отводят целые плоскости многослойных конструкций (плат и кристаллов);
- систему «заземления» соединяют с несколькими выводами корпуса, чтобы сократить пути прохождения токов в этой системе и др.

Для шин питания схемы наряду с конструктивными методами применяют и схемотехнические:

- в цепи выходных каскадов добавляют небольшие сопротивления, ограничивающие сквозные токи и токи перезаряда емкостей;
- используют элементы с управляемой крутизной фронтов для уменьшения производных сигнальных напряжений и токов;
- применяют развязывающие каскады на выходах ИС для ограничения емкостных нагрузок на этих выходах;
- используют фильтрацию питающих напряжений.

Для фильтрации напряжений питания между линиями U_{cc} и «землей» включают конденсаторы.

Высокая эффективность этого метода борьбы с паразитными связями элементов через цепи питания связана со следующим обстоятельством. Цифровые узлы и устройства питают от высококачественных блоков питания со стабилизированным выходным напряжением. Такие источники имеют очень малые выходные сопротив-

ления за счет применения глубоких обратных связей в схемах блоков питания. Однако цепь обратной связи инерционна и не успевает обрабатывать короткие импульсные помехи. Поэтому для коротких помех выходное сопротивление источника не обеспечивает того низкого уровня, которое оно имеет в статике.

Установка фильтрующих конденсаторов C_{ϕ} создает путь (рис. 14.6) по которому замыкаются импульсы сквозного тока и токи перезарядки емкостей, минуя сопротивление Z_{cc} .

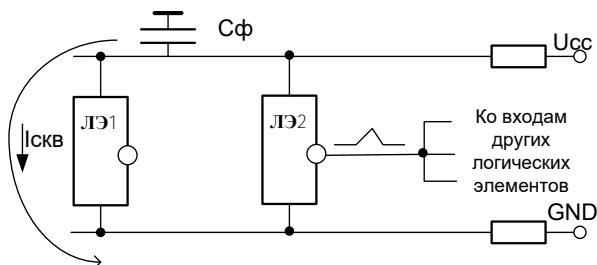


Рис. 14.6. Пути протекания сквозного тока при наличии в схеме фильтрующего конденсатора

Естественно, конденсаторы должны иметь малое сопротивление для высокочастотных сигналов, поэтому для фильтрации выбирают те типы конденсаторов, которые имеют малые паразитные индуктивности.

Рекомендации по числу, типу и емкости фильтрующих конденсаторов приводятся в руководящих материалах по применению конкретных типов ИС.

14.6. Паразитные связи цифровых элементов по цепям питания

Все помехи, которые могут явиться причиной ложного срабатывания чувствительных цепей аппаратуры, можно разделить на несколько видов:

- внешние помехи, проникающие в систему из окружающей среды от различного рода излучателей электромагнитных сигналов, а также обусловленные действием электромагнитных и электростатических полей;

- токовые помехи по цепи питания, возникающие в результате выброса тока при коммутационных помехах;
- перекрестные помехи, наводимые одними сигнальными линиями в других сигнальных линиях;
- отражения в линиях связи при несогласованных нагрузках.

14.6.1. Внешние помехи

Для защиты от внешних помех используется экранирование от сигналов внешних и внутренних мощных каскадов, создающих помехи электромагнитного или электростатического характера. Каждый экранирующий кожух должен быть подсоединен к общему заземлению низкоомным проводом.

14.6.2. Токовые помехи

Средством защиты интегральных схем от помех по цепи питания является включение конденсаторов развязки между шинами питания и общей (рис. 14.7).

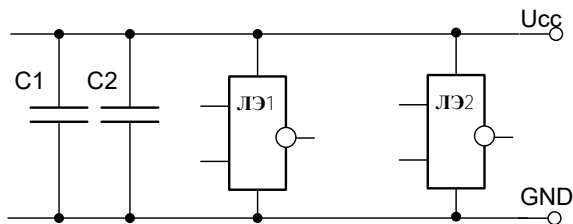


Рис. 14.7. Включение конденсаторов развязки

Для качественной развязки необходимы конденсаторы, имеющие большую емкость для низких частот ($C1$) и малую емкость для высоких ($C2$).

Конденсатор $C1$ (1,0 мкФ) устанавливается из расчета один конденсатор на каждые 5–10 интегральных схем. Электролитические конденсаторы следует устанавливать возможно ближе к контактным разъемам.

Конденсаторы $C2$ должны быть распределены по всей площади печатной платы равномерно относительно ИС из расчета один конденсатор на группу не более чем 10 ИС, емкостью на одну ИС 0,002–0,001 мкФ.

14.6.3. Перекрестные помехи

Перекрестные помехи являются следствием электромагнитных полей, которые возникают в соединительных линиях под действием положительных и отрицательных токов.

Связанные электромагнитные поля оказывают воздействие на близко расположенные линии и наводят в них перекрестные помехи, которые могут привести к нарушению правильного функционирования аппаратуры.

Пусть линия (источник помехи) является близлежащей для линии, испытывающей воздействие помехи.

Тогда между ними существует связь через паразитную емкость (рис. 14.8, а).

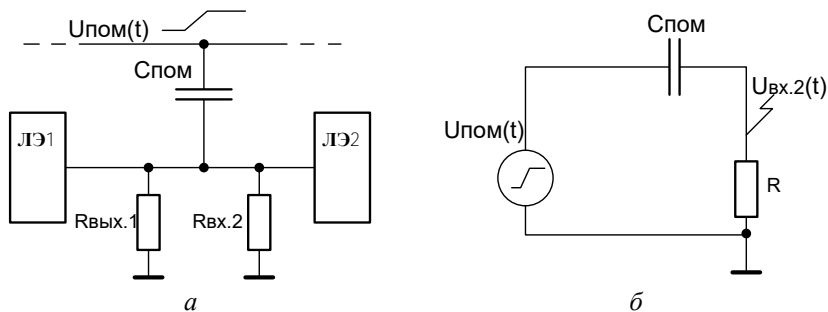


Рис. 14.8. Схема, поясняющая процесс возникновения перекрестных помех в цифровых устройствах (а), и схема замещения (б)

Схема замещения рассматриваемой цепи может быть представлена в виде рис. 14.8, б, где

$$R = R_{\text{вх.1}} \cdot R_{\text{вх.2}} / (R_{\text{вх.1}} + R_{\text{вх.2}}).$$

Если считать фронт помехи линейным, изменяющимся по закону

$$U_{\text{пом}}(t) = \alpha t,$$

где

$$\alpha = (U_1 - U_0) / t_{\text{ф}} = U / t_{\text{ф}},$$

то напряжение помехи на входе ЛЭ2 будет определяться соотношением (для времени от 0 до $t_{\text{ф}}$)

$$U_{\text{вх.2}}(t) = f[1 - \exp(-t/RC)] RC,$$

то есть пропорционально крутизне фронта.

Борьба с перекрестными помехами осуществляется

- запрещением параллельного расположения близких и длинных сигнальных линий;
- размещением между такими линиями экранирующих заземленных проводников (так, в частности, поступают при применении плоских кабелей)
- применением коаксиальных кабелей;
- применением витых пар.

Для уменьшения перекрестных помех на печатных платах вводится проводник массы между двумя сигнальными проводниками. Тогда влияние перекрестных помех уменьшается в несколько раз. При этом «земляной» провод должен быть раза в три шире сигнальных проводников, а расстояния между проводниками должны быть равны ширине сигнальных проводников.

14.6.4. Искажения сигналов в несогласованных линиях

Паразитные колебания из-за несогласованности волновых сопротивлений возникают в связях, которые именуется длинными, причем речь не идет об абсолютных значениях длины, важно лишь соотношение длины линии и длины волны передаваемого сигнала.

Так как импульсные сигналы характеризуются широким спектром гармонических частот, говорить о длине волны сигнала для них затруднительно, и рекомендации по отнесению линий связи к коротким или длинным в значительной мере вырабатываются практикой. Например, граничную длину линии часто определяют по условию: время прохождения сигнала по линии должно быть на порядок меньше длительности передаваемого фронта.

Скорость распространения сигналов в линии

$$V = V_c / \sqrt{\epsilon},$$

где V_c – скорость света в вакууме (30 см/с);

ϵ – диэлектрическая постоянная среды, в которой распространяется сигнал.

Практически $V = 15\text{--}20$ см/с. Поведение длинной линии резко отличается от поведения короткой.

Схема замещения длинной линии без потерь состоит из цепочки LC звеньев, где L и C – погонные параметры индуктивности и емкости (то есть приходящиеся на единицу длины). Такая линия (рис. 14.9, а) имеет волновое сопротивление $Z_0 = \sqrt{L/C}$, величина которого зависит от конструкции линии.

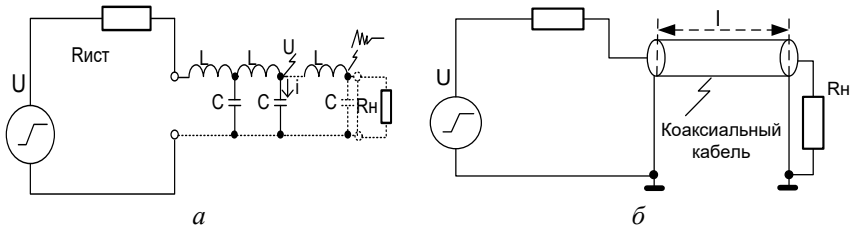


Рис. 14.9. Схема замещения длинной линии без потерь (а) и схема с реализацией линии в виде коаксиального кабеля (б)

Фактически волновое сопротивление соответствует отношению напряжения к току в точке линии, которой достигает распространяющаяся волна. Пока волна распространяется в линии, отношение $u/i = Z_0$ остается неизменным.

В конце линии подключено сопротивление $R_n = Z_0$, то есть отношение u/i сохраняется, падающая волна не встречает неоднородности и целиком поглощается нагрузкой.

Если в конце линии $R_n \neq Z_0$, то отношение u/i сохраняться не может, и должно произойти искажение волны. Оно трактуется как появление отраженной волны, параметры которой таковы, что сумма падающей и отраженной волн соответствует условиям в конце линии.

Отношение амплитуд отраженной и падающей волн равно коэффициенту отражения:

$$\rho = (R_n - Z_0) / (R_n + Z_0).$$

Отраженная волна распространяется обратно к началу линии. Если в начале линии подключено сопротивление, равное Z_0 , то отраженная волна поглощается целиком и режим линии устанавливается оконча-

тельно. В противном случае в начале линии также происходит отражение волны, которая вновь пойдет по линии от ее начала к концу.

Возможное многократное отражение способно затянуть переходные процессы в линии на время, равное десяткам T_0 , где T_0 – время распространения сигнала по линии ($T_0 = l/V$, где l – длина линии).

Для устранения паразитных колебаний в длинной линии используются параллельное или последовательное согласование волновых сопротивлений.

Параллельное согласование волновых сопротивлений. При параллельном согласовании в конце линии включают резистор, чтобы сделать сопротивление нагрузки линии равным волновому.

Это дает полное устранение паразитных колебаний, и время передачи сигналов становится равным T_0 .

Недостатком данного способа является потребление значительных токов от источника сигнала.

После завершения переходных процессов на выходе линии должно установиться напряжение U_1 или U_0 , в зависимости от логического состояния элемента – источника сигнала. Под этим напряжением находится резистор включенный в конце линии, сопротивление которого мало (типичное значение волновых сопротивлений линий передачи сигналов 50–100 Ом). Ток через такой резистор может оказаться неприемлемо большим.

Для поиска наиболее подходящего варианта включения резистора на выходе линии можно использовать один из схемных вариантов представленный на рис. 14.9, а.

Возможно также осуществить включение емкости C , которая предотвращает потребление тока в статическом режиме (рис. 14.9, б).

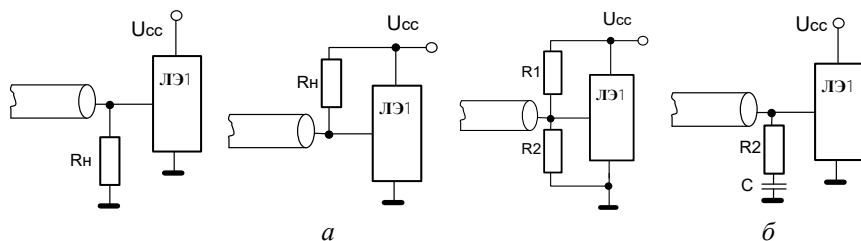


Рис. 14.10. Варианты согласования волновых сопротивлений при передаче цифровых сигналов

Последовательное согласование волновых сопротивлений. При последовательном согласовании в начале линии последовательно включается резистор $R_{\text{доп}}$, сопротивление которого совместно с выходным сопротивлением источника сигнала $R_{\text{ист}}$ дает величину Z_0 (рис. 14.11). При этом на выходе линии действует высокое входное сопротивление элемента-приемника, следовательно, там коэффициент отражения приблизительно равен единице, и амплитуда отраженной волны приблизительно равна амплитуде падающей.

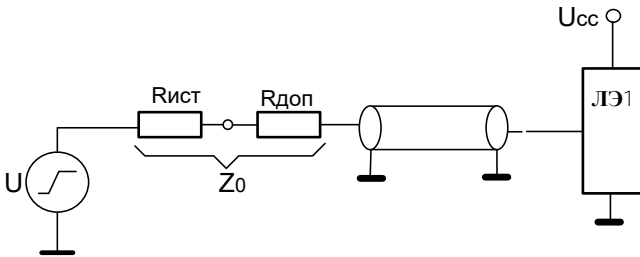


Рис. 14.11. Последовательное согласование волновых сопротивлений

Переходный процесс в этом случае протекает следующим образом.

Ступенчатое изменение напряжения источника сигнала U создает на входе линии перепад напряжения $U/2$ (так как $R_{\text{ист}} + R_{\text{доп}} = Z_0$).

Перепад половинной амплитуды распространяется по линии и через время T_0 достигает ее конца. Коэффициент отражения в конце линии равен единице ($R_{\text{вх}} \gg Z_0$ и влиянием $R_{\text{вх}}$ пренебрегаем). Амплитуда отражения волны равна $U/2$, в итоге в конце линии устанавливается напряжение U .

Отраженная волна возвращается к началу линии, где поглощается. Таким образом, на выходе линии процесс заканчивается через время T_0 , а на входе – через $2 T_0$.

Реальное положение в технике борьбы с отражениями в длинных линиях несколько сложнее, так как выходное сопротивление цифровых элементов зачастую непостоянно и зависит от логического состояния элемента, уровня сигнала и т. д.

То же самое можно сказать о входном сопротивлении элементов.

14.6.5. Линии передачи сигналов

Для обеспечения работоспособности цифровых устройств (ЦУ) большое внимание следует уделять линиям связи (межсоединениям элементов). Это важно при проектировании печатных плат и становится особенно острой проблемой в БИС/СБИС, где преобладающая часть площади кристалла, задержек сигналов и потребляемой мощности зачастую относится именно к системе межсоединений.

Ряд рекомендаций для разработки ЦУ рассматривался ранее в п. 14.5 («качество земли», ограничения на параллельное размещение сигнальных линий, фильтрация питания, согласование волновых сопротивлений в длинных линиях).

Рассмотрим особенности основных вариантов технической реализации межсоединений.

На платах межсоединения выполняются одиночными проводниками над «земляной» плоскостью, двумя проводниками, витыми парами, микрополосковыми линиями, коаксиальными кабелями малого диаметра и др.

Схема соединения одиночным проводником (рис. 14.12) изображена с учетом напряжения помехи, которая возникает между «землями» двух элементов. В этом случае помеха передается на вход приемника сигнала.

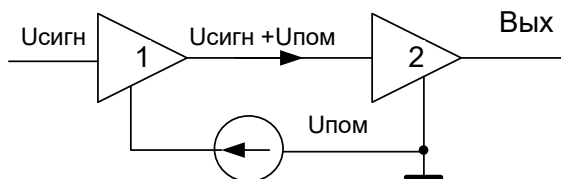


Рис. 14.12. Простейшая схема передачи цифрового сигнала

Помехоустойчивость передачи повышается, если элемент-приемник обладает гистерезисными свойствами, как, например, триггер Шмита (рис. 14.13). Благодаря гистерезисной характеристике приемника для переключения в состояние логической «1» нужно подать на вход напряжение, значительно превышающее пороговое, а для переключения в «0» – значительно меньшее, чем пороговое. Это повышает уровень допустимых помех, причем тем больше, чем шире петля гистерезиса.

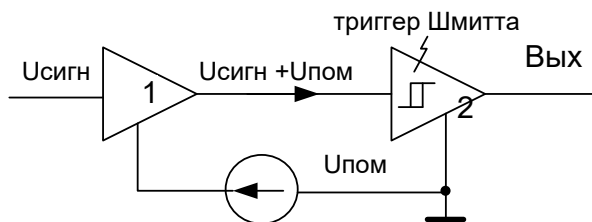


Рис. 14.13. Схема передачи сигнала с гистерезисным приемником

Значительное улучшение может дать передача парафазного сигнала по двум линиям (дифференциальная передача), показанная на рис. 14.14.

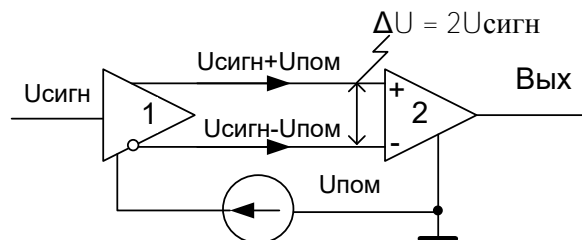


Рис. 14.14. Схема передачи сигнала дифференциальным способом

Приемником сигнала служит дифференциальный усилитель (или компаратор). На его верхнем входе действует напряжение $U_{\text{сигн}} + U_{\text{пом}}$, а на нижнем $-U_{\text{сигн}} + U_{\text{пом}}$.

Дифференциальный приемник воспринимает разность напряжений между входами, которая равна $2U_{\text{сигн}}$ и не содержит напряжения помех.

Перекрестные помехи в данном случае также значительно ослабляются, поскольку появляются в обоих проводниках близкими по величине, так что их разность, ощущаемая приемником, мала.

На рис. 14.15 приведена схема помехоустойчивой передачи сигнала дифференциальным способом по витой паре. По волновому сопротивлению витая пара согласуется резистором, выполненным в виде делителя из резисторов 180 и 390 Ом, эквивалентное сопротивление которого относительно выхода равно 120 Ом.

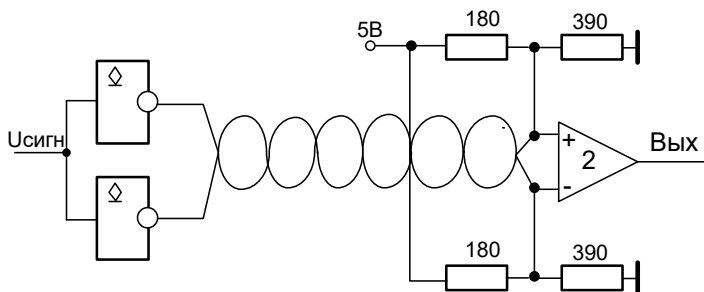


Рис. 14.15. Схема помехоустойчивой передачи сигнала дифференциальным способом по витой паре

Витая пара, часто применяемая в ЦУ, представляет собой упрощенную конструкцию коаксиального кабеля, в которой один из проводов можно рассматривать как некоторый аналог оплетки кабеля.

На рис. 14.16 изображен буфер с третьим состоянием и регулировкой крутизны нарастания выходного сигнала. Введением/снятием третьего состояния управляет вход OE (Output Enable), крутизной фронтов – сигнал SRC (Slew Rate Control).

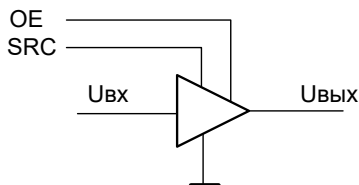


Рис. 14.16. Буфер с регулируемой крутизной фронта

Пологий фронт желателен, поскольку замедление изменений токов и напряжений снижает помехи из-за токовых импульсов в цепях питания, перекрестные помехи и др.

В то же время в критичных для быстродействия устройства путях замедленные переключения элементов нежелательны, и поэтому в них устанавливают режимы крутых фронтов.

Буферные каскады с регулировкой крутизны фронтов достаточно часто применяются в современных СБИС. В них встречаются и более изощренные способы регулировок скоростей изменения сигналов в буферных элементах по специально подобранным нелинейным законам.

Большие проблемы связаны с реализацией межсоединений в СБИС. Уменьшение размеров схемных элементов, одинаковое для размеров в плане и толщин, ведет к уменьшению поперечного сечения проводников по квадратичной зависимости, что увеличивает их погонное сопротивление.

Резистивность и емкость связей ограничивают гипотезу их эквивалентности. Распространение потенциала вдоль проводника подчиняется уравнению диффузии, чему соответствует падение скорости распространения сигнала по мере удаления от источника и квадратичная зависимость задержки от длины проводника. Удлинение длины проводника приводит к учетверению задержки и т. д.

Поэтому в длинных связях иногда через определенные расстояния включают усилители – повторители сигналов.

СПИСОК ЛИТЕРАТУРЫ

1. Новиков, Ю.В. Основы цифровой схемотехники / Ю.В. Новиков. – М.: Мир, 2001. – 379 с.
2. Хоровиц, П. Искусство схемотехники / П. Хоровиц, У. Хилл; пер. с англ. – 6-е изд., перераб. – М.: Мир, 2001. – 704 с.
3. Угрюмов, Е.П. Цифровая схемотехника: учебное пособие / Е.П. Угрюмов. – СПб.: ВНУ-Санкт-Петербург, 2004. – 782 с.
4. Мышляева, И.М. Цифровая схемотехника: учебник / И.М. Мышляева. – М.: Академия, 2005. – 400 с.
5. Новиков, Ю.В. Основы микропроцессорной техники / Ю.В. Новиков, П.К. Скоробогатов. – Интернет-университет информационных технологий – ИНТУИТ.ру, 2006
6. Титце, У. Полупроводниковая схемотехника: справочное руководство / У. Титце, К. Шенк; пер. с нем. – М.: Мир, 1982. – 512 с.
7. Гнатек, Ю.Р. Справочник по цифро-аналоговым и аналого-цифровым преобразователям / Ю.Р. Гнатек; пер. с англ.; под ред. Ю.А. Рюжина. – М.: Радио и связь, 1982. – 420 с.: ил.
8. Перельман, Б.Л. Отечественные микросхемы и зарубежные аналоги: справочник / Б.Л. Перельман, В.И. Шевелев. – М.: НТЦ «Микротех», 1998. – 376 с.: ил.

Учебное издание

ЗУЙКОВ Игорь Евгеньевич
ВЛАДИМИРОВА Татьяна Леонидовна
КОНДРАТЮК Николай Витальевич

ЭЛЕКТРОНИКА.
ЦИФРОВАЯ ЭЛЕКТРОНИКА

Методическое пособие
для студентов заочной формы обучения
специальности 1-38 02 03 «Техническое
обеспечение безопасности»

Редактор Т.Н. Микулик
Технический редактор Д.А. Исаев
Компьютерная верстка Н.А. Школьниковой

Подписано в печать 10.06.2011.

Формат 60×84¹/₁₆. Бумага офсетная.

Отпечатано на ризографе. Гарнитура Таймс.

Усл. печ. л. 15,04. Уч.-изд. л. 11,04. Тираж 100. Заказ 495.

Издатель и полиграфическое исполнение:

Белорусский национальный технический университет.

ЛИ № 02330/0494349 от 16.03.2009.

Проспект Независимости, 65. 220013, Минск.