

МИНИСТЕРСТВО ОБРАЗОВАНИЯ РЕСПУБЛИКИ БЕЛАРУСЬ  
Белорусский национальный технический университет

---

Кафедра «Электропривод и автоматизация промышленных установок  
и технологических комплексов»

С. В. Васильев

## ОСНОВЫ СХЕМОТЕХНИКИ

Пособие

для студентов дневного и заочного отделения  
специальности 1-53 01 05 «Автоматизированные электроприводы»

*Рекомендовано учебно-методическим объединением по образованию  
в области автоматизации технологических процессов,  
производства и управления*

Минск  
БНТУ  
2020

УДК 621.3  
ББК 32.844  
В19

Рецензенты:

доцент кафедры автоматизации производственных процессов  
и электротехники Учреждения образования «Белорусский  
государственный технологический университет»,  
канд. техн. наук *И. Ф. Кузьмицкий*;  
заведующий кафедрой сельскохозяйственных машин  
Учреждения образования «Белорусский государственный аграрный  
технический университет», канд. техн. наук, доцент *А. А. Шупилов*

**Васильев, С. В.**

В19 Основы схемотехники: пособие для студентов дневного и заочного  
отделения специальности 1-53 01 05 «Автоматизированные электро-  
приводы» / С. В. Васильев. – Минск: БНТУ, 2020. – 65 с.  
ISBN 978-985-550-874-9.

В пособии приведены методические материалы, необходимые для изучения во-  
просов по дисциплине «Основы схемотехники», касающиеся применения цифровых  
интегральных микросхем.

Приведены сведения, касающиеся вопросов построения типовых электронных уз-  
лов, которые применяются в системах управления электроприводов и устройствах про-  
мышленной автоматике. Для иллюстрации изучаемых вопросов приводятся примеры,  
основанные на использовании серийных интегральных схем широкого применения.

УДК 621.3  
ББК 32.844

ISBN 978-985-550-874-9

© Васильев С. В., 2020  
© Белорусский национальный  
технический университет, 2020

## СОДЕРЖАНИЕ

Введение .....	4
1. Содержание дисциплины «Основы схемотехники».....	5
2. Современные цифровые интегральные микросхемы.....	8
3. Разновидности функциональных схем .....	16
4. Мультиплексоры.....	25
5. Демультимплексоры и дешифраторы .....	33
6. Сумматоры .....	36
7. Цифровые компараторы (устройства сравнения).....	42
8. Счетчики и делители .....	44
9. Регистры .....	52
10. Контрольные работы для студентов заочной формы обучения .....	57
Библиографический список.....	64

## ВВЕДЕНИЕ

Электроника имеет короткую, но богатую событиями историю. Ее первый период связан с простейшими передатчиками ключевого действия и способными воспринимать их сигналы приемниками, которые появились в начале прошлого века. Затем наступила эпоха вакуумных ламп, которая ознаменовала собой возможность реализации самых смелых идей.

Основной элементной базой современной техники является интегральная микроэлектроника. Огромные успехи, достигнутые интегральной полупроводниковой микроэлектронной технологией, позволили создать приборы, по всем параметрам превосходящие изделия сходного назначения, собранные на отдельных компонентах. Переход к интегральным микросхемам существенно изменил способы построения электронной аппаратуры, поскольку изделия микросхемотехники представляют собой законченные функциональные узлы, будь то логические элементы для выполнения простейших операций или процессоры вычислительных машин, состоящие из многих тысяч элементов.

Переход промышленности на ускоренный путь развития на базе новейших достижений научно-технического прогресса приводит к необходимости решения задач комплексной автоматизации.

Решение задач комплексной автоматизации производственных установок и процессов позволяет повысить экономическую эффективность оборудования и производительность труда, улучшить качество выпускаемой продукции, уменьшить эксплуатационные расходы, значительно улучшить условия труда обслуживающего персонала и др. Известно, что основными проблемами комплексной автоматизации является сбор, централизация, контроль и обработка больших массивов информации, на основе которых осуществляется регулирование и управление автономными и взаимосвязанными процессами, объектами и установками.

Сложность задач комплексной автоматизации требуют привлечения более совершенных технических средств, таких как, например, цифровые управляющие вычислительные машины [1].

Важнейшая роль в деле обеспечения высокой надежности создаваемых автоматических и автоматизированных систем, управляю-

щих объектами, процессами и производственными системами принадлежит цифровой и аналоговой светотехнике.

Целью дисциплины «Основы схемотехники» является изучение схем построения основных узлов цифровой электроники. Изучаемая дисциплина базируется на теоретическом материале, излагаемом в курсах физики, высшей математики, теоретических основах электротехники. Курс «Основы схемотехники» призван дать будущему инженеру необходимые сведения по базовым логическим схемам, схемотехнической реализации основных логических функций, о функциональных узлах комбинационного типа, интегральным триггерам, полупроводниковым запоминающим устройствам, регистрам и счетчикам и по их применению в устройствах автоматики, робототехники, информационно-измерительной и преобразовательной техники.

Задачи изучения дисциплины заключены в знании принципов и схем построения основных узлов цифровой электроники, которые применяются в устройствах промышленной автоматики, устройствах числового программного управления (ЧПУ) роботизированных технологических комплексов (РТК), в системах управления комплектных электроприводов и т. д.

# 1. СОДЕРЖАНИЕ ДИСЦИПЛИНЫ «ОСНОВЫ СХЕМОТЕХНИКИ»

## Базовые логические схемы

Основные логические функции: конъюнкция, дизъюнкция, схема И, схема ИЛИ, схема НЕ, реализация логических функций в виде ключей. Теоремы, применимые к логическим операциям. Производные основных логических функций: функции ИЛИ–НЕ, И–НЕ, исключающее ИЛИ (неравнозначность), исключающее ИЛИ–НЕ (равнозначность), реализация основных функций с помощью элементов ИЛИ–НЕ и И–НЕ. Синтез логических функций. Совершенная дизъюнктивная нормальная форма (СДНФ) и совершенная конъюнктивная нормальная форма (СКНФ) записи логических уравнений. Таблицы истинности, карты Карно.

Литература [1–9, 11, 12, 16, 17, 18, 19].

## Основные параметры и характеристики логических элементов

Потенциалы, соответствующие 0 и 1; порог переключения  $V_{\Pi}$ ; число входов (коэффициент объединения по входу)  $M$ ; входные токи  $I_{ВХ}^0$  при  $U_{ВХ} = U^0$  и  $I_{ВХ}^1$  при  $U_{ВХ} = U^1$ ; коэффициент разветвления по выходу  $N$  (нагрузочная способность); устойчивость к помехам положительной и отрицательной полярности  $U_{\Pi}^+$ ,  $U_{\Pi}^-$ ; мощность  $P_{\Sigma}$  или ток  $I_{\Pi}$ , потребляемые от источника питания; задержки переключения  $t_3^{01}$  состояния 0 на выходе в состояние 1 и  $t_3^{10}$  из состояния 1 в состояние 0.

Литература [1–9, 12, 14, 16, 17, 19–21].

## Схемотехническая реализация основных логических функций

Логические элементы с открытым коллектором и тремя состояниями выхода. Реализация функции «монтажное ИЛИ» для нулевых выходных уровней логических элементов и функции «монтажное И»

для единичных выходных уровней. Позитивная и негативная логика. Резистивно-транзисторная логика (РТЛ), элемент ИЛИ–НЕ типа РТЛ. Диодно-транзисторная логика (ДТЛ), элемент И–НЕ типа ДТЛ. Транзисторно-транзисторная логика (ТТЛ), элемент И–НЕ типа ТТЛ. Эммитерно-связанная логика (ЭСЛ), элемент ИЛИ–ИЛИ–НЕ типа ЭСЛ,  $n$  – канальная МДП-логика, элемент ИЛИ–НЕ типа  $n$  – МДП. Комплементарная МДП-логика (КМДП), инвертор типа КМДП.  
Литература [1–9, 12, 14, 16, 17, 19–21].

### **Функциональные узлы комбинационного типа**

Мультиплексоры и демультиплексоры: таблицы истинности, логические функции, способы наращивания. Мультиплексоры вида 4:1 на логических элементах И–НЕ, микросхемы К155КП1 и К155КП7. Демультиплексор вида 1:4 на логических элементах И–НЕ, микросхемы К155ИД3 и К155ИД4. Преобразователи кодов, шифраторы и дешифраторы. Дешифратор на 2 входа и 4 выхода на логических элементах И–НЕ. Микросхема 564ИД1. Сумматоры, порядок двоичного суммирования. Логическая структура полусумматора и полного сумматора. Субтракторы (вычитатели). Порядок двоичного вычитания, логическая структура полусубтрактора. Микросхемы К155ИМ1, К155ИМ2. Схемы сравнения (двоичные компараторы). Схемы, выявляющие большее (или меньшее) из двух сравниваемых чисел.  
Литература [1–8, 10, 11, 12, 17–21].

### **Интегральные триггеры**

Асинхронный *RS*-триггер на элементах ИЛИ–НЕ. Асинхронный *RS*-триггер на элементах И–НЕ. Статический синхронный *RS*-триггер. Триггеры типа *MS*: *RS*-триггер типа *MS*, *JK*-триггер типа *MS* (микросхема К155ТВ1). Тактируемый *D*-триггер (микросхема К155ТМ5), динамический *D*-триггер (микросхема К155ТМ2). Реализация *D*-триггера на *JK*-триггере.  
Литература [1–12, 14, 15, 16–19].

### **Полупроводниковые запоминающие устройства**

Классификация и основные параметры микросхем памяти. Оперативные запоминающие устройства (ОЗУ). Динамические режимы

в ОЗУ. Постоянные запоминающие устройства (ПЗУ). Репрограммируемые ПЗУ (РПЗУ). Программируемые ПЗУ (ППЗУ). Программируемые логические матрицы (ПЛМ).

Литература [1–3, 5, 6–8, 10–13, 18–21].

### **Регистры и счетчики**

Последовательное и параллельное занесение информации в регистры. Регистры памяти. Микросхема К155ИР15. Регистры сдвига. Четырехразрядный сдвигающий регистр с последовательным вводом. Регистр сдвига с параллельным и последовательным вводом и последовательным выводом. Микросхема К155ИР1.

Двоичные счетчики. Последовательный, параллельный и групповой перенос в счетчиках. Двоично-десятичный счетчик в коде 8421. Кольцевые счетчики. Реверсивные счетчики. Двоичный синхронный счетчик.

Литература [1–12, 15, 16, 18, 19, 20, 21].

## **2. СОВРЕМЕННЫЕ ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ**

### **Общие сведения**

Стоимость электронной микросхемы постоянно уменьшается по отношению к единице ее первоначальной стоимости по мере совершенствования процесса производства. Часто панель управления и корпус прибора стоят дороже, чем его электронная часть.

Применение интегральных схем освобождает разработчика от необходимости проектирования схем из таких дискретных элементов, как транзисторы, диоды и резисторы. Благодаря микроэлектронной технологии на крошечном кусочке (кристалле) кремния можно изготовить огромное число эквивалентных дискретных элементов. Получающаяся интегральная схема оказывается не только намного компактнее своего аналога из дискретных элементов, но и значительно дешевле и гораздо надежнее [2].

Основной элементной базой современной дискретной техники является интегральная микроэлектроника. Огромные успехи, достигнутые интегральной полупроводниковой микроэлектронной технологией, позволили создать приборы, по всем параметрам пре-



восходящие изделия сходного назначения, собранные на отдельных компонентах. Переход к интегральным микросхемам существенно изменил способы построения электронной аппаратуры, поскольку изделия микросхемотехники представляют собой законченные функциональные узлы, будь то логические элементы для выполнения простейших операций или процессоры вычислительных машин, состоящие из многих тысяч элементов.

Показателем сложности микросхемы, с точки зрения числа входящих в нее элементов, служит степень интеграции. Степень интеграции интегральной микросхемы определяется формулой

$$K = \lg N,$$

где  $N$  – число элементов и компонентов, образующих данную микросхему.

Значение  $K$ , полученное при помощи расчета, округляют до ближайшего большего целого числа. В настоящее время промышленным путем производятся микросхемы от первой (до 10 элементов включительно) до пятой степени интеграции (микросхемы, содержащие от 10 000 до 100 000 элементов и компонентов).

На практике сложность микросхем часто оценивают качественными критериями: микросхемами малой степени интеграции (МИС) считают изделия, содержащие до 10 элементов, средней (СИС) – до 100, большой (БИС) – от 100 до 1000 и сверхбольшой (СБИС) – свыше 1000 элементов [3].

Современный этап развития микроэлектронной техники характеризуется широким применением изделий средней и большой степени интеграции. Преимущество цифровых систем на интегральных схемах СИС, сравнительно с устройствами, реализованными на приборах МИС, не только в меньшем числе корпусов. С помощью СИС достигается более высокое быстродействие, поскольку задержка импульсов в объеме кристалла меньше задержек во внешних соединениях. Кроме того, элементы, образующие СИС, для уменьшения времени переключения используются в ненасыщенном режиме, где это допустимо. Функциональные устройства СИС расходуют меньше энергии, поскольку мощность, потребляемая внутренним элементом для переключения конкретной нагрузки, известна наперед, тогда как изделия МИС рассчитываются на максимальную возмож-

ную нагрузку, которая в большинстве случаев используется не полностью. Помехоустойчивость СИС также выше, если учесть, что соединения внутри кристалла менее подвержены действию наводок, чем соединения между отдельными интегральными схемами.

Изделия МИС в основном используют связующие звенья между устройствами СИС и БИС, а также во вспомогательных устройствах (генераторах, формирователях и т. п.).

В качестве активных элементов цифровых микросхем сейчас применяются два типа транзисторов: биполярные и полевые (униполярные). Последние имеют структуру металл-окисел-полупроводник (МОП) или, как ее еще называют, металл-диэлектрик-полупроводник (МДП). Цифровые микросхемы на биполярных и полевых транзисторах существенно различаются по многим показателям, и их развитие идет самостоятельными путями. Биполярные транзисторы интегральных микросхем по принципу действия и свойствам подобны высокочастотным кремниевым  $n-p-n$ -дискретным транзисторам. Полевые транзисторы в микросхемах, напротив, обладают специфическими свойствами.

Способ соединения транзисторов между собой в пределах одного элемента определяет их логический базис или, проще, логику. Из логических интегральных схем на биполярных транзисторах сегодня наиболее распространены: транзисторно-транзисторная логика (ТТЛ) в нескольких модификациях, эмиттерно-связанная логика (ЭСЛ), или, как ее еще называют, логика на переключателях тока (ПТТЛ), и в меньшей мере – диодно-транзисторная логика (ДТЛ). Логические элементы на биполярных транзисторах, применявшиеся на ранних этапах развития микросхемотехники: с непосредственной связью (НСТЛ), резисторно-транзисторная логика (РТЛ), резисторно-емкостная логика (РЕЛ) – сейчас морально устарели и в новых разработках не используются. Из новых направлений следует отметить инжекционно-интегральную логику (ИИЛ, или  $I^2L$ ), на основе которой создаются микросхемы большой степени интеграции высокого быстродействия и с малым потреблением энергии.

Микросхемы на основе полевых транзисторов сегодня также широко используются. Наиболее распространены схемы, основанные на совместном включении пары транзисторов с каналами разных видов проводимости, так называемые комплементарные структуры (КМОП-структуры) [4].

Для удобства разработчиков аппаратуры, а также по технологическим признакам, цифровые интегральные схемы выпускают сериями. Серией называют совокупность микросхем различного функционального назначения, которые имеют согласованные электрические и временные параметры для совместного использования. Микросхемы одной серии изготавливают по единой технологии, они имеют сходное конструктивное исполнение. В состав современных развитых серий входят десятки типов микросхем – от логических элементов до функционально законченных узлов: счетчиков, регистров, сумматоров, запоминающих устройств, арифметико-логических узлов, микропроцессоров и других.

При изучении цифровой электроники необходимо знать основные логические функции, их производные, графическое изображение элементов, выполняющих эти функции и соответствующие им таблицы истинности. Рассматривая теоремы, применимые к логическим операциям, следует обратить внимание на содержащийся в них дуализм: если в каком-нибудь тождестве поменять местами конъюнкцию с дизъюнкцией и 0 с 1, то при этом также получится тождество [1].

В общем случае любое алгебраическое выражение любой логической функции можно представить в следующей форме:

$$F = \sum_{i=0}^{q-1} f_i m_i,$$

где  $f_i$ ,  $m_i$  – значение функции (0 или 1) и минтерм, соответствующие  $i$ -му набору переменных.

Минтерм-конъюнкция всех переменных, которые входят в прямом виде, если значение данной переменной в наборе равно 1, либо в инверсном виде, если значение переменной равно 0. Такое представление функции называется ее совершенной дизъюнктивной нормальной формой (СДНФ).

Другая алгебраическая форма представления функции получается при использовании макстермов. Макстермом называется дизъюнкция всех переменных, которые входят в прямом виде, если значение переменной равно 1, либо в инверсном виде, если значение переменной равно 0. Число макстермов, как и минтермов для функции  $K$  переменных равно  $q = 2^K$ . Алгебраическое выражение функции получается в виде произведения

$$F = \prod_{i=0}^{q-1} (f_i \vee M_i),$$

где  $f_i$ ,  $M_i$  – значение функции и макстерм, соответствующие  $i$ -му набору переменных.

Такое представление функции называется ее совершенной конъюнктивной нормальной формой (СКНФ) [6, 9, 10].

### Параметры микросхем

Каждая цифровая микросхема обладает не только переключаемыми, но и другими свойствами, и оценивается рядом параметров, обусловленных внутренней структурой и конструктивным исполнением. Некоторые из этих параметров касаются конкретной микросхемы, другие характеризуют все изделия данной серии. Если в условиях эксплуатации эти параметры будут выдержаны, завод-изготовитель гарантирует нормальную работу микросхемы. Значения параметров, как правило, задаются с запасом и не исчерпывают физических возможностей микросхемы, однако превышать их не следует, особенно те, от которых зависят работоспособность и надежность приборов.

Оценивают микросхемы по следующим параметрам: быстродействию, напряжению питания, потребляемой мощности, коэффициенту разветвления по выходу, коэффициенту объединения по входу, помехоустойчивости, энергии переключения, надежности, стойкости к климатическим и механическим воздействиям [5, 10, 11].

**Быстродействие** характеризуется максимальной частотой смены входных сигналов, при которой еще не нарушается нормальное функционирование. Это один из важнейших параметров, так как определяет время обработки информации.

Инерционность полупроводниковых приборов и паразитные емкости служат причиной того, что каждое переключение сопровождается переходными процессами, отчего фронты импульсов растягиваются. Когда частота смены входных сигналов невелика, можно считать, что переключение происходит мгновенно, а при повышенных частотах приходится считаться с искажениями импульсов. Фронты искаженных прямоугольных импульсов представляют собой участки кривых, но для простоты их принято заменять отрезками прямых.

Для оценки временных свойств микросхем существует несколько параметров. На практике обычно пользуются так называемой **задержкой распространения сигнала**, которая представляет собой интервал времени между входным и выходным импульсами, измеренными на уровне 0,5. Времена задержки распространения сигнала при включении  $t_{зд}^{1,0}$  и выключении  $t_{зд}^{0,1}$  близки, но не равны. Обычно пользуются усредненным параметром

$$t_{зд.р.ср} = 0,5(t_{зд}^{1,0} + t_{зд}^{0,1}),$$

который называют средним временем задержки распространения (рис. 2.1) [3].

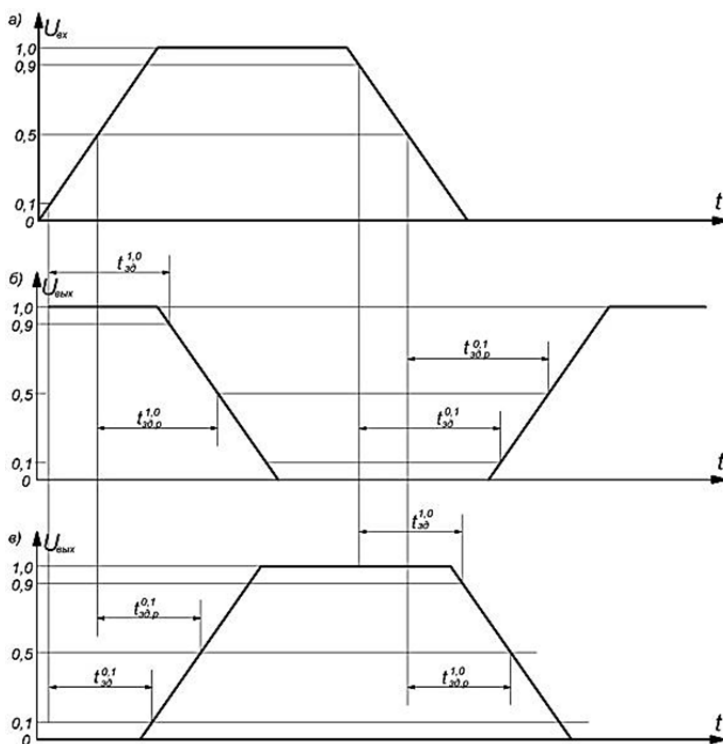


Рис. 2.1. Оценка задержки сигналов:  
*а* – входной импульс; *б* – выходной импульс с инверсией;  
*в* – выходной импульс без инверсии

Иногда пользуются близкими параметрами – временем задержки включения  $t_{зд}^{1,0}$  и выключения  $t_{зд}^{0,1}$ . Они измеряются на уровнях 0,1 и 0,9 соответственно.

Применительно к последовательностным устройствам (триггерам, счетчикам и др.) используются некоторые дополнительные временные параметры, обусловленные принципом действия: время задержки переключения, максимальная частота переключений и некоторые другие.

**Коэффициент разветвления по выходу** (коэффициент нагрузки)  $K_{раз}$  характеризует нагрузочную способность микросхемы. Этот параметр определяет максимальное число входов элементов данной серии, которым можно нагружать выходы микросхемы без нарушения ее нормального функционирования.

**Коэффициент объединения по входу**  $K_{об}$  определяет число логических входов, которые имеет микросхема. Для простейших логических элементов это число равноценных входов по И либо ИЛИ. Логические элементы массового производства выпускаются с 2, 3, 4 и 8 входами. Когда возникает надобность в большем числе входов, применяют специальные микросхемы расширители (экспандеры) либо используют несколько однотипных логических элементов, которые соединяют с учетом законов булевой алгебры.

Более сложные устройства содержат и другие входы: адресные, установочные, разрешающие, входы синхронизации и т. д. По отношению к предыдущим каскадам каждый такой вход обычно представляет собой такую же нагрузку, как и логические (информационные) входы.

**Помехоустойчивость**, или шумовой иммунитет, определяет допустимое напряжение помех на входах микросхемы, она непосредственно связана с ее передаточной характеристикой. В общем случае этот параметр оценивается по нескольким показателям. В зависимости от продолжительности помехи различают статическую и динамическую помехоустойчивость. Статическую помехоустойчивость связывают с помехами, длительность которых больше времени переходных процессов, а динамическую – с кратковременными помехами. Для обоих видов помехоустойчивости может учитываться воздействие напряжения низкого и высокого уровней.

Статической помехоустойчивостью по низкому уровню считают разность

$$U_{\text{пом}}^0 = \left| U_{\text{вых. max}}^0 - U_{\text{вх. max}}^0 \right|,$$

где  $U_{\text{вых. max}}^0$  – максимальное допустимое напряжение низкого уровня на выходе нагруженной микросхемы;

$U_{\text{вх. max}}^0$  – максимальное допустимое напряжение низкого уровня на входе нагружающей микросхемы.

Помехоустойчивость по высокому уровню определяют как

$$U_{\text{пом}}^1 = \left| U_{\text{вых. min}}^1 - U_{\text{вх. min}}^1 \right|,$$

здесь  $U_{\text{вых. min}}^1$  – минимальное напряжение высокого уровня на выходе нагруженной микросхемы;

$U_{\text{вх. min}}^1$  – минимальное допустимое напряжение высокого уровня на нагружающем входе.

Статическая помехоустойчивость служит основным показателем защищенности микросхем от помех. В справочниках приводят одну величину,  $U_{\text{пом}}^0$  или  $U_{\text{пом}}^1$ , ту, что меньше.

Динамическая помехоустойчивость выше статической, так как при кратковременных помехах сказываются паразитные емкости и инерционные процессы в микросхеме. Динамическая помехоустойчивость в справочных данных не указывается, потому что зависит не только от типа микросхемы, но и от условий ее работы.

**Энергия (работа) переключения** определяется как

$$A = P_{\text{пот}} t_{\text{зд.р.ср.}}$$

Параметр характеризует качество разработки и исполнения микросхемы. Для большинства семейств цифровых микросхем энергия переключения находится в пределах 0,1–500 пДж. Чем меньше этот параметр, тем выше качество разработки. С другой стороны, для

микросхем с высокой помехоустойчивостью большая энергия переключения является благом, так как импульсы помех даже большей амплитуды, но недостаточной энергии, не создадут ложных срабатываний.

**Надежность** характеризуется тремя взаимосвязанными показателями: интенсивностью отказов  $\lambda$ , наработкой на отказ  $T$  и вероятностью безотказной работы  $P(t)$  в течение заданного времени  $t$ . В интегральных микросхемах отсутствует перегрев, они мало подвержены вибрациям и ударам, технология производства обеспечивает высокое качество продукции, поэтому их надежность во много раз выше, чем у изделий, собранных из отдельных деталей.

Интенсивность отказов определяется в ходе испытаний большой партии изделий и характеризуется выражением

$$\lambda = \frac{n}{Nt},$$

где  $n$  – число отказов в ходе испытаний;

$N$  – число испытываемых изделий в партии;

$t$  – время испытаний, ч.

Интенсивность отказов для современных микросхем  $\lambda = 18^{-8} - 10^{-9} \text{ ч}^{-1}$ . По этому параметру можно вычислить и остальные показатели надежности:  $T = 1/\lambda$ , ч, и  $P(t) = e^{-\lambda t}$ ; приняв  $\lambda = 10^{-8} \text{ ч}^{-1}$ , а  $t = 15\,000$  ч, можно найти, что вероятность безотказной работы составит  $P(t) = 0,998$ , то есть 99,8 %, это исключительно высокий показатель надежности.

Стойкость микросхем к механическим и климатическим воздействиям очень высока. Они способны нормально работать при интенсивных механических нагрузках (вибрация, удары, центробежные силы) и в неблагоприятных климатических условиях: при повышенной влажности (до 98 % при 25 °С) и в большом температурном диапазоне (от –10 до +70 °С для микросхем широкого применения и от –60 до +125 °С – специального).

Кроме того, когда это требуется, учитывается также стоимость микросхемы, число типономиналов изделий в серии, особые условия эксплуатации, возможность сопряжения с изделиями других серий и другие показатели.



### 3. РАЗНОВИДНОСТИ ФУНКЦИОНАЛЬНЫХ СХЕМ

#### Комбинационные и последовательностью устройства

Логические элементы, о которых говорилось в предыдущих разделах, представляют лишь небольшую часть устройств, обрабатывающих и преобразующих двоичные сигналы. В общем случае устройства, оперирующие двоичной (дискретной) информацией, подразделяются на два больших класса: комбинационные схемы (дискретные автоматы без памяти) и последовательностные устройства (дискретные автоматы с памятью) [2, 4, 10, 15].

Все комбинационные схемы (логические устройства) характеризуются отсутствием памяти. Память – свойство системы сохранять значения сигналов, характеризующих внутреннее состояние цифрового устройства, в течение требуемого времени. Сигналы на выходах комбинационного устройства в любое время однозначно определяются сочетанием сигналов на входах и не зависят от его предыдущих состояний. Схемным признаком таких устройств служит отсутствие цепей обратной связи, то есть замкнутых петель для прохождения сигналов с выходов на входы. Примерами комбинационных схем могут служить логические элементы, электронные ключи, шифраторы, дешифраторы, мультиплексоры, демультиплексоры, большинство арифметических устройств.

Последовательностные устройства обладают памятью, при смене информации на входах для предсказания сигналов на выходах необходимо знать и состояние, в котором устройство было до этого. Последовательностные устройства организуются из комбинационных устройств путем их надлежащего включения. Показателем принадлежности схемы к последовательностному типу служит наличие в ней обратных связей. Простейшими последовательностными устройствами являются триггеры. К этому же классу относятся счетчики, регистры, запоминающие устройства.

Работу схем, реализующих переключаательные функции, принято рассматривать в безразмерном дискретном времени (лат. *discretus* – разделенный, прерывистый), для чего реальное время разбивается на интервалы, которые нумеруются, начиная с какого-то момента. Каждый промежуток называют тактовым интервалом или просто тактом.

Дискретное время складывается из отдельных тактов, длительность которых не имеет значения для характеристики работы устройства. Продолжительность отдельных тактов может быть различной, на работе устройства это не скажется.

Информации на выходах обновляется в момент начала нового такта. Временные задержки, обусловленные переходными процессами, обычно не учитывают, однако, когда частота смены тактов велика и соизмерима с предельным быстродействием устройства, с ними приходится считаться.

В последовательностных устройствах за счет памяти функция внешних переходов определяется состоянием входов и выходов в двух соседних тактах – до и после воздействия входных сигналов. Эту пару тактов принято обозначать  $t^n$  и  $t_3^{n+1}$ . У сигналов, действующих в определенные такты, к наименованию вывода добавляют и номер такта. Так, запись  $Q^n = 1$  означает, что на выводе  $Q$  в интервале времени  $t^n \leq t < t^{n+1}$  действует сигнал логической 1.

### Универсальные (стандартные) серии ТТЛ

Самыми развитыми по номенклатуре являются универсальные серии микросхем, в составе которых значится около сотни изделий различного функционального назначения. К ним относятся микросхемы серий 133 (К133) и 155 (К155, КМ155). Основное различие между изделиями этих двух серий состоит в конструкции корпуса. Кроме того, они различаются стойкостью к климатическим и механическим воздействиям. Последнее относится и к микросхемам 155-й серии с различными буквами в обозначениях. В функциональном отношении микросхемы со сходными наименованиями, например, 133ИД1 и 155ИД1, имеют одинаковые электрические и временные параметры, а также назначение выводов.

Микросхемы серии К155 являются изделиями массового применения. В составе этой и родственных серий (155, КМ155) имеется свыше 100 типоминиатюр микросхем.

На рис. 3.1 показана принципиальная схема базового элемента 155-й (133) серии. Такие элементы выпускаются как самостоятельные изделия, а также служат для построения других, более сложных приборов [3].

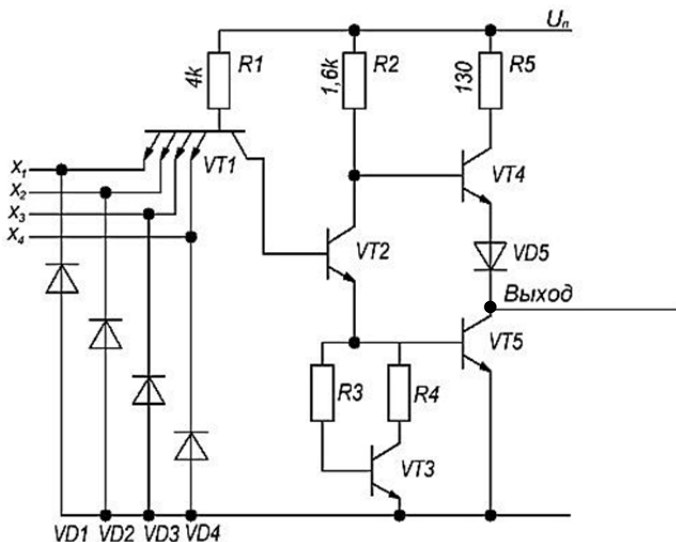


Рис. 3.1. Базовый элемент ТТЛ 155-й серии

Схема содержит три каскада: входной (транзистор  $VT1$  и резистор  $R1$ ); фазорасщепительный (транзистор  $VT2$ , резистор  $R2$ , а также узел  $VT3$ ,  $R3$ ,  $R4$ ); выходной (транзисторы  $VT4$ ,  $VT5$ , диод  $VD5$ ).

Диоды на входе  $VD1$ - $VD4$  (так называемые антизвонные диоды) при нормальном использовании микросхемы смещены в обратном направлении, имеют очень большое сопротивление и не влияют на работу. Узел  $VT3$ ,  $R3$ ,  $R4$  служит для улучшения передаточной характеристики и повышения помехоустойчивости. При первом рассмотрении он может быть представлен как резистор 1 кОм.

Когда один или несколько входов соединены с общей шиной (непосредственно или через выходной транзистор предыдущего каскада), соответствующий эмиттерный переход транзистора  $VT1$  окажется смещен в прямом направлении, поскольку потенциал базы выше потенциала эмиттера. Напряжения на базе  $VT1$ , равного 0,7–(0,1–0,4) В, недостаточно для отпирания трех переходов: коллекторного  $VT1$  и двух эмиттерных  $VT2$  и  $VT5$ .

Когда второй каскад (транзистор  $VT2$ ) заперт, на его коллекторе – высокое напряжение. Ток, протекающий через резистор  $R2$ , обеспечивает отпирание  $VT4$  и диода  $VD5$ . Если при этом отсутствует нагрузка

между выходным выводом и общей шиной, ток через  $VT4$  и диод  $VD5$  мал, а выходное напряжение равно  $U_{\text{ВЫХ}}^1 = 5 - 2 \cdot 0,7 = 3,6$  В.

Таким образом, рассматриваемый элемент выполняет операцию И–НЕ, поскольку на входе – низкое напряжение, а на выходе – высокое.

Если считать, что к переходу кремниевого транзистора можно прикладывать до 0,5 В без того, что он будет открыт, то максимальное напряжение, которое может быть на базе  $VT1$  в этом состоянии равно  $3 \cdot 0,5 = 1,5$  В. Поэтому для обеспечения высокого выходного напряжения входное не должно превышать  $U_{\text{ВХ}}^0 \leq 1,5 - 0,7 = 0,8$  В.

Типичное значение  $U_{\text{ВХ}}^0 = 0,3$  В. Входной ток, следовательно, будет

$$I_{\text{ВХ}}^0 = \frac{U_{\text{П}} - (U_{\text{б-э}} + U_{\text{ВЫХ. к-э}}^0)}{R_1} = \frac{5 - 0,7 - 0,3}{4 \cdot 10^3} = -1 \text{ мА.}$$

С учетом возможного разброса значения  $R_1$  в справочниках указывают максимальный ток  $I_{\text{ВХ}}^0 = -1,6$  мА.

Ток, вытекающий из микросхемы (условно направление тока принято от плюса к минусу), считают отрицательным, а втекающий – положительным.

При постоянном  $U_{\text{П}}$  входной ток определяется главным образом сопротивлением  $R_1$ . Если одновременно задействовано несколько входов, общий входной ток распределяется равномерно между ними.

Когда на все входы действует напряжение высокого уровня, транзистор  $VT1$  работает в инверсном режиме; эмиттерный переход смещен в обратном направлении, а коллекторный – в прямом.

## Микросхемы с открытым коллектором

Сложный инвертор, благодаря малым выходным сопротивлениям в обоих выходных состояниях, обладает хорошей нагрузочной способностью: в зависимости от типа микросхемы к одному выходу можно подключать от 10 до 30 входов ТТЛ той же серии. Если же соединить между собой выходы разных микросхем, то, когда в одном элементе открытым окажется верхний транзистор, а в другом –

нижний, в цепи потечет ток, ограниченный только резистором  $R_5$  (см. рис. 3.1), опасный для выходных транзисторов. По этой причине нельзя соединять между собой выходы. Как исключение, допускается параллельное включение входов и выходов двух логических элементов из одного корпуса [15, 16, 19].

Выходы некоторых микросхем выполнены так, что верхний выходной транзистор и относящиеся к нему элементы отсутствуют. Это так называемые элементы со свободным (открытым) коллектором (рис. 3.2). На его выходе формируется только сигнал низкого уровня, поэтому для нормальной работы выходного транзистора следует подключать коллектор к источнику питания через внешнюю нагрузку: резистор, элемент индикации, реле и т. п. [3].

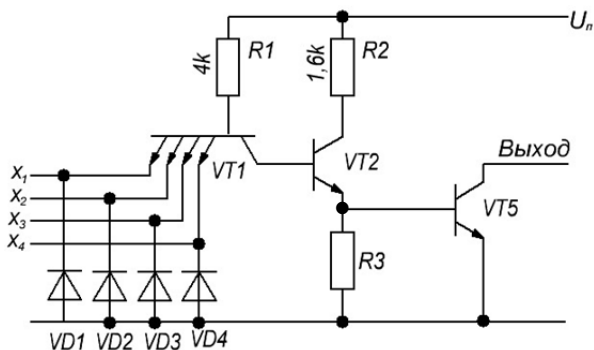


Рис. 3.2. Принципиальная схема логического элемента ТТЛ с открытым коллектором

Для выпуска таких микросхем есть, по меньшей мере, две причины. Первая состоит в том, что выходной транзистор может быть использован для управления внешними устройствами, которые к тому же могут работать от других источников питания. Микросхема К155ЛА11, например, позволяет подводить к выходному транзистору до 30 В. Эти микросхемы легко также вводить в линейный (усилительный) режим.

Другое применение подобных микросхем связано с выполнением логических операций. Логические элементы с открытым коллектором, в отличие от сложных инверторов, допускают параллельное подключение нескольких выходов к общей нагрузке (рис. 3.3, а).

Объединение выходов называют монтажной (проводной) логикой. При таком соединении, если на выходе одного или нескольких элементов будет низкий потенциал (логический 0 в положительной логике), то тот же потенциал окажется на выходе всей системы. Чтобы обеспечить логическую 1 на общем выходе, необходимо иметь логические 1 на всех выходах. Другими словами, в данном случае параллельным подключением нескольких открытых коллекторов к общей нагрузке создается система, выполняющая логическую операцию И (монтажное И).

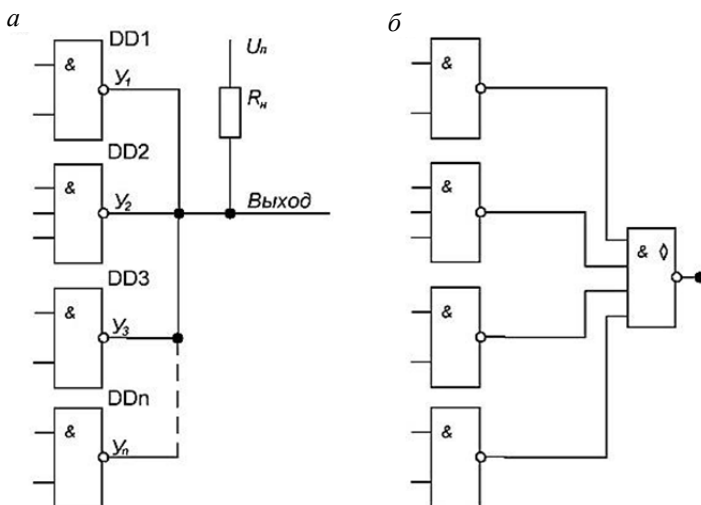


Рис. 3.3. Псевдоэлемент «монтажное И»:  
 а – схема соединений; б – условное обозначение

Действительно,

$$F_{\text{ВЫХ}} = y_1 y_2 y_3 \dots y_n.$$

В свою очередь, каждый из логических элементов производит операцию И–НЕ:

$$y_1 = \overline{x_1 x_1};$$

$$y_2 = \overline{x_2 x_2 x_2};$$

$$y_n = \overline{x_n x_n}.$$

Следовательно, выходная логическая функция системы

$$F_{\text{вых}} = \overline{x_1 x_1} \cdot \overline{x_2 x_2 x_2} \dots \overline{x_n x_n}$$

Имея дело с монтажной логикой, следует учитывать, что каждый компонент схемы утрачивает самостоятельность и действует как элемент общей системы.

Рассмотренная функция представлена графически на рис. 3.3, б. Включение логических выходов на общую нагрузку (монтажная логика) условно изображается в виде псевдоэлемента, подобного обычным комбинационным логическим элементам. Чтобы подчеркнуть тот факт, что это не реальная микросхема, а способ соединения выводов, к символу выполняемой операции в основном поле добавляются условный знак – ромб. К символам функций соединяемых логических элементов добавляют знак & или 1 в соответствии с функцией псевдоэлемента [16, 17].

Поведение всей системы с учетом операций, выполняемых логическими элементами, можно представить, преобразовав последнее выражение на основе закона Де Моргана:

$$F = \overline{x_1 x_1 \vee x_2 x_2 x_2 \vee \dots x_n x_n}$$

или

$$F = x_1 x_1 \vee x_2 x_2 x_2 \vee \dots x_n x_n$$

Из последних выражений следует, что логические элементы с объединенными выходами функционируют подобно логическому элементу И–ИЛИ–НЕ, выполняя операцию ИЛИ–НЕ по отношению к входным переменным, связанным операциями И в каждом из этих логических элементов. Такое толкование послужило причиной наименования «монтажное ИЛИ». Поскольку при описании и изображении логических схем всегда, когда это не оговорено, подразумевается положительная логика, правильным будет обозначение по рис. 3.3, б и термин «монтажное И».

### Микросхемы с тремя выходными состояниями

Устройства, оперирующие дискретной информацией, при высоком уровне выходного напряжения имеют малое сопротивление

между выводом «выход» и шиной питания. В противоположном состоянии у выхода небольшое сопротивление по отношению к общей шине. В обоих случаях выходной вывод имеет определенный электрический потенциал, который воздействует на входы последующих приборов [6, 15, 18].

Существует категория микросхем, способных принимать и третье состояние, при котором оконечные транзисторы бывают закрыты, что равносильно отключению микросхемы от нагрузки. На этом основании третье состояние еще называют высокоимпедансным. Перевод в это состояние осуществляется по специальному входу. В зависимости от конкретного типа микросхемы отключение выхода может осуществляться сигналами высокого или низкого уровня.

С тремя состояниями выхода выпускаются микросхемы различного функционального назначения: как комбинационного, так и последовательностного типа. При поочередном действии таких приборов их выходы можно соединять между собой и подключать к общей нагрузке. Таким способом удастся уплотнить каналы передачи данных, а также создавать магистрали с двунаправленными потоками информации (рис. 3.4). Буквы *EZ* – это метка третьего состояния, а не конъюнкция двух сигналов.

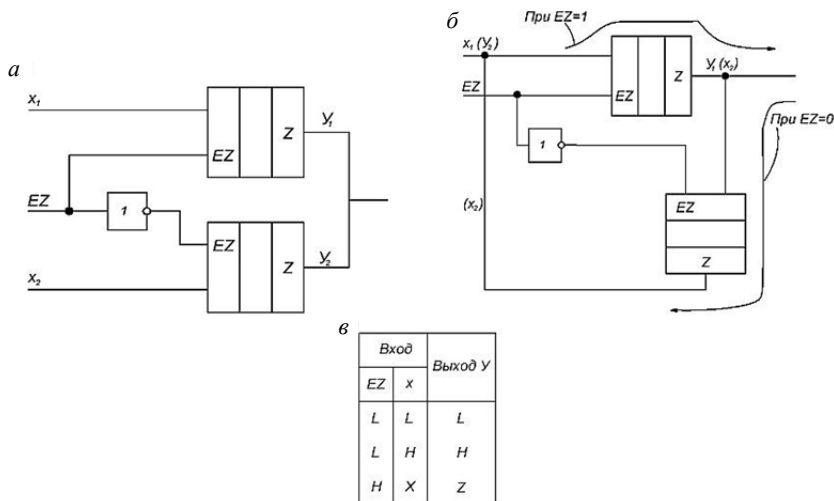


Рис. 3.4. Примеры применения приборов с тремя выходными состояниями: *a* – работа на общую нагрузку; *б* – двусторонняя передача информации; *в* – таблица истинности одного элемента



Высокоимпедансное состояние само по себе не является логическим, но входной сигнал, создающий его, может определять логический уровень на выходе системы, в которую входит данная микросхема. Например, схема, изображенная на рис. 3.4, реализует функцию  $y = x_1 EZ \vee x_2 \overline{EZ}$ .

На рис. 3.5 показан один из способов обеспечения трех состояний в микросхемах ТТЛ. Эта схема отличается от базовой наличием дополнительных транзисторов  $VT1-VT3$  и диода  $VD1$ . Когда транзистор  $VT3$  заперт, схема действует подобно обычному логическому элементу, поскольку диод  $VD1$  смещен в обратном направлении. При открытом транзисторе  $VT3$  диод  $VD1$  также открыт и напряжение в точке  $A$  близко к нулю. Транзистор  $VT6$  при этом заперт. Транзистор  $VT5$  также будет закрыт, поскольку на эмиттере транзистора  $VT4$ , связанном с коллектором  $VT3$ , – логический 0. Следовательно, транзистор  $VT7$  также будет заперт и выходной вывод окажется отсоединенным от входных цепей и обеих шин питания. В этом состоянии микросхема потребляет значительно меньше мощности.

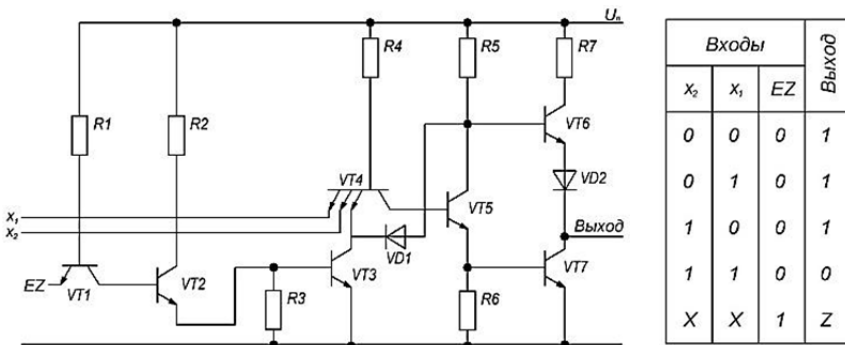


Рис. 3.5. Принципиальная схема логического элемента ТТЛ с тремя выходными состояниями.

В таблице  $Z$  – высокоимпедансное состояние,  $x$  – любое логическое состояние (0 или 1)

## 4. МУЛЬТИПЛЕКСОРЫ

Назначение мультиплексоров – коммутация информации в желаемом порядке, поступающей с нескольких входных шин на одну выходную. С помощью мультиплексора осуществляется временное разделение информации, поступающей по разным каналам. Его можно уподобить бесконтактному многопозиционному выключателю [1, 8, 9].

Мультиплексоры обладают двумя группами входов и одним, реже двумя – взаимодополняющими, выходами. Одни входы информационные, а другие служат для управления. К ним относятся адресные и разрешающие (стробирующие) входы. Если мультиплексор имеет  $N$  адресных входов, то число информационных входов будет  $K = 2^N$ . Набор сигналов на адресных входах определяет конкретный информационный вход, который будет соединен с выходом.

Разрешающий вход управляет одновременно всеми информационными входами независимо от состояния адресных входов. Разрешающий сигнал на этом входе блокирует действие всего устройства. Наличие разрешающего входа расширяет функциональные возможности мультиплексоров, позволяя синхронизировать их работу с работой других узлов. Разрешающий вход используется также для наращивания разрядности мультиплексоров.

### Схемотехнические решения

На рис. 4.1 показаны принципиальные схемы двух простейших мультиплексоров – селекторов вида «две линии к одной» (2:1). Вариант *a* на рис. 4.1 обеспечивает коммутацию информационных цепей с помощью механических устройств (переключателей, реле и т. п.) без вмешательства в управляемые цепи. Переключатель  $S$  играет роль адресного устройства, положение контактов которого определяет, какие входные сигналы,  $X_1$  или  $X_2$ , будут поступать на вход. Добавлением логических элементов «И» можно увеличить количество входных информационных шин.

В варианте *б* (см. рис. 4.1) для переключения входных цепей используется один внешний сигнал. Когда  $A = 1$ ,  $F = X_1$ ; при  $A = 0$   $F = X_2$ . Добавлением второго логического элемента И–ИЛИ можно

получить распределение сигналов, которое часто применяется на практике: здесь при  $A = 1$   $F_1 = X_1$ ,  $F_2 = X_2$ ; при  $A = 0$   $F_1 = X_2$ ,  $F_2 = X_1$ .

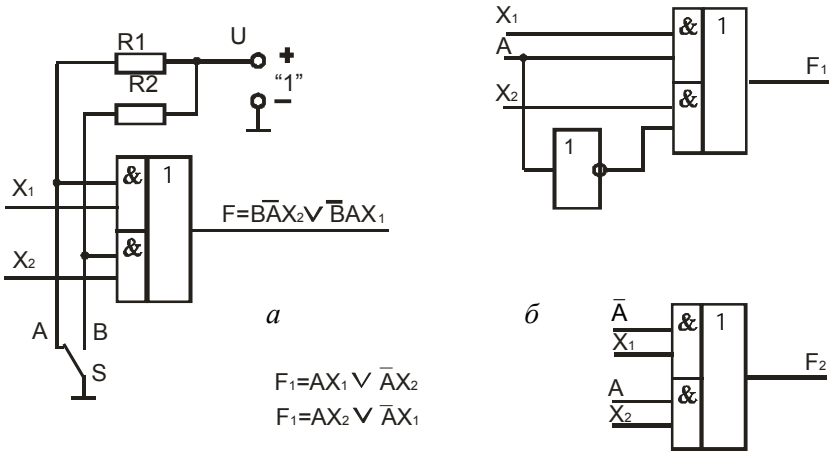


Рис. 4.1. Мультиплексор-селектор вида 2:1:  
*а* – управляемый контактом; *б* – управляемый сигналом

Эти же принципы положены в основу построения более сложных схем мультиплексоров. Рис. 4.2 отражает логическую структуру реального мультиплексора «четыре линии к одной» (4:1) – половине микросхемы ТТЛ К155КП2.

Она содержит четыре информационных входа D0-D3, два адресных входа *A* и *B* и разрешающий вход *V*. Вход *A* принадлежит младшему разряду, *B* – старшему. Когда разрешающий вход находится под высоким потенциалом  $U_1$ , один из выходов логических элементов И будет под низким и, следовательно, на их выходах также будут нулевые уровни независимо от состояния остальных выходов. Выходной сигнал в этом случае также будет равен нулю.

Схема управления выполнена так, что при разрешающем сигнале на входе *V* любые комбинации сигналов на адресных входах *A* и *B* создают условия, при которых на входах (а значит и на выходах) трех логических элементов И существуют потенциалы низкого уровня, неактивные для элемента ИЛИ. Состояние четвертого элемента И определяется сигналом на информационном входе, тот же сигнал будет и на выходе мультиплексора. Двоичные числа (00, 01, 10, 11),

характеризующие сигналы на входах  $B$  и  $A$ , эквивалентны индексу задействованного информационного входа ( $D_0, D_1, D_2, D_3$ ). Так, например, двоичное число 10 на адресных входах обеспечит селекцию шины  $D_2$ . Это следует из таблицы истинности рассматриваемого мультиплексора (табл. 4.1) и формулы

$$F = \bar{V}(\bar{B}AD_0 \vee \bar{B}AD_1 \vee \bar{B}AD_2 \vee \bar{B}AD_3).$$

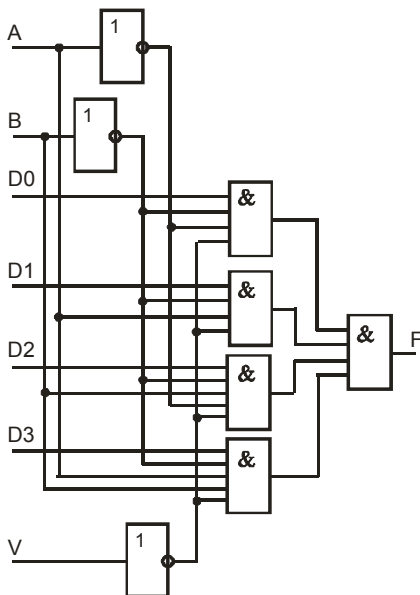


Рис. 4.2. Логическая структура мультиплексора 4:1

Таблица 4.1

Таблица истинности мультиплексора К155КП2

ВХОДЫ			ВЫХОД $F$
$V$	$A$	$B$	
0	0	0	$D_0$
0	0	1	$D_1$
0	1	0	$D_2$
0	1	1	$D_3$
1	$X$	$X$	0

В мультиплексах ТТЛ входные информационные сигналы проходят через несколько логических элементов, поэтому такие приборы могут обрабатывать только импульсные сигналы, логические уровни которых находятся в пределах, допустимых для устройств ТТЛ.

### Способы наращивания мультиплексов

У мультиплексов, выпускаемых в виде самостоятельных изделий, число информационных входов не превышает 16. Большое число входов обеспечивается путем наращивания, которое можно выполнять двумя способами: объединением нескольких мультиплексов в пирамидальную систему либо последовательным соединением разрешающих входов и внешних логических элементов. На практике применяются оба метода [5, 9, 11].

Пирамидальные мультиплексы строятся по ступенчатому принципу, причем обычно применяются две, реже три и более, ступени. Пирамидальный характер схемы состоит в том, что каждая ступень, начиная с первой, имеет больше входов, чем последующая. Младшие разряды кода адреса подаются на адресные входы первой ступени, а ступеням более высокого ранга соответствуют адресные разряды более высокого кода.

На рис. 4.3 показан вариант мультиплексора на основе приборов 8:1 и 4:1. Чередование сигналов в последовательности от 000 до 111 на адресных входах  $C, B, A$  микросхем  $DD1-DD4$  одновременно коммутирует входы  $X0-X7$  на шину  $Y0$ , входы  $X8-X15$  – на шину  $Y1$ ;  $X16-X23$  – на шину  $Y2$  и  $X24-X31$  – на шину  $Y3$ . Адресу  $CBA = 100$ , например, соответствует поступление сигналов с  $X4$  на  $Y0$ ; с  $X12$  – на  $Y1$ ; с  $X20$  – на  $Y2$  и с  $X28$  – на  $Y3$ .

В свою очередь, мультиплексирование шин  $Y0-Y3$  происходит при смене сигналов на адресных входах высших разрядов  $E, D$ . Если требуется, чтобы выход системы был связан с входом  $X20$ , то должно быть  $ED = 10$ , следовательно, информационному входу  $X20$  принадлежит адрес  $EDCBA = 10100$ .

Общее число информационных входов при однотипных мультиплексах младшего ранга равно произведению числа входов отдельных мультиплексов и числа самих мультиплексов:  $N_{\text{вх. общ}} = N_{\text{вх. хн}}$ . Для очень больших  $N_{\text{вх. общ}}$  понадобится третий

ряд мультиплексов. Порядок их подключения не требует пояснений, общее число входов определяется по той же формуле.

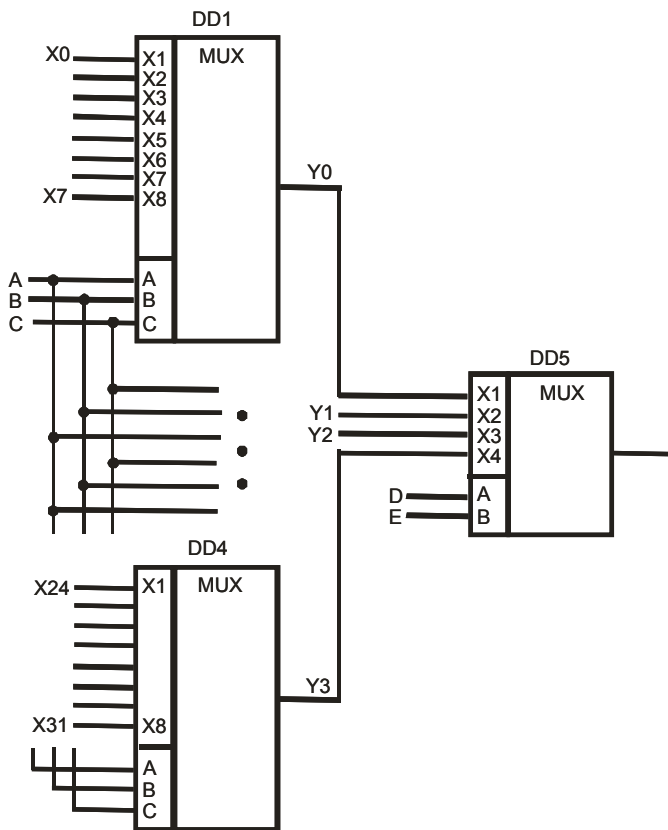


Рис. 4.3. Пирамидальная схема мультиплекса 32:1

Недостатками пирамидального наращивания требует считать повышенный расход микросхем, а также сравнительно невысокое быстродействие из-за суммирования задержек при последовательном прохождении сигналов по ступеням пирамиды.

### Мультиплексы ТТЛ

Мультиплексы ТТЛ, выполненные в виде самостоятельных микросхем, строятся по образу схемы, показанной на рис. 4.4, а

и различаются, главным образом, числом информационных и адресных входов, наличием или отсутствием разрешающего входа, а также характером выходных сигналов, которые могут быть прямыми, инверсными или парными.

Микросхемы К155КП5 и К155КП7 представляют собой мультиплексоры – коммутаторы с восьмью входами на один (8:1). Они близки по логической структуре и принципу действия. Различие состоит в том, что К155КП7 имеет разрешающий вход  $V$  и два выхода – прямой  $F$  и инверсный  $\bar{F}$ , тогда как в микросхеме К155КП5 разрешающий вход и прямой выход отсутствуют (рис. 4.4, б).

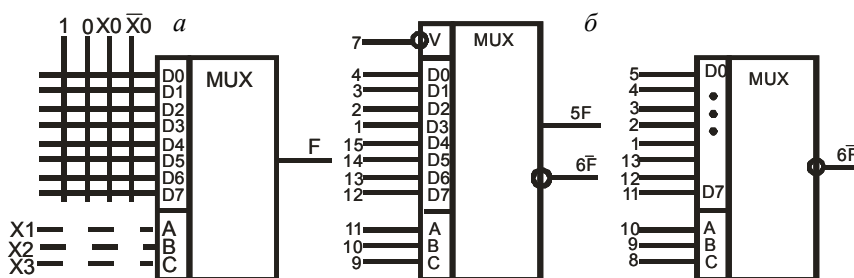


Рис. 4.4. а – Матрица информационных и адресных шин для 4-х переменных; б – условное обозначение мультиплексоров К155КП7, К155КП5

Логическая функция, выполняемая мультиплексором К155КП5, имеет следующий вид:

$$\bar{F} = \bar{C}\bar{B}\bar{A} \cdot X_0 \vee \bar{C}\bar{B}A \cdot X_1 \vee \bar{C}B\bar{A} \cdot X_2 \vee \dots \vee CBA \cdot X_7,$$

а для микросхемы К155КП7 (по прямому выходу):

$$F = \bar{V}(\bar{C}\bar{B}\bar{A} \cdot X_0 \vee \bar{C}\bar{B}A \cdot X_1 \vee \bar{C}B\bar{A} \cdot X_2 \vee \dots \vee CBA \cdot X_7).$$

Цифровая комбинация на управляющих выходах ( $A$ ,  $B$ ,  $C$ ) определяет, с какого из информационных входов сигналы на выходы будут переданы в прямом (вывод 5) и с какого – в инверсном виде (вывод 6). Разрешающий вход  $V$  (вывод 7) при этом должен находиться в состоянии логического нуля.

Уровень логической «1» на разрешающем входе  $V$  запрещает коммутацию, при этом на прямом выходе  $F$  возникает уровень логического «0» вне зависимости от состояния информационных входов.

Мультиплексор К155КП5 действует сходным образом с учетом отмеченных выше отличий.

Таблицы истинности (табл. 4.2 и 4.3) характеризуют действие обеих микросхем.

Таблица 4.2

Таблица истинности микросхемы К155КП5

ВХОДЫ											ВЫХОД $\bar{F}$
$C$	$B$	$A$	$D0$	$D1$	$D2$	$D3$	$D4$	$D5$	$D6$	$D7$	
0	0	0	1/0	X	X	X	X	X	X	X	0/1
0	0	1	X	1/0	X	X	X	X	X	X	0/1
0	1	0	X	X	1/0	X	X	X	X	X	0/1
0	1	1	X	X	X	1/0	X	X	X	X	0/1
1	0	0	X	X	X	X	1/0	X	X	X	0/1
1	0	1	X	X	X	X	X	1/0	X	X	0/1
1	1	0	X	X	X	X	X	X	1/0	X	0/1
1	1	1	X	X	X	X	X	X	X	1/0	0/1

Таблица 4.3

Таблица истинности микросхемы К155КП7

ВХОДЫ												ВЫХОДЫ	
$V$	$C$	$B$	$A$	$D0$	$D1$	$D2$	$D3$	$D4$	$D5$	$D6$	$D7$	$F$	$\bar{F}$
1	X	X	X	X	X	X	X	X	X	X	X	0	1
0	0	0	0	1/0	X	X	X	X	X	X	X	1/0	0/1
0	0	0	1	X	1/0	X	X	X	X	X	X	1/0	0/1
...	...	...	...	...	...	...	...	...	...	...	...	...	...
0	1	1	1	X	X	X	X	X	X	X	1/0	1/0	0/1

Мультиплексор К155КП1 (рис. 4.5) имеет 16 информационных входов ( $D0$ – $D15$ ) и четыре управляющих входа  $A$ ,  $B$ ,  $C$ ,  $D$ , разрешающий вход  $V$  и один инверсный выход  $\bar{F}$ .



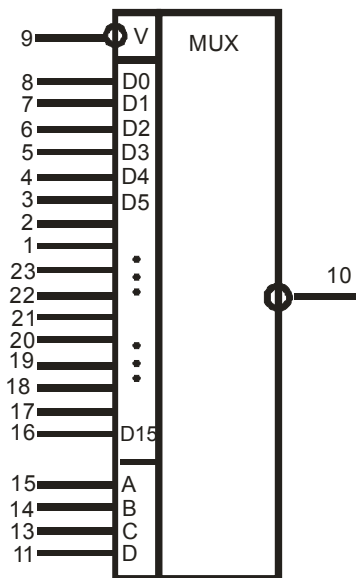


Рис. 4.5. Условное изображение микросхемы К155КП1

В зависимости от цифровой комбинации на управляющих входах сигналы с соответствующего информационного входа переходят в инвертированном виде на выход микросхемы. Передача информации возможна, если на разрешающий вход действует напряжение низкого уровня, при высоком уровне на разрешающем входе схема блокируется и на выходе микросхемы возникает напряжение высокого уровня.

Логическая функция, реализуемая микросхемой К155КП1, имеет следующий вид:

$$\bar{F} = \bar{V} (\bar{D}\bar{C}\bar{B}\bar{A} \cdot X_0 \vee \bar{D}\bar{C}\bar{B}A \cdot X_1 \vee \dots \vee DC\bar{B}\bar{A} \cdot X_{14} \vee DCBA \cdot X_{15}).$$

## 5. ДЕМУЛЬТИПЛЕКСОРЫ И ДЕШИФРАТОРЫ

Демультиплексоры в функциональном отношении противоположны мультиплексорам. Здесь сигналы с одного информационного входа распределяются в желаемой последовательности по нескольким выходам. Выбор нужной выходной шины, как и в мультиплек-

соре, обеспечивается кодом на адресных входах. При  $m$  адресных входах в зависимости от конструкции демультиплексор может иметь до  $2^m$  выходов [13, 16, 17].

Логическая структура простого демультиплексора вида 1:4 представлена на рис. 5.1: здесь  $B$  и  $A$  – адресные входы,  $x$  – информационный вход,  $V$  – разрешающий. Схема функционирует согласно табл. 5.1. Номера выходных выводов соответствуют двоичному коду на адресных входах ( $A$  – младший разряд). Работу устройства описывают следующие булевы уравнения:

$$F_0 = \overline{(x \vee V) B A};$$

$$F_1 = \overline{(x \vee V) B \bar{A}};$$

$$F_2 = \overline{(x \vee V) \bar{B} A};$$

$$F_3 = \overline{(x \vee V) \bar{B} \bar{A}}.$$

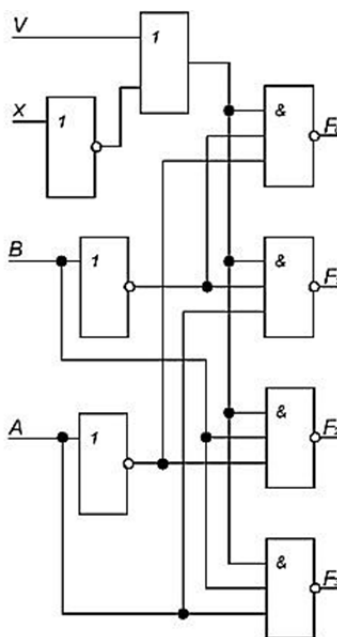


Рис. 5.1. Логическая структура демультиплексора вида 1:4

Таблица истинности демультиплексора 1:4 (декодера 2:4)

Входы				Выходы			
$B$	$A$	$x$	$V$	$F_0$	$F_1$	$F_2$	$F_3$
0	0	0/1	0	0/1	1	1	1
0	1	0/1	0	1	0/1	1	1
1	0	0/1	0	1	1	0/1	1
1	1	0/1	0	1	1	1	0/1
0	0	$x$	1	0	1	1	1
0	1	$x$	1	1	0	1	1
1	0	$x$	1	1	1	0	1
1	1	$x$	1	1	1	1	0

Дешифратором (декодером) называют устройство с несколькими входами и выходами, у которого определенным комбинациям входных сигналов соответствует активное состояние одного из выходов. Дешифратор, следовательно, можно рассматривать как обращенный по входам демультиплексор, у которого адресные входы стали информационными, а бывший информационный вход, на который подается напряжение определенного уровня ( $U^0$  или  $U^1$ ), поддерживает напряжение выходных выводов в активном состоянии. Это следует и из рис. 5.1.

Если у демультиплексора 1:4 на информационном входе поддерживать потенциал  $U^0$  или  $U^1$  на разрешающем входе  $U^1$ , то прибор будет работать как дешифратор 2:4. Таким образом, между обоими типами рассматриваемых устройств нет принципиальной разницы, а различие сводится к виду сигналов на одиночном входе: если они меняются во времени, это демультиплексор, если нет – дешифратор. У дешифраторов этот вход нередко отсутствует и выходные сигналы на активном выходе имеют одно, наперед известное значение. На условных графических обозначениях у демультиплексоров в основном поле помещают символ  $DMX$ , а дешифраторы обозначают как  $DC$  (от англ. *decoder*).

Дешифраторы и демультимплексоры, оформленные как микросхемы средней степени интеграции, широко применяются в информационно-измерительной технике. Как и мультимплексоры, они часто используются в сочетании со счетчиками и регистрами. Они служат в качестве коммутаторов-распределителей информационных сигналов и синхроимпульсов, для демультимплексирования данных и организации адресной логики в оперативных и постоянных запоминающих устройствах, а также для преобразования двоично-десятичного кода в десятичный с целью управления индикаторными и печатающими устройствами. Число выходов и распределение сигналов на них определяются характером предполагаемой нагрузки. Дешифраторы для работы с газоразрядными индикаторными лампами имеют на выходе высоковольтные транзисторы и организацию выходов «один из десяти». Микросхемы, работающие с семисегментными индикаторами (полупроводниковыми, накальными, вакуумными), имеют семь выходов и надлежащее распределение сигналов на них при каждом сочетании входных сигналов [3].

Демультимплексоры-дешифраторы как самостоятельные изделия имеют 4, 8 или 16 выходов. Если потребное число выходных шин превышает возможности одной микросхемы, демультимплексоры (дешифраторы) наращиваются в систему. В этом отношении тут нет принципиального различия с мультимплексорами. В пирамидальных схемах наращивание производится ступенями, причем каждая последующая ступень имеет больше элементов, чем предыдущая. Как пример, на рис. 5.2 показан демультимплексор 1:32, составленный из демультимплексора 1:4 и четырех – 1:8.

Адрес единственного выхода, который находится в активном состоянии, составляется из кода младших разрядов от 000 до 111 (входы *C*, *B*, *A* – общие для всех выходных демультимплексоров) и кода старших – от 00 до 11 (входы *E* и *D*). Адресом выхода 4 будет, таким образом, код  $EDCBA = 00100$ , а выхода 12 – код  $EDCBA = 01100$ . Они являются двоичными эквивалентами десятичных чисел 4 и 12.

Тот же результат может быть получен с помощью демультимплексоров 1:8 и 1:4 или 1:2 и 1:16 и т. д. Ниже, при описании микросхемы К155ИДЗ приведена практическая схема демультимплексора структуры 1:256. Для более сложных демультимплексоров может потребоваться третья ступень микросхем, входы которых соединяют с выходами предыдущей ступени.

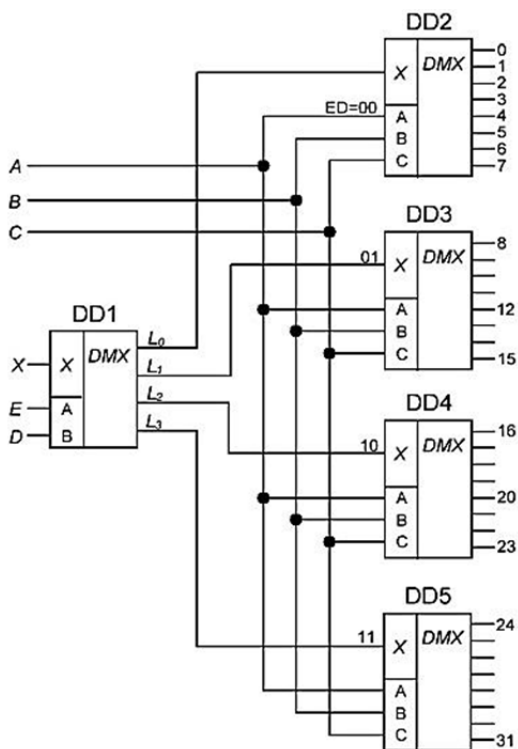


Рис. 5.2. Пирамидальный демультиплексор вида 1:32

## 6. СУММАТОРЫ

Сумматорами называются логические устройства, выполняющие операцию сложения двух чисел. В зависимости от способа обработки чисел различают последовательные и параллельные сумматоры.

Последовательные сумматоры строятся на основе одноразрядной суммирующей схемы. В таких устройствах два числа складываются поразрядно, последовательно во времени.

Параллельные сумматоры комбинационного типа строят, как правило, по каскадному принципу на основе композиции одноразрядных суммирующих схем, причем в таких устройствах числа обрабатываются одновременно во всех разрядах. Логическое проектирование в этом случае сводится к синтезу одноразрядных сумматоров

и организации цепей переноса в соответствии с заданными требованиями на быстрдействие.

### Полусумматор

Одноразрядные суммирующие схемы различают по числу входов. Рассмотрим синтез одноразрядных суммирующих схем на два входа  $A_i$  и  $B_i$ . Эти схемы часто называются полусумматорами или сумматорами по модулю 2. Выходными сигналами такого устройства являются сумма  $S_i$  и перенос  $P_i$ , который при суммировании по модулю 2 не используется. Работа полусумматора может быть задана таблицей истинности 6.1, в соответствии с которой  $S_i$  и  $P_i$  могут быть записаны в следующем виде:

$$\left. \begin{aligned} S_i &= A_i \overline{B_i} + \overline{A_i} B_i, \\ P_i &= A_i B_i. \end{aligned} \right\} \quad (6.1)$$

Таблица 6.1

Таблица истинности полусумматора

$A_i$	$B_i$	$S_i$	$P_i$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Выражение для выхода  $S_i$  также как и столбец  $S$  табл. 6.1, полностью совпадает с уравнениями (6.1) и таблицей истинности для логического элемента «исключающее ИЛИ». Это обстоятельство и объясняет, в частности, почему операцию «исключающее ИЛИ» иногда называют сложением по модулю 2. Логическая структура полусумматора в общем и развернутом виде показана на рис. 6.1 [3].

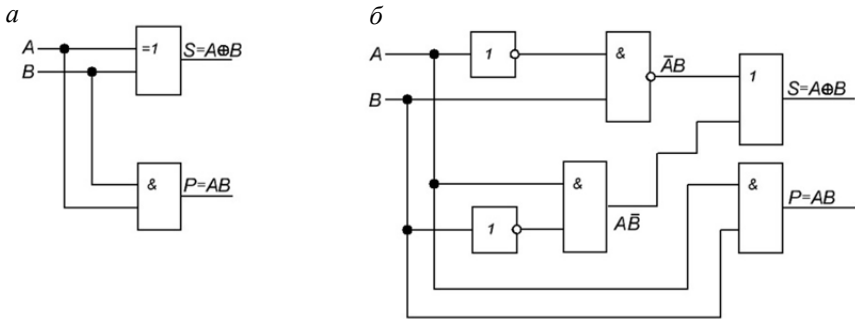


Рис. 6.1. Логическая структура полусумматора:  
*a* – общий вид; *б* – развернутая форма

При построении сумматоров на ИС обычно ставится задача оптимального проектирования для удовлетворения требования максимально быстродействия и обеспечения минимального количества однотипных логических элементов. Быстродействие устройств на ИС в основном определяется задержкой логических элементов НЕ. Поэтому для получения максимального быстродействия сумматоров необходимо проектировать схему с минимальным числом последовательно соединенных элементов НЕ. Отсюда предпочтительным при построении схем с максимальным быстродействием является функционально избыточный базис И–ИЛИ–НЕ [9, 13, 17].

Рассмотрим реализацию полусумматора на логических элементах И–ИЛИ–НЕ. Для этого представим выражение для переключающих функций  $S_i$  в виде структурного уравнения:

$$S_i = \overline{\overline{A_i} \overline{B_i}} + A_i B_i.$$

Схемное решение для этой функции с учетом цепи образования переноса показано на рис. 6.2.

Поскольку коэффициент разветвления по выходу логического элемента И в интегральных схемах, как правило, не превышает единицы, то при реализации переключающей функции  $P_i$  для однотипности применяется элемент И–ИЛИ–НЕ, в котором в силу использования только одного входа элементов И выполняется функция ИЛИ–НЕ.

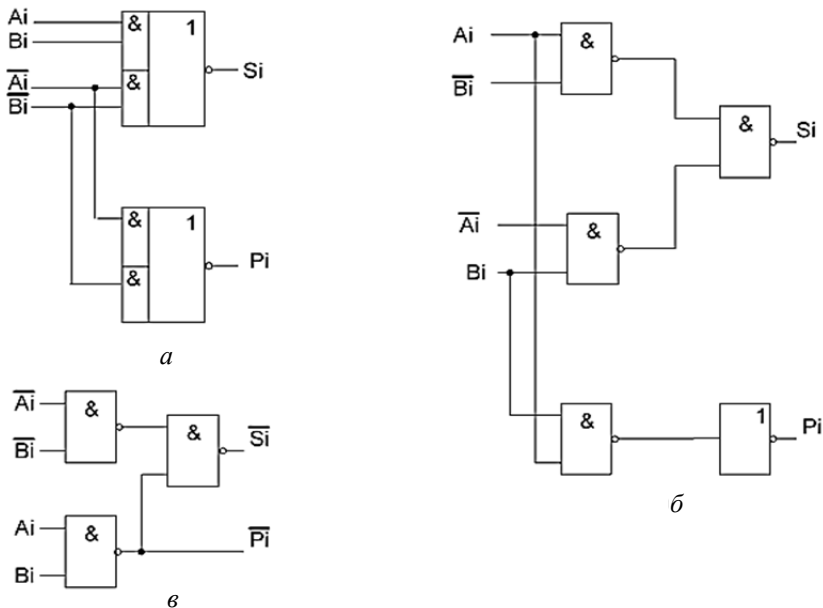


Рис. 6.2. Примеры структуры полусумматоров, использующих прямые и инверсные коды слагаемых:  
*a* – схема, выполненная на элементах И–ИЛИ–НЕ; *б* – схема, выполненная на элементах И–НЕ с разделением цепей функций  $S_i$ ,  $P_i$ ; *в* – схема, выполненная на элементах И–НЕ с объединением цепей  $S_i$ ,  $P_i$

Тогда функция  $P_i$  может быть представлена структурным уравнением

$$P_i = \overline{\overline{A_i + B_i}}.$$

Максимальное быстродействие полусумматора, выполненного на логических элементах И-ИЛИ-НЕ, определяется временем задержки одного элемента НЕ.

Представим выражение (6.1) в форме, удобной для реализации на логических элементах И–НЕ:

$$\left. \begin{aligned} S_i &= \overline{\overline{A_i B_i} \cdot \overline{\overline{A_i} \overline{B_i}}} \\ P_i &= \overline{\overline{A_i B_i}} \end{aligned} \right\} \quad (6.2)$$



На рис. 6.2, б показана структура, построенная по уравнениям (6.2). Схема содержит четыре логических элемента И–НЕ и один инвертор. Время ее суммирования определяется задержкой двух последовательно соединенных элементов НЕ.

С целью сокращения количества логических элементов, необходимых для построения сумматора, преобразуем переключательную функцию  $S_i$  (6.1) так, чтобы использовать общий логический элемент для реализации как функции суммы, так и функции переноса. Тогда система логических формул для инверсных значений  $S_i$ ,  $P_i$  может быть представлена в следующем виде:

$$\left. \begin{aligned} \overline{S_i} &= \overline{A_i B_i \cdot \overline{A_i B_i}}, \\ \overline{P_i} &= \overline{A_i B_i}. \end{aligned} \right\}$$

### Полный сумматор

Сложение двух цифр  $A_1$  и  $B_1$  младшего разряда дает бит суммы  $S_1$  и бит переноса  $P_1$ . В следующем (втором) разряде происходит сложение цифр  $P_1$ ,  $A_2$  и  $B_2$ , которое формирует сумму  $S_2$  и перенос  $P_2$ . Операция длится, пока не будет сложена каждая пара цифр во всех разрядах. Результатом сложения будет число  $S = P_n S_n \dots S_1$ , где  $P_n$  и  $S_i$  отображают 1 или 0, полученные в результате поразрядного сложения [3, 14, 17].

Полусумматор имеет два входа и поэтому пригоден для использования только в младшем разряде. Устройство для суммирования двух многоразрядных чисел должно иметь, начиная со второго разряда, три входа: два для слагаемых  $A_i$  и  $B_i$  и один для сигнала переноса  $P_{i-1}$  с предыдущего разряда. Этот узел – сумматор можно представить как объединение двух полусумматоров (рис. 6.3). Первый служит для сложения двух чисел, принадлежащих одному разряду, и обеспечивает выход промежуточной суммы  $S'_i$  и переноса  $P'_i$ . Второй складывает перенос с предыдущего разряда  $P_{i-1}$  с промежуточной суммой  $S'_i$ . Функции выходов  $S$  и  $P$  для этого случая определяются как

$$S = (A \oplus B) \oplus P_{i-1}; \quad (6.3)$$

$$P_{i+1} = A_i B_i \vee (A \oplus B) P_{i-1}. \quad (6.4)$$

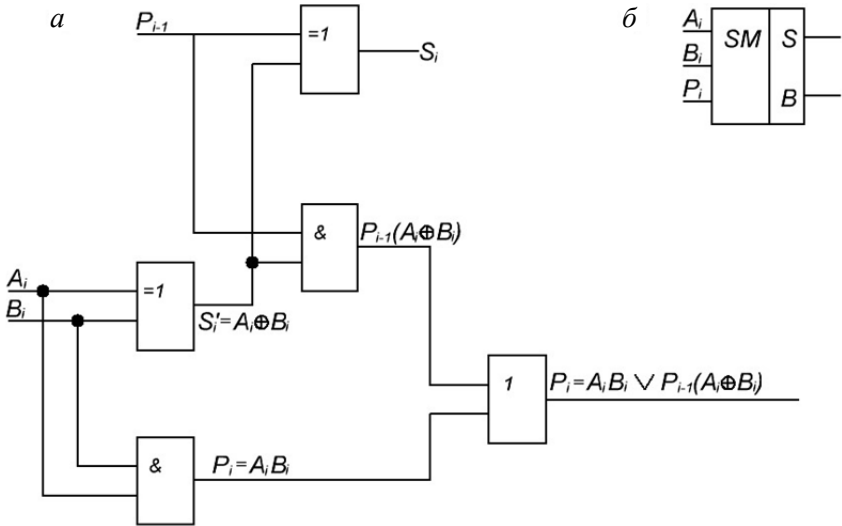


Рис. 6.3. Полный сумматор:  
*a* – логическая структура; *б* – условное графическое обозначение

Операция сложения подчиняется переместительному закону, из которого следует, что входы сумматора можно менять местами без ущерба для результата.

Исходя из таблицы истинности сумматора (табл. 6.2), можно написать следующие булевы уравнения для сигналов суммы и переноса:

$$S_i = \overline{A_i} \overline{B_i} P_{i-1} \vee \overline{A_i} B_i \overline{P_{i-1}} \vee A_i \overline{B_i} \overline{P_{i-1}} \vee A_i B_i P_{i-1}; \quad (6.5)$$

$$P_i = \overline{A_i} B_i P_{i-1} \vee A_i \overline{B_i} P_{i-1} \vee A_i B_i \overline{P_{i-1}} \vee A_i B_i P_{i-1}. \quad (6.6)$$

Таблица истинности сумматора

№ п/п	Входы			Выходы	
	$A_i$	$B_i$	$P_i$	$P_{i+1}$	$S_i$
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	0	0	1
3	0	1	1	1	0
4	1	0	0	0	1
5	1	0	1	1	0
6	1	1	0	1	0
7	1	1	1	1	1

В уравнениях (6.5) и (6.6) представлены только те члены, для которых  $S_i = 1$  и  $P_i = 1$ , то есть первый член функции  $S_i$  относится к первой строке таблицы истинности, второй член ко второй и т. д. Сходным образом для функции  $P$  первый член принадлежит третьей строке, второй член – пятой и так до седьмой.

## 7. ЦИФРОВЫЕ КОМПАРАТОРЫ (УСТРОЙСТВА СРАВНЕНИЯ)

Цифровые компараторы также относятся к арифметическим устройствам. Цифровые компараторы (англ. *compare* – сравнивать, сличать) выполняют сравнение двух чисел, заданных в двоичном (двоично-десятичном) коде. В зависимости от схемы исполнения компараторы могут определять равенство  $A = B$  ( $A$  и  $B$  – независимые числа с равным количеством разрядов) либо вид неравенства:  $A < B$  или  $A > B$ . Результат сравнения отображается соответствующим логическим уровнем на выходе. Микросхемы – цифровые компараторы – выполняют, как правило, все эти операции и имеют три выхода. Цифровые компараторы широко применяются для выявления нужного числа (слова) в потоке информации, для отметки времени в часовых приборах, для выполнения условных переходов в вычислительных устройствах [3, 8, 14].

Логическая схема, выполняющая операцию «эквивалентность»  $F = AB \vee \overline{A}\overline{B}$ , или, что то же самое, «исключающее ИЛИ–НЕ» может быть использована как одноразрядный компаратор. Поскольку в практических условиях исключающее ИЛИ применяется чаще, чем эквивалентность, последующее описание применительно к этой операции.

Схема одноразрядного компаратора показана на рис. 7.1. Она представляет собой развернутую логическую структуру логического элемента «исключающее ИЛИ» – с тремя выходами. Из определения операции «исключающее ИЛИ» вытекает, что  $\overline{F} = \overline{AB \vee \overline{A}\overline{B}} = \begin{cases} 1 \text{ при } A = B, \\ 0 \text{ при } A \neq B. \end{cases}$

При  $A > B$  (это означает, что  $A = 1, B = 0$ ) будет  $C = A\overline{B} = 1$ ; когда  $A < B$  ( $A = 0, B = 1$ ), то  $D = \overline{A}B = 1$ .

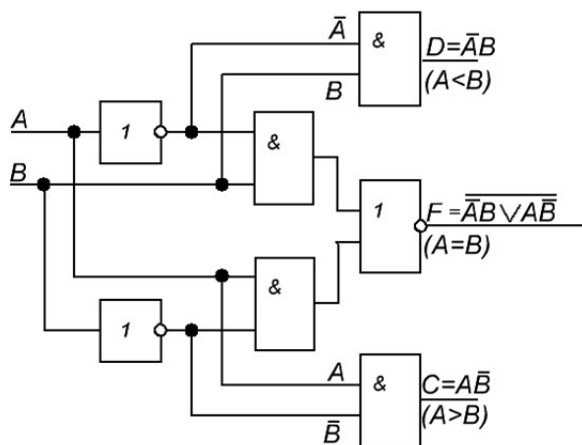


Рис. 7.1. Логическая структура одноразрядного компаратора

Логические элементы И с выходами  $C$  и  $D$  приведены для наглядности. В принципе сигналы  $C$  и  $D$  можно снимать с выходов внутренних схем И логического элемента И–ИЛИ–НЕ.

Два  $n$ -разрядных двоичных числа равны, когда попарно равны между собой все разряды этих чисел. Если, например, числа  $A$  и  $B$  – четырехразрядные, то признаком их равенства будет  $A_3 = B_3$  и

$A_2 = B_2$ ;  $A_1 = B_1$  и  $A_0 = B_0$ . Применяя элемент сравнения для каждого разряда, факт равенства обоих чисел  $A = B$  установим в случае  $F = F_3 \cdot F_2 \cdot F_1 \cdot F_0 = 1$ . Если же  $F = 0$ , то  $A \neq B$ .

Неравенство  $A > B$  обеспечивается в четырех случаях: когда  $A_3 > B_3$  ( $A_3$  и  $B_3$  – старшие разряды чисел  $A$  и  $B$ ) или  $A_3 = B_3$  и  $A_2 > B_2$ ; или  $A_3 = B_3$  и  $A_2 = B_2$  и  $A_1 > B_1$ ; или  $A_3 = B_3$  и  $A_2 = B_2$  и  $A_1 = B_1$  и  $A_0 > B_0$ .

Очевидно, что для выполнения условия  $A < B$  достаточно поменять местами  $A$  и  $B$ .

Цифровые четырехразрядные компараторы выпускаются промышленностью в виде самостоятельных изделий. Примером могут служить микросхемы К555СП1 (ТТЛШ) и 564ИП (КМОП). В функциональном отношении эти приборы близки друг другу и, помимо определения равенства или неравенства двух четырехразрядных чисел, допускают наращивание с целью увеличения разрядности. Микросхема 564ИП2 (рис. 7.2) является типичной в этом смысле. Здесь каждый из четырех первичных компараторов повторяет уже рассмотренную схему. Числа, подлежащие сравнению, подают на входы  $A_0$ – $A_3$  и  $B_0$ – $B_3$  ( $A_0$  и  $B_0$  – младшие разряды). Сравнение происходит поразрядно.

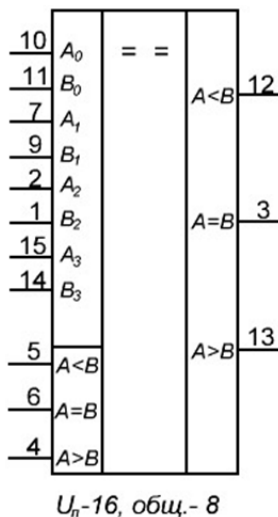


Рис. 7.2. Условное графическое обозначение микросхемы 564ИП2

Микросхема имеет расширяющие входы  $A = B$ ,  $A < B$ ,  $A > B$ , которые позволяют наращивать разрядность двух чисел без дополнительных логических элементов. Компараторы можно соединять каскадно и параллельно. При каскадном соединении выходы  $A < B$  и  $A = B$  предыдущей микросхемы (младшие разряды) подключают к соответствующим входам последующей. На входы  $A < B$ ,  $A = B$  и  $A > B$  микросхемы младших разрядов подают потенциалы  $U^0$ ,  $U^1$  и  $U^1$  соответственно. В последующих микросхемах на входах  $A > B$  поддерживают потенциал  $U^1$ . При этом способе соединения компараторов задержки суммируются.

## 8. СЧЕТЧИКИ И ДЕЛИТЕЛИ

Счетчиком называют устройство, сигналы на выходе которого в определенном коде отображают число импульсов, поступивших на счетный вход. Триггер Т-типа может служить примером простейшего счетчика, он считает до двух. Счетчик, образованный цепочкой из Т-триггеров, сможет подсчитать в двоичном коде  $2^m$  импульсов. Каждый из триггеров такой цепочки называют разрядом счетчика. Число  $m$  определяет количество разрядов двоичного числа, которое может быть записано в счетчик. Число  $K_{сч} = 2^m$  называют коэффициентом (модулем) счета [4, 12, 16].

Информация снимается с прямых и (или) инверсных выходов всех триггеров. В паузах между входными импульсами триггеры сохраняют свои состояния, то есть счетчик запоминает число сочитанных импульсов.

Нулевое состояние всех триггеров принимается за нулевое состояние счетчика в целом. Остальные состояния нумеруются по числу поступивших входных импульсов.

Когда число входных импульсов  $N_{вх} > K_{сч}$ , то при  $N_{вх} = K_{сч}$  происходит переполнение, после чего счетчик возвращается в нулевое состояние и повторяет цикл работы. Коэффициент счета, таким образом, характеризует число входных импульсов, необходимое для выполнения одного цикла и возвращения в исходное состояние. Число входных импульсов и состояние счетчика взаимно определены только для первого цикла. В общем случае число, записанное в счетчик, характеризуется соотношением

$$M = N_{\text{вх}} - i K_{\text{сч}} \quad (i = 0, 1, 2, \dots, n), \quad (8.1)$$

где  $N_{\text{вх}}$  – число импульсов, поступивших на вход.

После каждого цикла счета на выходах последнего триггера возникают перепады напряжения. Это свойство определяет второе назначение счетчиков: деление числа входных импульсов. Если входные сигналы периодичны и следуют с частотой  $f_{\text{вх}}$ , то частота выходных сигналов будет  $f_{\text{вых}} = f_{\text{вх}}/K_{\text{сч}}$ . В этом случае коэффициент счета определяется коэффициентом деления и обозначается  $K_{\text{делф}}$ .

У счетчика в режиме деления используется выходной сигнал только последнего триггера, промежуточные состояния остальных не учитываются. Всякий счетчик может быть использован как делитель частоты. Поэтому подобное устройство часто называют счетчиком-делителем. Они имеют целочисленный коэффициент деления. Элементная база современной микроэлектроники позволяет строить делители и с дробными коэффициентами деления.

На схемах счетчики обозначают буквами СТ (от англ. *counter* – счетчик). Если требуется, после символа проставляют число, характеризующее модуль счета (например, 2 или 10).

Основными эксплуатационными показателями счетчика являются емкость и быстродействие. Емкость счетчика, численно равная коэффициенту счета, характеризует число импульсов, доступных счету за один цикл.

Быстродействие счетчика определяется двумя параметрами: разрешающей способностью  $t_{\text{раз.сч}}$  и временем установки кода счетчика  $t_{\text{уст}}$ . Под разрешающей способностью подразумевают минимальное время между двумя входными сигналами, в течение которого еще не возникают сбои в работе.

Обратная величина называется максимальной частотой счета

$$f_{\text{макс}} = 1 / t_{\text{раз.сч}}$$

Время установки кода  $t_{\text{уст}}$  равно времени между моментом поступления входного сигнала и переходом счетчика в новое устойчивое состояние. Временные свойства зависят от временных характеристик триггеров и способа их соединения между собой.

В схемном отношении счетчики различаются числом и типами триггеров, способами связей между ними, кодом, организацией счета и другими показателями.

### Классификация счетчиков

Цифровые счетчики классифицируются следующим образом:

По *коэффициенту* (модулю) *счета*: двоичные (бинарные); двоично-десятичные (декадные) или с другим основанием счета; с произвольным постоянным модулем; с переменным модулем.

По *направлению счета*: суммирующие; вычитающие; реверсивные.

По *способу организации внутренних связей*: с последовательным переносом; с параллельным переносом; с комбинированным переносом; кольцевые.

Классификационные признаки независимы и могут встречаться в разных сочетаниях: например, суммирующие счетчики бывают как с последовательным, так и с параллельным переносом и могут иметь двоичный, десятичный и иной коэффициент счета.

Для двоичного счетчика, то есть счетчика с  $K_{сч} = 2^m$ , зная номера триггеров и состояния выходов  $Q$ , можно определить записанное в счетчик двоичное число

$$M = Q_m \cdot 2^{m-1} + Q_{m-1} \cdot 2^{m-2} + \dots + Q_1 \cdot 2^0, \quad (8.2)$$

где  $m$  – номер триггера;

$2^0$  – вес первого (младшего) разряда;

$2^1$  – второго;

$2^{m-1}$  – вес  $m$ -го разряда.

Введением дополнительных логических связей – обратных и прямых – двоичные счетчики могут быть обращены в недвоичные, для которых  $K_{сч} \neq 2^m$ . Наибольшее распространение получили десятичные (декадные) счетчики, работающие с привычным  $K_{сч} = 10$ . Десятичный счет осуществляется в двоично-десятичном коде (двоичный – по коду счета, десятичный – по числу состояний).

Десятичные счетчики организуются из четырехразрядных двоичных. Избыточные шесть состояний исключаются введением дополнительных связей. Возможны два варианта построения схем:



а) счет циклически идет от 0000 до 1001;

б) исходным состоянием служит  $0110_2 = 6_{10}$  и счет происходит до  $1111_2 = 15_{10}$ .

Первый вариант на практике применяется чаще.

В суммирующем счетчике каждый входной импульс увеличивает число, записанное в счетчик, на единицу. Перенос информации из одного разряда в другой, более высокий, имеет место, когда происходит смена состояния с 1 на 0.

Вычитающий счетчик действует обратным образом: двоичное число, хранящееся в счетчике, с каждым поступающим импульсом уменьшается на единицу. Переполнение вычитающего счетчика происходит после достижения им нулевого состояния. Перенос из младшего разряда в старший здесь имеет место при смене состояния младшего разряда с 0 на 1.

Реверсивный счетчик может работать в качестве суммирующего и вычитающего. Эти счетчики имеют дополнительные входы для задания направления счета. Режим работы определяется управляющими сигналами на входах.

Когда счетчик используется в качестве делителя, направление счета не играет роли.

Счетчики с последовательным переносом представляют бой цепочку триггеров, в которой импульсы, подлежащие счету, поступают на вход первого триггера, а сигнал переноса передается последовательно от одного разряда к другому. В этих счетчиках используются асинхронные Т-триггеры с прямым либо с инверсным управлением, а также JK- и D-триггеры в счетном режиме.

Главное достоинство счетчиков с последовательным переносом – простота схемы. Увеличение разрядности (наращивание) осуществляется подключением нужного числа триггеров к выходу последнего. Поскольку входные сигналы поступают на вход только первого триггера, то такой счетчик мало нагружает предшествующий каскад.

Основной недостаток счетчиков с последовательным переносом – сравнительно низкое быстродействие, поскольку триггеры здесь срабатывают последовательно, один за другим. Второй недостаток, обусловленный этой же причиной, состоит в том, что из-за накопления временных сдвигов в разрядах на выходах дешифраторов счетчиков могут появляться кратковременные ложные импульсы, особенно заметные на высоких частотах.

Максимальная частота счета определяется режимом работы. Если считывание состояния счетчика должно происходить после каждого входного импульса, как это имеет место, например, при счете до заданного числа, то максимальная частота счета

$$f_{\max} = \frac{1}{(m-1)t_{\text{зд.п}} + t_{\text{с}}}, \quad (8.3)$$

где  $m$  – число разрядов;

$t_{\text{зд.п}}$  – задержка переключения одного триггера;

$t_{\text{с}}$  – время срабатывания внешнего элемента или считывающей схемы [4].

Формула (8.3) справедлива при условии, что для триггеров, образующих счетчик, максимальная частота переключений  $F_{\text{сч.макс}} > f_{\max}$ .

Счетчики с параллельным переносом состоят из синхронных триггеров. Счетные импульсы подаются одновременно на все тактовые входы, а каждый триггер из цепочки служит по отношению к последующему только источником информационных сигналов. Срабатывание триггеров параллельного счетчика происходит синхронно, и задержка переключения всего счетчика равна задержке для одного триггера [10, 13, 15].

Двоичный асинхронный счетчик может быть построен путем последовательного соединения счетных триггеров (рис. 8.1). Асинхронным он называется потому, что триггеры с приходом счетного импульса опрокидываются последовательно. Если, например, все три триггера в счетчике по схеме (см. рис. 8.1) находятся в единице, то очередной входной импульс опрокинет первый триггер, изменение потенциала на его выходе приведет к опрокидыванию второго, а выходной сигнал второго опрокинет третий.

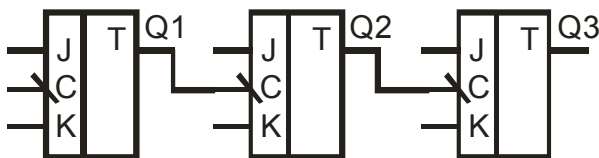


Рис. 8.1. Асинхронный двоичный счетчик

Недостатком асинхронных счетчиков является задержка в установлении соответствующего кода после прихода счетного импульса. Кроме того, при переходе от одного кода к другому счетчик на короткое время принимает промежуточное состояние, что может привести к появлению ложных импульсов на выходе дешифратора. Действительно, если состояние триггеров счетчика соответствует коду 011, то с приходом очередного импульса при последовательном срабатывании триггеров код в счетчике будет меняться следующим образом: 011–010–000–100. В данном случае переходный процесс от кода 011 к коду 100 характеризуется наличием двух промежуточных состояний 010 и 000.

Двоичные синхронные счетчики отличаются от асинхронных тем, что срабатывание триггеров в них происходит одновременно или почти одновременно. Это достигается благодаря тому, что триггеры синхронного счетчика опрокидываются под воздействием входного импульса, а не сигнала с предыдущего триггера. При этом, естественно, счетчик должен быть построен так, чтобы каждому импульсу соответствовали срабатывания только определенных триггеров.

Счетчик, со сквозным переносом, показанный на рис. 8.2, является одним из вариантов синхронных счетчиков. Он занимает промежуточное положение – обладает свойствами как синхронного, так и асинхронного счетчика. Вход каждого триггера в нем соединен с выходом ячейки «И», на входы которой поданы сигналы с прямого выхода предыдущего триггера и предыдущей ячейки «И», подобной данной. На входы ячейки «И», включенной перед первым триггером, поданы входные импульсы « $k$ » и сигнал разрешения счета « $p$ ». В результате в этом счетчике так же, как и во всех синхронных счетчиках, на счетные входы триггеров подаются входные импульсы « $k$ ». Но поскольку эти импульсы проходят через ряд цепей «И», то триггеры в нем срабатывают не совсем синхронно. Однако этот вариант синхронного счетчика обладает тем преимуществом, что он может быть построен на счетных триггерах, не имеющих входов « $J$ », « $K$ ». В большинстве случаев счетчик со сквозным переносом может быть построен без применения дополнительных ячеек «И», показанных на рис. 8.2. Дело в том, что в самих счетных триггерах, как правило, содержатся инверторы, выполняющие функцию логического умножения входного и выходного сигналов триггера.

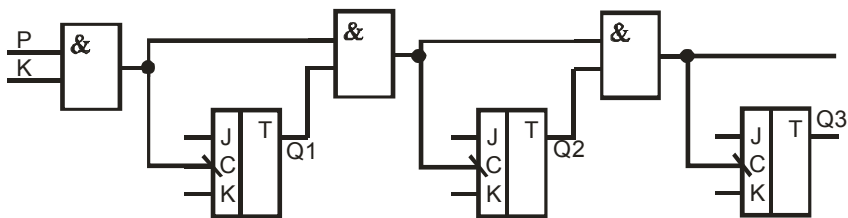


Рис. 8.2. Двоичный счетчик со сквозным переносом

Распространенные варианты двоичных синхронных счетчиков показаны на рис. 8.3–8.5. Входные импульсы «*k*» подаются параллельно на входы всех триггеров. На входы «*J-K*» каждого триггера подан сигнал со схемы И, позволяющий сработать данному триггеру только тогда, когда все предшествующие находятся в состоянии 1.

В счетчике, схема которого изображена на рис. 8.3 на входы цепей И подаются сигналы непосредственно с выходов триггеров.

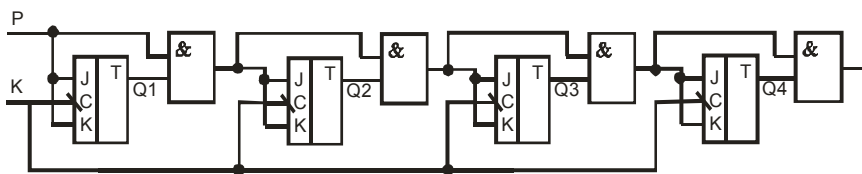


Рис. 8.3. Синхронный счетчик с простыми двухвходовые элементы И

В счетчике на рис. 8.4 на вход каждой цепи И подаются сигналы с выхода предыдущего триггера и предшествующей цепи И. На один из входов первой ячейки И в обоих счетчиках подан сигнал разрешения счета «*p*».

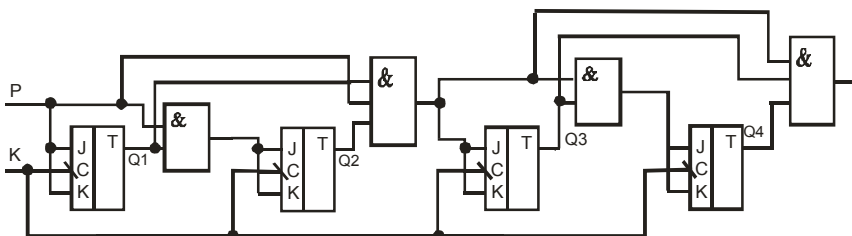


Рис. 8.4. Синхронный счетчик с двумя двухразрядными группами

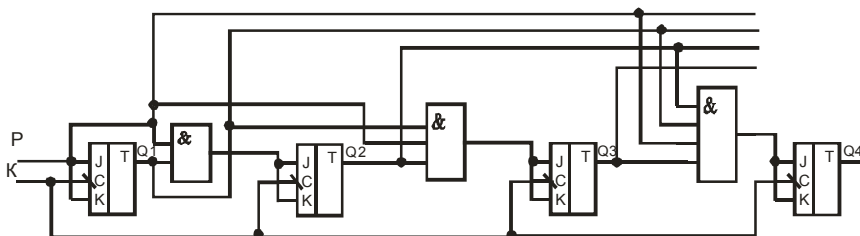


Рис. 8.5. Синхронный счетчик с более высоким быстродействием

Вариант синхронного счетчика (см. рис. 8.5) имеет более высокое быстродействие, но его коэффициент пересчета ограничен, так как чем старше разряд счетчика, тем больше входов должна иметь входящая в него цепь И и тем больше нагружены входами цепей И триггеры разрядов.

Счетчик (см. рис. 8.4) содержит простые двухвходовые цепи И, но быстродействие его снижается, так как суммируются задержки, вносимые последовательно включенными цепями И (после очередного срабатывания счетчику нужно некоторое время для подготовки к приему следующего входного импульса). В практических схемах синхронных счетчиков часто применяют оба варианта их построения. При этом счетчик разбивают на группы, внутри которых межтриггерные связи выполняют так, как показано на рис. 8.3, а связи между группами – как на рис. 8.4.

## 9. РЕГИСТРЫ

Регистры, применяемые в цифровых устройствах, по функциональному назначению разделяются на накопительные (регистры памяти) и сдвигающие. Основное назначение памяти состоит в параллельном приеме многоразрядных слов информации и сохранении их в течение необходимого времени. Функциональный состав регистров памяти – это набор RS-триггеров, имеющих общую шину сброса.

Как правило, информация вводится в RS-триггеры через вентили, на которые одновременно подается сигнал ввода информации. Записанная в RS-триггерах информация снимается также через систему вентилялей [14, 17, 18].

Регистры сдвига предназначены для более сложной обработки информации за счет сдвига ее по тактовым импульсам. Наличие

в регистрах сдвига возможности как параллельного, так и последовательного приема информации позволяет выполнять на регистрах последовательно-параллельное преобразование кодов. Регистры сдвига могут применяться в качестве элементов временной задержки цифровой информации, генераторов циклических кодов и счетчиков. Функциональная структура регистров сдвига значительно сложнее структуры накопительных.

### Регистры памяти

Регистры памяти применяются для хранения информации, представленной в виде двоичного кода.

Для построения регистров памяти наиболее удобны D-триггеры. На рис. 9.1 показана схема четырехразрядного регистра памяти 155ТМ5. Он содержит четыре D-триггера, тактируемых потенциалом. Если на тактовые входы триггеров подан потенциал  $C = 1$ , то информация со входов  $D1-D4$  устанавливает триггеры  $DS1-DS4$  в соответствующие состояния. При  $C = 0$  триггеры хранят информацию вне зависимости от того, какие потенциалы присутствуют при этом на входах  $D1-D4$ .

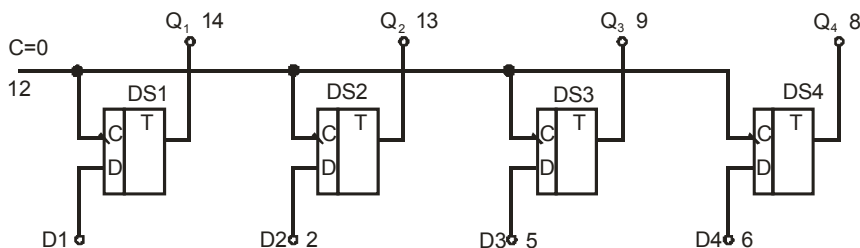


Рис. 9.1. Схема четырехразрядного регистра памяти 155ТМ5

Регистры памяти могут быть выполнены и на триггерах других типов, например на RS- и JK-триггерах. Однако при этом нужно дополнять каждый триггер инвертором, обеспечивающим подачу на вход R (или K) сигнала, инверсного по отношению к сигналу на входе S (или J). Таким образом, из RS- и JK-триггеров можно получить D-триггеры, которые затем применяют так, как показано на рис. 9.1. Если подлежащая хранению информация представлена и прямыми инверсными значениями сигнала, то упомянутые выше ин-

верторы, естественно, оказываются лишними, тактируемые фронтом триггеры могут также использоваться в регистрах памяти. При этом обновление запоминаемой информации будет происходить в моменты существования соответствующего перепада на тактовом входе.

Регистры памяти представляют собой простейшие оперативные запоминающие устройства (ОЗУ). В настоящее время разработаны различные типы интегральных ОЗУ довольно большой ёмкости. Запись информации в определённую ячейку таких ОЗУ и считывание этой информации производится при наборе на адресных входах ОЗУ кода адреса данной ячейки.

### Регистры сдвига

Регистры сдвига широко применяются в цифровой вычислительной технике, и в частности для преобразования последовательного кода в параллельный или параллельного кода в последовательный. Появление импульса на тактовом входе регистра сдвига вызывает перемещение записанной в нем информации на один разряд вправо или влево.

Для построения регистра сдвига удобно применять D-триггеры. На рис. 9.2 показан регистр сдвига на тактируемых фронтом D-триггерах. Выход  $Q$  предыдущего разряда присоединяется по входу D последующего. Благодаря этому каждый тактовый импульс устанавливает последующий триггер в состояние, в котором до этого находился предыдущий, осуществляя тем самым сдвиг информации на разряд вправо.

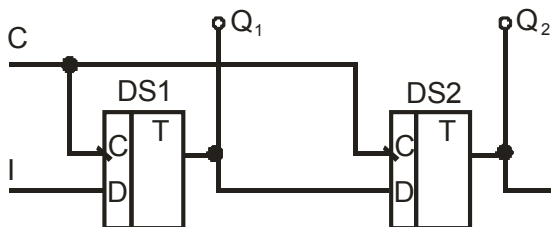


Рис. 9.2. Регистр сдвига на тактируемых фронтом D-триггерах

Вход D первого разряда служит для приема в регистр информации в виде последовательного кода. С каждым тактовым импульсом на этот вход должен подаваться код нового разряда входной ин-

формации. Запись параллельного кода информации может быть произведена через не тактируемые установочные входы триггеров регистра. С выхода  $Q$  последнего триггера снимается последовательный выходной код. Код на этом выходе регистра появляется с задержкой относительно входного последовательного кода на число периодов тактовых импульсов, равное числу разрядов регистра.

Возможно выполнение регистра сдвига на JK-триггерах (см. рис. 9.3). В этом случае на входы J и K следующего разряда подаются прямой и инверсный сигналы с выходов последующего.

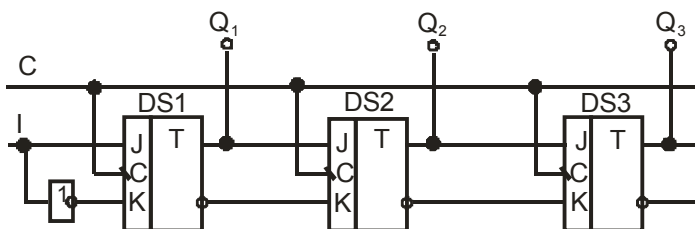


Рис. 9.3. Регистр сдвига на JK-триггерах

На рис. 9.4 показана схема четырёхразрядного регистра сдвига K155ИР1. Выводы микросхемы имеют следующее функциональное назначение: 1 – информационный вход для последовательного ввода информации; 2, 3, 4, 5 – входы для параллельного ввода первого–четвертого разряда информации; 6 – вход выбора режима ввода информации; 8, 9 – входы синхронизации; 10, 11, 12, 13 – выходы для вывода четвертого–первого разрядов информации [4, 11, 18].

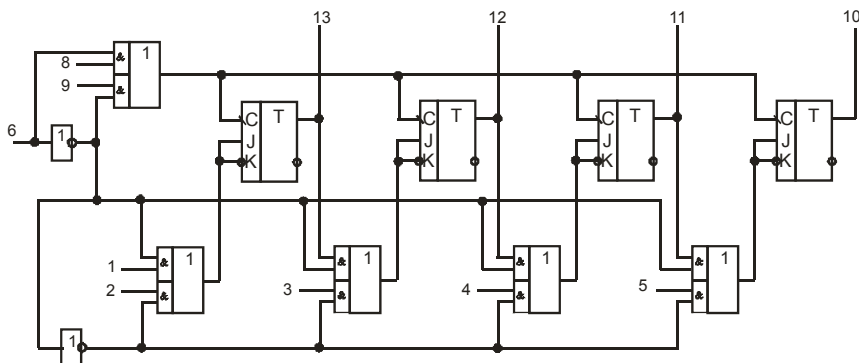


Рис. 9.4. Четырёхразрядный универсальный регистр сдвига K155ИР1



Будем обозначать сигналы на входах и выходах этой микросхемы буквой  $H$  с цифровым индексом, соответствующим номеру вывода ИС. Если на входе  $H_6 = 0$ , а на входе  $H_9$  подаются тактовые импульсы, то при отрицательном перепаде этих синхроимпульсов регистр будет осуществлять последовательный сдвиг информации вправо. При этом на вход  $I$  будет подаваться информации для последовательного ввода. Если требуется произвести параллельную запись информации в триггеры регистра, то ее следует подвести ко входам  $2, 3, 4, 5$ , установить  $H_6 = 1$  и подать хотя бы один тактовый импульс на вход  $\delta$ .

Иногда требуется производить в регистре сдвиг информации как вправо, так и влево. Подобные реверсивные регистры сдвига строят путём применения логических коммутаторов в цепях связи между триггерами. При использовании ИС типа К155ИР1 (см. рис. 9.4) в режиме реверсивного регистра сдвига необходимо попарно соединить выходы  $2$  и  $12$ ,  $3$  и  $11$ ,  $4$  и  $10$ . В этом случае логические элементы И–ИЛИ, расположенные в нижней части рис. 9.4, будут выполнять роль логических коммутаторов. Для сдвига информации влево надо перевести регистр в параллельный режим, подав на вход  $I$  напряжение высокого уровня. Если же  $H_6 = 1$ , то входы данного триггера соединены с выходами последующего.

Таким образом, при  $H_6 = 0$  и наличии тактовых импульсов на входе  $9$  информация будет сдвигаться вправо, а при  $H_6 = 1$  тактовые импульсы на входе  $\delta$  – влево.

## **10. КОНТРОЛЬНЫЕ РАБОТЫ ДЛЯ СТУДЕНТОВ ЗАОЧНОЙ ФОРМЫ ОБУЧЕНИЯ**

### **Состав и способ задания работ**

Контрольные работы состоят из вопросов и задач, которые выдаются в десяти вариантах. Номер варианта выбирается в зависимости от начальной буквы фамилии и последней цифры учебного шифра студента в соответствии с табл. 10.1.

### **Контрольная работе № 1**

Необходимо ответить на контрольные вопросы. Содержание заданий приведено в табл. 10.1.

Таблица 10.1

## Определение варианта задания

Последняя цифра шифра зачетной книжки			0	1	2	3	4	5	6	7	8	9
Первая буква фамилии студента			Номер задания									
А	Л	Ц	0	1	2	3	4	5	6	7	8	9
Б	М	Ч	9	0	1	2	3	4	5	6	7	8
В	Н	Ш	8	9	0	1	2	3	4	5	6	7
Г	О	Щ	7	8	9	0	1	2	3	4	5	6
Д	П	Э	6	7	8	9	0	1	2	3	4	5
Е	Р	Ю	5	6	7	8	9	0	1	2	3	4
Ё	С	Я	4	5	6	7	8	9	0	1	2	3
Ж	Т		3	4	5	6	7	8	9	0	1	2
З	У		2	3	4	5	6	7	8	9	0	1
И	Ф		1	2	3	4	5	6	7	8	9	0
К	Х		0	1	2	3	4	5	6	7	8	9

1. Графическое обозначение конъюнктора, дизъюнктора, инвертора, их таблицы истинности, карты Карно.
2. Графическое обозначение, таблицы истинности, карты Карно логических элементов 2И–НЕ, 2И–2И–ИЛИ–НЕ.
3. Приведите примеры реализации основных логических функций с помощью элементов ИЛИ–НЕ и И–НЕ.
4. Графическое обозначение, таблицы истинности и карты Карно для функций «равнозначность» и «неравнозначность».
5. Приведите пример записи логического уравнения в совершенной дизъюнктивной нормальной форме (СДНФ).
6. Приведите пример записи логического уравнения в совершенной конъюнктивной нормальной форме (СКНФ).

7. Чем отличаются позитивная и негативная логика?
8. Микросхемы с тремя выходными состояниями.
9. Перечислите и дайте определение основных параметров микросхем.
10. Приведите и опишите принципиальную схему логического элемента с открытым коллектором.
11. Приведите схемы соединения и условное обозначение схем «монтажное И» и «монтажное ИЛИ».
12. Микросхемы с дополнительными выводами эмиттера и коллектора.
13. Микросхемы с разрешающим входом.
14. Особенности резистивно-транзисторной логики (РТЛ). Схема и принцип действия элемента ИЛИ-НЕ типа РТЛ. Какие серии микросхем типа РТЛ применяются?
15. Особенности диодно-транзисторной логики (ДТЛ). Схема и принцип действия элемента И-НЕ типа ДТЛ. Какие серии микросхем типа ДТЛ применяются?
16. Особенности транзисторно-транзисторной логики (ТТЛ). Схема и принцип действия элемента И-НЕ типа ТТЛ.
17. Особенности эмиттерно-связанной логики (ЭСЛ). Схема и принцип действия элемента ИЛИ-ИЛИ-НЕ типа ЭСЛ. Какие серии микросхем типа ЭСЛ применяются?
18. Особенности  $n$ -канальной МДП-логики. Схема и принцип действия элемента ИЛИ-НЕ типа  $n$ -МДП. Какие серии микросхем типа ЮТ логики применяются?
19. Особенности комплементарной МДП-логики (КМДП), Схема и принцип действия инвертора типа КМДП. Какие серии микросхем типа КМДП применяются?
20. Приведите схему, условные обозначения, таблицы истинности асинхронного RS-триггера на элементах ИЛИ-НЕ, И-НЕ.
21. Приведите схему, условные обозначения, таблицу истинности статического синхронного RS-триггера.
22. Приведите схему, условное обозначение, таблицу истинности RS-триггера типа MS.
23. Приведите схему, условное обозначение, таблицу истинности JK-триггера типа MS.
24. Приведите схему, условное обозначение, таблицу истинности тактирующего D-триггера.

25. Приведите схему, условное обозначение, таблицу истинности динамического D-триггера.

Таблица 10.2

Содержание заданий

№ задания	0 1	2 3	4 5	6 7	8 9
№ контрольных вопросов	1, 6, 11, 16, 21	2, 7, 12, 17, 22	3, 8, 13, 18, 23	4, 9, 14, 19, 24	5, 10, 15, 20, 25

*Примечание.* Ответы на вопросы и решения задач должны поясняться необходимыми формулами, схемами и эскизами.

**Контрольная работа № 2**

1. Разработать схему мультиплексора вида 8:1 на логических элементах И–НЕ, привести его логическую функцию.
2. Разработать схему мультиплексора вида 16:1 на логических элементах И–НЕ, привести его логическую функцию.
3. Разработать схему мультиплексора вида 16:1 на мультиплексорах К155КП7.
4. Разработать схему мультиплексора вида 24:1 на мультиплексорах К155КП5.
5. Разработать схему мультиплексора вида 32:1 на мультиплексорах К155КП1.
6. Разработать схему демультиплексора вида 1:4 на логических элементах И–НЕ.
7. Разработать схему пирамидального демультиплексора вида 1:32, составленного из демультиплексора 1:4 и четырех – 1:8.
8. Разработать схему пятиразрядного демультиплексора-дешифратора на двух микросхемах К155ИДЗ и одном инверторе.
9. Разработать схему дешифратора, имеющего три входа и восемь выходов на логических элементах И–НЕ.
10. Разработать схему дешифратора, имеющего четыре входа и 16 выходов на логических элементах И–НЕ.

11. Разработать пирамидальную схему дешифратора на восемь входов и 256 выходов на 17 микросхемах К155ИД3.

12. Разработать демультимплексор 1:8 на микросхеме К155ИД4.

13. Разработать дешифратор 3:8 на микросхеме К155ИД4.

14. Разработать преобразователь двоичного четырехразрядного кода в шестнадцатиричный код на двух микросхемах 564ИД1 и одном инверторе.

15. Разработать дешифратор шестиразрядного двоичного кода на 64 выхода на девяти микросхемах 564ИД1 и восьми инверторах.

16. Привести логическую структуру и таблицу истинности полного сумматора, описать его работу и порядок двоичного суммирования.

17. Привести логическую структуру и таблицу истинности полусумматора, описать его работу и порядок двоичного суммирования.

18. Привести логическую структуру и таблицу истинности полусубтрактора, описать его работу и порядок двоичного вычитания.

19. Привести условное изображение, логическую структуру и таблицу истинности микросхемы К155ИМ1.

20. Привести условное изображение, логическую структуру и таблицу истинности микросхемы К155ИМ2.

21. Привести условное изображение, логическую структуру и таблицу истинности микросхемы К155ИМ3.

22. Привести логическую структуру и описание работы одноразрядного компаратора.

23. Привести условное изображение, таблицу истинности и описать работу компаратора 564ИП2.

24. Привести схему каскадного соединения компараторов 564ИП2 и описать ее работу.

25. Привести схему пирамидального соединения компараторов 564ИП2 и описать ее работу.

### **Контрольная работа № 3**

1. Достоинства и недостатки последовательного и параллельного занесения информации в регистры.

2. Достоинства и недостатки параллельного занесения информации. Условное обозначение, схема и порядок работы микросхемы К155ТМ5.

3. Достоинства и недостатки последовательного занесения информации. Условное обозначение, схема и режимы работы микросхемы К155ИР1.

4. Условное обозначение, схема и режимы работы микросхемы К155ИР15.

5. Привести схему четырехразрядного сдвигающего регистра с последовательным вводом и описать его работу.

6. Схема регистра сдвига с параллельным и последовательным вводом и последовательным выводом и режимы его работы.

7. Схема кольцевого счетчика на D-триггерах и его таблица кодовых комбинаций.

8. Пример применения регистров сдвига с перекрестными связями в кольцевых счетчиках.

9. Классификация счетчиков.

10. Схема асинхронного двоичного счетчика и описание его работы. Режимы работы микросхемы К155ИЕ5.

11. Схема двоичного счетчика с параллельным переносом и описание его работы.

12. Схема двоичного счетчика с групповым переносом и описание его работы.

13. Схема двоично-десятичного счетчика, работающего в коде 8–4–2–1 и временная диаграмма его работы.

14. Схема асинхронного двоичного реверсивного счетчика и описание его работы.

15. Схема синхронного двоичного реверсивного счетчика и описание его работы.

16. Схема счетчика с определенным коэффициентом счета.

17. Программируемый счетчик 564ИЕ15, работающий в режиме деления.

18. Перемножители двух чисел. Логическая структура множительной ячейки и условное графическое изображение микросхемы 564ИП5.

19. Арифметико-логические устройства (АЛУ). Условное графическое обозначение микросхемы К155ИП3 и описание ее работы.

20. Функциональная зависимость выходов микросхемы К155ИП3 от состояния входов.

21. Приведите схему оперативного запоминающего устройства (ОЗУ) емкостью 16 бит. Основные характеристики и типы ОЗУ.

22. Приведите схему постоянного запоминающего устройства (ПЗУ). Основные характеристики и типы ПЗУ.

23. Программируемые логические матрицы.

24. Схемы контроля четности. Передача информации с контролем четности.

25. Микросхема 564СА1 в качестве устройства для проверки четности двоичных слов.

## БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Алексенко, А. Г. Микросхемотехника: учебное пособие для вузов / А. Г. Алексенко, И. И. Шагурин. – 2-е изд., перераб и доп. – М.: Радио и связь, 1991. – 496 с.
2. Титце, У., Полупроводниковая схемотехника: справочник: пер. с нем. / У. Титце, К. Шенк; под ред. А. Г. Алексенко. – М.: Мир, 2008. – 512 с.
3. Зельдин, Е. А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре / Е. А. Зельдин. – Л.: Энергоатомиздат. 1986. – 280 с.
4. Гутников, В. С. Интегральная электроника в измерительных устройствах / В. С. Гутников. – Л.: Энергоатомиздат, 1988. – 304 с.
5. Шило, В. Я. Популярные цифровые микросхемы: справочник / В. Я. Шило. – 2-е изд., испр. – Челябинск: Металлургия. Челяб. отделение, 1989. – 346 с.
6. Микросхемы и их применение: справ. пособие / В. Н. Вениаминов, О. Н. Лебедев, А. И. Мирошниченко. – 3-е изд., перераб. и доп. – М.: Радио и связь, 1989. – 239 с.
7. Бойт, К. Мир электроники / К. Бойт. – М.: Техносфера, 2007. – 470 с.
8. Интегральные микросхемы: справочник / Б. В. Тарабрин [и др.]; под ред. Б. В. Тарабрина. – 2-е изд., испр. – М.: Энергоатомиздат, 1985. – 528 с.
9. Пухальский, Г. И. Проектирование дискретных устройств на интегральных микросхемах: справочник / Г. И. Пухальский, Т. Я. Новосельцева. – М.: Радио и связь, 1990. – 303 с.
10. Тули, М. Справочное пособие по цифровой электронике / М. Пули; пер. с англ. В. Л. Григорьева. – М.: Энергоатомиздат, 1990. – 175 с.
11. Цифровые и аналоговые интегральные микросхемы: справочник / С. В. Якубовский [и др.]. – М.: Радио и связь, 1990. – 495 с.
12. Терехов, В. М. Элементы автоматизированного электропривода: учебник для вузов / В. М. Терехов. – М.: Энергоатомиздат, 1987. – 224 с.: ил.
13. Основы цифровой техники / Я. А. Мальцева, Э. М. Фромберг, В. С. Ямпольский. – М.: Радио и связь, 1987. – 128 с.



14. Справочник по цифровой вычислительной технике: процессоры и память / Б. Н. Малиновский [и др.]; под ред. Б. Н. Малиновского. – К.: Техніка, 1979. – 366 с.

15. Хоровиц, И. Искусство схемотехники: в 2 т.; пер. с англ. / И. Хоровиц, У. Хилл. – Изд. 3-е стереотип. – М.: Мир, 1986. – Т. 1. – 598 с.

16. Хоровиц, И. Искусство схемотехники: в 2 т.; пер. с англ. / И. Хоровиц, У. Хилл. – Изд. 3-е стереотип. – М.: Мир, 1986. – Т. 2. – 590 с.

17. Применение интегральных схем: практ. руководство: в 2 т. / П. Бредшо [и др.]; под ред. А. Уильямса; пер. с англ. И. Н. Теплюка. – М.: Мир, 1987. – Т. 1. – 432 с.

18. Применение интегральных схем: практ. руководство: в 2 т. / П. Бредшо [и др.]; под ред. А. Уильямса; пер. с англ. И. Н. Теплюка. – М.: Мир, 1987. – Т. 2. – 413 с.

19. Пятлин, О. А. Проектирование микросхемных цифровых устройств / О. А. Пятлин, П. И. Овсищев, И. М. Лазер; под ред. С. А. Майорова. – М.: Советское радио, 1977. – 272 с.: ил.

20. Цифровые интегральные микросхемы: справочник / М. И. Богданович [и др.]. – Минск: Беларусь, 1991. – 493 с.: ил.

21. Токхейм, Р. Основы цифровой электроники: пер. с англ. / Р. Токхейм; – М.: Мир, 1988. – 392 с.: ил.

22. Гальперин, М. В. Промышленная схемотехника в промышленной автоматике / М. В. Гальперин. – М.: Энергоатомиздат, 1987. – 320 с.

23. Проектирование импульсных и цифровых устройств радиотехнических систем: учебное пособие для радиотехнич. спец. вузов / Ю. П. Гришин [и др.]; под ред. Ю. М. Казаринова. – М.: Высш. шк., 1985. – 319 с.

Учебное издание

**ВАСИЛЬЕВ** Сергей Васильевич

**ОСНОВЫ СХЕМОТЕХНИКИ**

Пособие

для студентов дневного и заочного отделения  
специальности 1-53 01 05 «Автоматизированные электроприводы»

Редактор *А. С. Кириллова*

Компьютерная верстка *Н. А. Школьниковой*

Подписано в печать 29.01.2020. Формат 60×84 <sup>1</sup>/<sub>16</sub>. Бумага офсетная. Ризография.

Усл. печ. л. 3,84. Уч.-изд. л. 3,0. Тираж 100. Заказ 623.

Издатель и полиграфическое исполнение: Белорусский национальный технический университет.

Свидетельство о государственной регистрации издателя, изготовителя, распространителя  
печатных изданий № 1/173 от 12.02.2014. Пр. Независимости, 65. 220013, г. Минск.