

МИНИСТЕРСТВО ОБРАЗОВАНИЯ РЕСПУБЛИКИ БЕЛАРУСЬ

**БЕЛОРУССКИЙ НАЦИОНАЛЬНЫЙ
ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ**

Кафедра «Строительные и дорожные машины»

А.И.АНТОНЕВИЧ

ЦИФРОВЫЕ УСТРОЙСТВА

**Лабораторный практикум
по дисциплине «Электроника и микропроцессорная техника»**

Часть 2

Учебное электронное издание

Минск 2007

УДК 656.25:681.32 (075.8)

А.И.Антоневич

Моделирование схем и устройств: Лабораторный практикум по дисциплине «Электроника и микропроцессорная техника», Ч. 2 – «Цифровые устройства» / Белорус. нац. тех. ун-т. – Минск: БНТУ, 2007. – 35 с.

Рассматриваются вопросы моделирования работы цифровых схем и устройств с помощью программы «Электронная лаборатория».

Предназначен для студентов факультетов транспортных коммуникаций и энергетического строительства

Рецензенты: кандидат физ.-мат. наук
кандидат физ.-мат. наук

Дик С.К.
Сицко Г.Н.

© БНТУ, 2007

© А.И. Антоневи́ч, 2007

СОДЕРЖАНИЕ

ВВЕДЕНИЕ.....	5
Лабораторная работа №1	
<i>ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ</i>	5
1. Краткие сведения из теории. Принципы работы основных логических элементов. Синтез автоматических устройств...5	
2. Порядок выполнения работы.....	9
3. Содержание отчета.....	10
4. Контрольные вопросы	10
Лабораторная работа №2.....	12
<i>ИЗУЧЕНИЕ МУЛЬТИПЛЕКСОРОВ, ДЕМУЛЬТИПЛЕКСОРОВ, ШИФРАТОРОВ И ДЕШИФРАТОРОВ</i>	12
1. Краткие сведения из теории	12
2. Порядок выполнения работы.....	16
3. Содержание отчета.....	17
4. Контрольные вопросы	17
Лабораторная работа №3	
<i>ТРИГГЕРЫ</i>	18
1. Краткие сведения из теории	18
2. Порядок выполнения работы.....	24
3. Содержание отчета.....	25
4. Контрольные вопросы	25
Лабораторная работа №4	
<i>СЧЕТЧИКИ</i>	26
1. Краткие сведения из теории	26
2. Порядок выполнения работы.....	31
3. Содержание отчета.....	32
4. Контрольные вопросы	32
ПРИЛОЖЕНИЕ №1	
Алгебра логики	33
РЕКОМЕНДУЕМАЯ ЛИТЕРАТУРА	34

ВВЕДЕНИЕ

Целью данного цикла лабораторных работ является изучение принципов работы основных элементов и устройств электроники, на базе программы «Электронная лаборатория» (*“Electronics Workbench”*) фирмы *“Interactive Image Technologies”*, а также получение практических навыков при создании электронных устройств или анализа их работы.

Рассмотрены наиболее распространенные интегральные микросхемы и на базе их устройства, широко используемые в электронике, а также современные методы анализа. Взамен физического моделирования устройств, связанного с большими материальными затратами, рассмотрен метод математического моделирования с использованием средств и методов вычислительной техники.

Лабораторная работа №1

ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

Ц е л ь р а б о т ы. Изучить принципы работы основных логических элементов, их назначение и ознакомиться с основами синтеза автоматов, построенных на их базе.

1. Краткие сведения из теории. Принципы работы основных логических элементов. Синтез автоматических устройств.

Логические элементы относятся к *комбинационным* схемам – дискретным автоматам без памяти. Сигналы на выходах комбинационного устройства определяются сочетанием сигналов на входах, и не зависят от его предыдущих состояний.

Теоретической основой применения логических элементов при создании цифровых устройств является *булева алгебра*, которая оперирует двоичными переменными (см. приложение 1).

Простейших логических операций три: *отрицание* (инверсия, операция НЕ), *логическое умножение* (конъюнкция, операция И) и *логическое сложение* (дизъюнкция, операция ИЛИ). Операция отрицания выполняется над одной переменной и характеризуется следующими свойствами: функция $Y=1$ при аргументе $X=0$ и $Y=0$, если $X=1$. Обозначается отрицание чертой над переменной X , с которой

производится операция $Y=\bar{X}$ (игрек равен не икс); в EWB обозначается как $Y=X'$. Соответственно операция логического умножения $Y=X_1X_2$ для двух переменных выражается следующим образом: $0\cdot0=0$; $0\cdot1=0$; $1\cdot0=0$; $1\cdot1=1$. Операция логического сложения $Y=X_1\vee X_2$ или $Y=X_1+X_2$ двух переменных характеризуется следующими свойствами: $0+0=0$; $0+1=1$; $1+0=1$; $1+1=1$. Операции логического умножения и сложения могут быть распространены и на большее число переменных. Совокупность различных значений переменных называют набором. Булева функция n аргументов может иметь до $N=2^n$ наборов. Поскольку функция (*функция алгебры логики, ФАЛ*) принимает только два значения, общее число булевых функций n аргументов равно 2^N . Существует ряд способов задания ФАЛ [1, с.27-31], из них наиболее распространены:

1) **таблица истинности** - ФАЛ задается таблицей (*таблицей истинности*) ее значений в зависимости от значений переменных. Каждому набору переменных соответствует определенное значение функции. При количестве переменных, равном n , таблица содержит 2^n строк (по числу наборов), n столбцов (по числу переменных) и один столбец значений функции;

2) **аналитический** - функция задается в виде алгебраического выражения, показывающего, какие и в какой последовательности должны выполняться логические операции над аргументами функции. Алгебраическое выражение может быть составлено из наборов аргументов, на которых функция принимает значение 1 - *дизъюнктивная нормальная форма (совершенная дизъюнктивная нормальная форма, СДНФ)*.

При реализации ФАЛ, т.е. синтезе логического устройства делают упрощение ФАЛ [2], которое может быть осуществлено раз-

личными способами: путем использования *законов и аксиом алгебры логики*, применением *карт Карно*, использованием *правил упрощения контактных схем*, использованием *методов Квайна, Квайна – Мак-Класки* и др. [1, с.49 - 63]. Упрощение – это процесс минимизации количества логических элементов.

На практике помимо указанных функций двух переменных используется еще пять: ИСКЛЮЧАЮЩЕЕ ИЛИ $Y=X_1 \oplus X_2$ ($0+0=0$; $0+1=1$; $1+0=1$; $1+1=0$) ИЛИ-НЕ $Y=(X_1+X_2)'$ (стрелка Пирса, $0+0=1$; $1+0=0$; $0+1=0$; $1+1=0$); И-НЕ $Y=(X_1X_2)'$ (штрих Шеффера, $0 \cdot 0=1$; $0 \cdot 1=1$; $1 \cdot 0=1$; $1 \cdot 1=0$); запрет по X_2 $Y=X_1X_2'$ ($0 \cdot 0=0$; $0 \cdot 1=0$; $1 \cdot 0=1$; $1 \cdot 1=0$); запрет по X_1 $Y=X_1'X_2$ ($0 \cdot 0=0$; $0 \cdot 1=1$; $1 \cdot 0=0$; $1 \cdot 1=0$).

Базисом называют полную систему функций алгебры логики. *Минимальный базис* состоит из такого набора функций, исключение из которого любой функции превращает этот набор в неполную систему функций. Наиболее удобным для представления в виде логического выражения функций алгебры логики является базис, содержащий конъюнкцию (умножение), дизъюнкцию (сложение) и инверсию (отрицание) (базис И-ИЛИ-НЕ). Этот базис называется основным. Минимальный базис включает в себя две функции И-НЕ (базис Шеффера) либо ИЛИ-НЕ (базис Пирса). Однако использование трех функций упрощает логическое описание, а в ряде случаев и построение дискретных устройств автоматики, телемеханики и связи.

В цифровой технике практические аналоги рассмотренных логических функций принято называть *логическими* элементами. Они различаются характером реализуемых функций, числом входов (по числу действующих переменных), числом выходов и другими признаками. Работа их оценивается только с точки зрения логики, без учета практического воплощения (технической базы, способа питания и т.д.).

Входы и выходы логических элементов в зависимости от уровня сигнала, при котором воспринимается или вырабатывается определенное значение двоичной переменной, подразделяются на *прямые* и *инверсные*. На прямом входе (выходе) двоичная переменная имеет значение логической 1, когда сигнал на этом входе (выходе) имеет значение, принятое за 1. На инверсном – когда уровень сигнала на этом входе (выходе) соответствует логическому 0.

В отечественной литературе и документации логические элементы изображают прямоугольником (так называемое основное поле), в верхней части которого указывают символ функции: & для И, | для ИЛИ. Входы показывают с левой стороны прямоугольника, выходы – с правой. Выводы питания и общий обычно не показывают. Инверсные входы и выходы выделяются небольшим кружком у вывода.

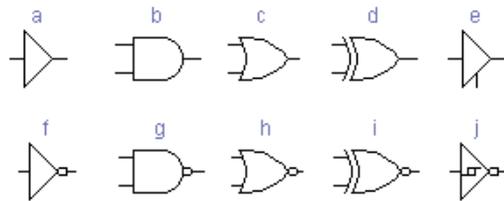


Рисунок 1.1- Графические обозначения

На рис. 1.1 показаны обозначения базовых логических элементов, принятые в программе EWB: a – буферный логический элемент; b – элемент И (AND); c – элемент ИЛИ (OR); d – ИСКЛЮЧАЮЩЕЕ ИЛИ (XOR); e – буферный элемент с тремя состояниями; f – инвертор НЕ (NOT); g – элемент И-НЕ (NAND); h – элемент ИЛИ-НЕ (NOR); i – ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ (NXOR); j – триггер Шмитта.

Для двухвходовых элементов можно увеличить количество входов до восьми, открывая двойным щелчком по значку компонента диалоговое окно «Number of inputs».

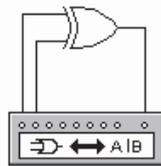


Рисунок 1.2 - Исследование логического элемента

Моделирование логических схем в программе EWB целесообразно проводить с помощью логического преобразователя (Л.П.). На рис. 1.2 приведена схема для исследования элемента ИСКЛЮЧАЮЩЕЕ ИЛИ. При наличии двух входов возможны только четыре комбинации входных сигналов, что отображается на экране преобразователя в виде таблицы истинности, которая генерируется после нажатия кнопки . Для получения булева выражения исследуемого элемента необходимо нажать кнопку . Для упрощения выражения следует нажать кнопку . Выражения приводятся на дополнительном дисплее, расположенном в нижней части лицевой панели. Причем логическое сложение отражается символом «+», отрицание – символом «'». При умножении двух аргументов они пишутся друг

за другом без каких-либо символов. При нажатии кнопки  на рабочем поле EWB мы получаем схему, реализующую данную ФАЛ в базисе И-ИЛИ-НЕ, а при нажатии кнопки  - схему в базисе И-НЕ. При работе с конвертером следует помнить, что самым старшим является разряд А, а самым младшим – разряд Н.

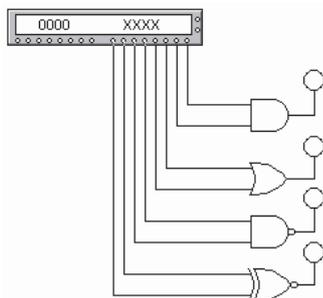


Рисунок 1.3 – Исследование логических элементов

На рис.1.3 приведена схема для исследования логических элементов с помощью генератора слова, где реакция элементов индицируется с помощью логических пробников.

2. Порядок выполнения работы

1. Ознакомиться с основными принципами работы логических элементов и с синтезом автоматических устройств.
2. Провести исследование основных логических элементов в EWB с помощью схемы на рис. 1.2. и установите для каждого из них соответствие таблицы истинности и булева выражения.

3. Провести исследование этих же элементов с помощью схемы на рис. 1.3.

Строка	A	B	C	Выход
000	0	0	0	0
001	0	0	1	0
002	0	1	0	1
003	0	1	1	0
004	1	0	0	1
005	1	0	1	0
006	1	1	0	1
007	1	1	1	1

Рисунок 1.4 – Таблица истинности

4. Провести синтез цифрового устройства реализующего ФАЛ, представленной таблицей истинности на рис. 1.4.

5. Провести синтез трехвходового логического устройства с выходной комбинацией 10011110 в таблице истинности.

6. Провести испытания ИМС 7400 (155ЛА3, 4 элемента 2И-НЕ), 7432 (155ЛЛ1, 4 элемента 2ИЛИ) и 7486 (155ЛП5, 4 элемента ИСКЛЮЧАЮЩЕЕ ИЛИ). Входы в этих ИМС обозначаются буквами: А, В; выход –У.

7. Построить при помощи программы «Электронная лаборатория» дискретную схему без ее упрощения по формуле, взятой из таблицы 1.1 [5], в соответствии с заданным вариантом.

8. Упростить заданную ФАЛ с помощью положений алгебры логики (см. приложение №1).

9. Получить таблицу истинности (ТИ) построенной схемы, используя ЛП.

10. По ТИ, используя соответствующее свойство ЛП, найти СДНФ.

11. На основе СДНФ построить схему дискретного устройства в базисе И-ИЛИ-НЕ и базисе И-НЕ.

12. Используя ЛП, упростить СДНФ и построить по упрощенной ФАЛ схему ДУ в базисах И-НЕ и ИЛИ-НЕ.

3. Содержание отчета

Наименование и цель работы; краткие сведения из теории; полученные результаты на основании выполненного задания, а также результаты проведенных исследований схем, которые должны быть приведены в отчете вместе с описанием их работы; выводы по работе.

4. Контрольные вопросы

1. Какие значения может принимать единица информации – бит?
2. Что является математической основой применения логических элементов?
3. Какое общее название имеют устройства на базе логических элементов?
4. Назовите простейшие логические операции.
5. Назовите способы задания ФАЛ.
6. Для чего необходимо упрощать ФАЛ?
7. На чем основано упрощение ФАЛ?
8. Что такое базис, минимальный базис. Какие базисы вы знаете?

Т а б л и ц а 1.1 – Варианты заданий

Ва- ри- ант	Функция алгебры логики	Ва- риант	Функция алгебры ло- гики
1	$(\overline{AB} \vee \overline{CA})(\overline{AB} \vee C)$	16	$C\overline{A} \vee \overline{B} \vee (\overline{CA} \vee ABC)\overline{A}$
2	$\overline{AB} \vee \overline{AC} \vee AB(\overline{AC} \vee \overline{AC})$	17	$ABC \vee \overline{A}(B \vee C) \vee \overline{ABC}$
3	$\overline{ABC} \vee \overline{AB}(C \vee \overline{A})$	18	$\overline{AB} \vee \overline{AB} \vee (\overline{A} \vee \overline{CB})$
4	$(\overline{A} \vee \overline{C})\overline{ABC} \vee \overline{AB}$	19	$A \vee (A \vee B \vee \overline{C})(\overline{A} \vee \overline{BC} \vee \overline{CB})$
5	$(\overline{AB} \vee \overline{C})(\overline{ABC} \vee \overline{ABC})$	20	$A \vee (\overline{A} \vee \overline{B} \vee \overline{C})(A \vee \overline{B} \vee C)$
6	$ABC \vee \overline{ABC}(\overline{AB} \vee \overline{ABC})$	21	$ABC \vee \overline{AB}(\overline{A} \vee \overline{B} \vee \overline{C})(A \vee \overline{C})$
7	$A(A \vee \overline{ABC}) \vee \overline{ABC}$	22	$AB \vee \overline{AB} \vee \overline{AC} \vee BC(\overline{A} \vee \overline{CB})$
8	$B(A \vee \overline{BC}) \vee ABC(\overline{A} \vee \overline{BC})$	23	$\overline{A} \vee \overline{AB} \vee \overline{ABC} \vee A(\overline{A} \vee \overline{C})$
9	$(\overline{A} \vee B)(\overline{A} \vee C) \vee ABC \vee \overline{AC}$	24	$A \vee \overline{BC} \vee (A \vee \overline{B})(\overline{A} \vee \overline{B})$
10	$\overline{\overline{ABC}} \vee \overline{ABC} \vee \overline{AC}$	25	$\overline{A} \vee \overline{AB} \vee \overline{BC}(\overline{A} \vee \overline{BC})$
11	$\overline{ABC} \vee \overline{ABC} \vee (AB \vee \overline{CA})$	26	$\overline{AA} \vee \overline{B}(\overline{B} \vee \overline{CB})(A \vee \overline{BC})$
12	$(\overline{AC} \vee \overline{AB})(AB \vee \overline{C})$	27	$A(\overline{A} \vee \overline{ABC})(\overline{A} \vee \overline{BC})$
13	$A \vee (\overline{A} \vee B)(A \vee \overline{CB}) \vee \overline{BA}$	28	$ABC \vee \overline{A}(BC \vee \overline{BC}) \vee \overline{C}$
14	$A \vee \overline{AB} \vee \overline{BC} \vee ABC(\overline{A} \vee \overline{BC})$	29	$(A \vee B)(\overline{A} \vee B)(\overline{AB} \vee \overline{C}) \vee \overline{A}$
15	$A \vee AB \vee \overline{AC}(\overline{AB} \vee \overline{B})$	30	$\overline{ABC} \vee \overline{ABC} \vee (AB \vee \overline{C})$

Лабораторная работа №2

ИЗУЧЕНИЕ МУЛЬТИПЛЕКСОРОВ, ДЕМУЛЬТИПЛЕКСОРОВ, ШИФРАТОРОВ И ДЕШИФРАТОРОВ

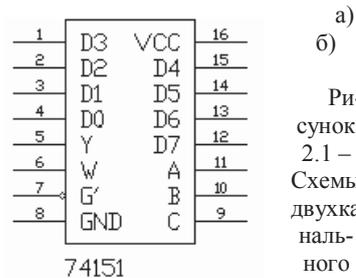
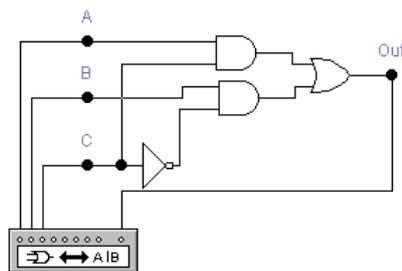
Ц е л ь р а б о т ы. Изучить назначение, структуру и принципы построения мультиплексоров, демультимплексоров, шифраторов и дешифраторов.

1. Краткие сведения из теории

Мультиплексоры, демультимплексоры, шифраторы и дешифраторы относятся к комбинационным схемам.

Мультиплексоры (от английского multiplex – многократный) используются для коммутации в заданном порядке сигналов, поступающих с нескольких входных шин на одну выходную [3]. У мультиплексора имеются: n информационных входов (причем $n=2^k-1$), k входов селекции (управляющих входов), один или два выхода и (если последний имеется) вход синхронизации (вход разрешения). Из-за наличия входов селекции мультиплексоры часто называют селекторами или селекторами-мультиплексорами.

Мультиплексоры широко применяются для передачи в микропроцессорах (МП) и МП системах информации от нескольких источников по одной линии связи.



(а) и ИМС 74151 восьмиканального мультиплексоров (б)

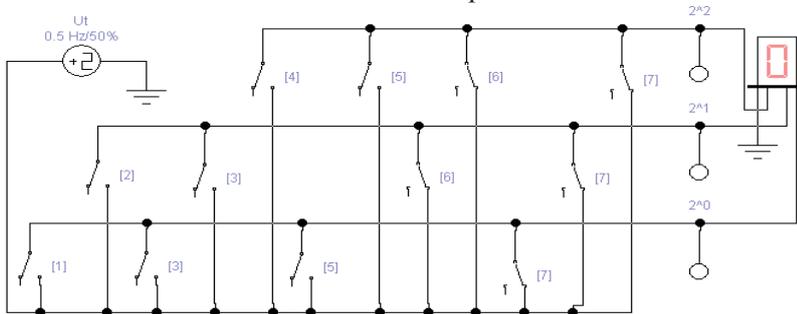
На рис. 2.1, а приведена схема двухканального мультиплексора (А, В – входы, С – управляющий вход), а на рис. 2.1, б – функциональная схема ИМС 74151 (К155КП7) восьмиканального селектора-

а)
б)
Ри-
сунк
2.1 –
Схемы
двухка
наль-
ного

мультиплексора, выводы которого имеют следующее назначение: D0...D7 – входы; GND – общий; VCC – напряжение питания +5 В; G' – вход разрешения (активный уровень – низкий); Y, W – прямой и инверсный выходы; A, B, C – адресные входы 2^0 , 2^1 и 2^2 . Выходной сигнал $Out=BC'+AC$.

Демультимплексоры в функциональном отношении противоположны мультиплексорам. С их помощью сигналы с одного информационного входа распределяются в требуемой последовательности по нескольким выходам. Выбор нужной выходной шины, как и в мультиплексоре, обеспечивается установкой соответствующего кода на адресных входах. При m адресных входах демультимплексор может иметь до $2m$ выходов.

На рис. 2.2 показана схема демультимплексора. При $A=0$ $Y_0=X$, а при $A=1$ $Y_1=X$. Следует отметить, что промышленностью демультимплексоры не выпускаются, так как режим демультимплексора может быть реализован как частный случай в дешифраторах.



Шифраторы (кодеры) используются чаще всего для преобразования десятичных чисел в двоичный или двоично-десятичный код. Рисунок 2.2 – Схема демультимплексора. Рисунок 2.3. – Схема электромеханического шифратора.

Электромеханический аналог шифратора [3] для кодирования десятичных чисел 1...7 в двоичный код (рис. 2.3) содержит “кнопки” указанных цифр в виде одинарных, сдвоенных, строенных пе-

рекламателей, управляемых цифровыми клавишами клавиатуры. Состояние “кнопки” – включена/выключена – устанавливается тактовыми импульсами от источника однополярных импульсов и на выходе шифратора индицируется логическими пробниками для двоичного кода и алфавитно-цифровым индикатором для десятичного.

На рис. 2.4 показана схема для исследования шифратора ИМС 74148. Назначение выводов ИМС 74148 (155ИВ1): 0...7 – входы; A0, A1, A2 – выходы; E1 – вход разрешения; E0, GS – выходы для каскадирования шифраторов. При моделировании следует учесть, что все входы и выходы – инверсные.

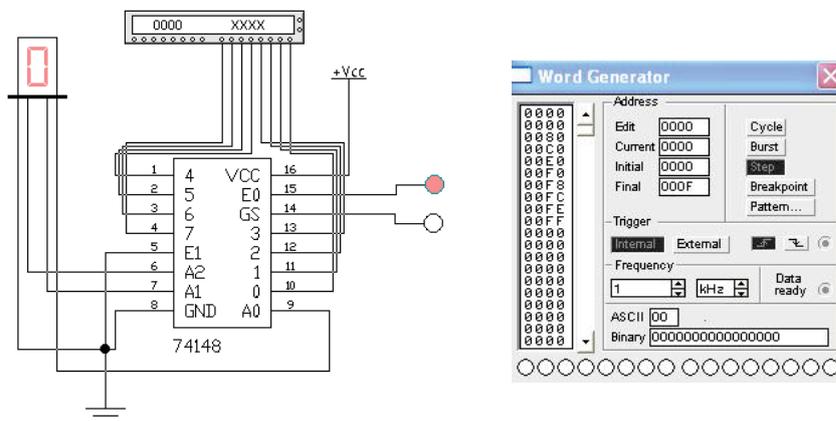


Рисунок 2.4 – Схема включения ИМС 74148 (а) и панель генератора слова (б)

Дешифратор (декодер) – устройство с несколькими входами и выходами, у которого определенным комбинациям входных сигналов соответствует активное состояние одного из выходов, т.е. дешифратор является обращенным по входам демультиплексором, у которого адресные входы стали информационными, а бывший информационный вход стал входом разрешения. Поэтому часто дешифраторы называют дешифраторами-демультиплексорами и наоборот.

Дешифраторы и демультиплексоры в виде серийных ИМС средней степени интеграции широко используются в информационно-измерительной технике и микропроцессорных системах управления, в частности, в качестве коммутаторов-распределителей информационных сигналов и синхроимпульсов, для демультиплексирования данных и адресной логики в запоминающих устройствах, а также для преобразования двоично-десятичного кода в десятичный с целью управления индикаторными и печатающими устройствами.

Дешифраторы имеют 4, 8 или 16 выходов. Если требуется большее число выходов, дешифраторы наращиваются в систему [4].

На рис. 2.5 (а) показана схема дешифратора 2х4, где входы 2^0 , 2^1 – адресные, G' – вход разрешения (активный уровень – сигнал логического нуля); выходы 0...3 – инверсные. На рис. 2.5 (б) приведена схема включения дешифратора 74154 (К155ИД3): входы А, В, С, D – адресные; выходы 0...15 – инверсные; входы G_1 , G_2 – разрешения. В режиме дешифратора с генератора слова на входы G_1 , G_2 подается 0, а на адресные входы – код в диапазоне 0000...1111. В режиме демультиплексора один из разрешающих входов, например G_1 , используется в качестве информационного.

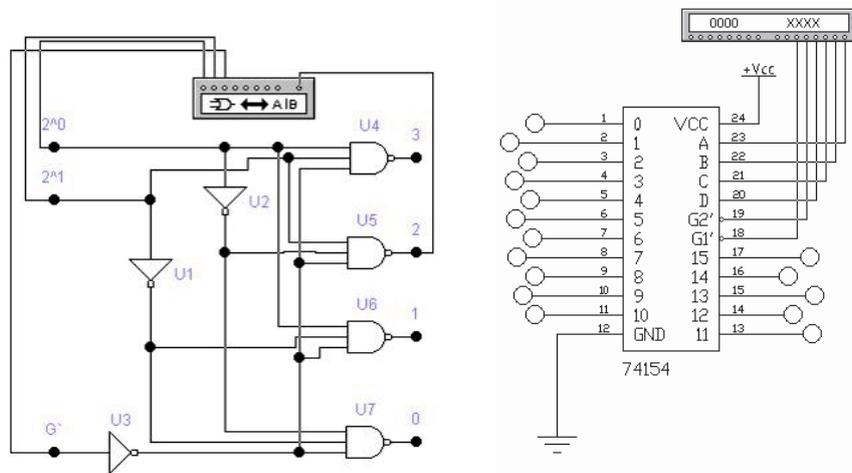


Рисунок 2.5 – Дешифратор 2х4 (а) и схема включения ИМС 74154 (б)

2. Порядок выполнения работы

1. Соберите схему и проведите испытания ИМС 74151 (155КП7), в которой на информационные, адресные и вход управления подаются сигналы с генератора слова в такой комбинации, чтобы при каждом шаге информация передавалась последовательно через шаг с первого по восьмой каналы. Для индикации состояния выходов используйте логический анализатор.

2. Используя методику анализа двухканального мультиплексора, с помощью логического преобразователя исследуйте ИМС двояного четырехканального мультиплексора 74153 (155КП2) с обозначениями выводов: А, В – адресные входы, 1G, 2G – инверсные входы разрешения первого и второго мультиплексоров, 1C0...1C3 и 2C0...2C3, 1Y и 2Y – входы и выходы первого и второго мультиплексоров соответственно.

3. Используя логический преобразователь, проведите исследования демльтиплексора на рис. 2.2.

4. Дополните схему шифратора на рис. 2.3 элементами, обеспечивающими дополнительно кодирование чисел 8,9 и 10.

5. Модернизируйте схему шифратора на рис. 2.3, заменив двоянные и строенные переключатели одинарными для каждой кодируемой цифры и логическими элементами.

6. Меняя кодовые комбинации в генераторе слова на рис. 2.4, покажите, в чем заключается смысл слова “приоритетный” в названии шифратора типа 74148 (155ИВ1).

7. Проведите испытания дешифратора 2x4 (рис. 2.5, а) с использованием логического преобразователя и генератора слова.

8. Модернизируйте схему дешифратора 2x4 на рис. 2.5,а, дополнив ее еще одним входом разрешения с активным высоким уровнем, и проведите его испытание.

9. Подготовьте выходные кодовые комбинации генератора слова в схеме на рис. 2.5,б, обеспечивающие поочередное включение светоиндикаторов на выходе дешифратора, начиная с выхода 0.

10. Переведите дешифратор в схеме на рис. 2.5, б в режим демльтиплексор и выполните задание в объеме п.9.

3. Содержание отчета

Наименование и цель работы; краткие сведения из теории; результаты проведенных исследований схем, которые должны быть приведены в отчете вместе с описанием их работы; разработанные согласно задания схемы и кодовые комбинации генератора слова; выводы по работе.

4. Контрольные вопросы

1. Что собой представляет мультиплексор, каково его назначение?

2. Что такое демультиплексор, для решения каких задач его можно применить?

3. На объекте управления, связанном с удаленной управляющей ЭВМ двухпроводной линией связи, расположены 8 датчиков и такое же количество исполнительных устройств (электродвигателей, электромагнитов и т.п.). Где в такой системе управления необходимо поставить мультиплексор и демультиплексор? Каковы требования к форме сигналов датчиков и исполнительных устройств?

4. Что собой представляет шифратор, при решении каких задач он используется?

5. При решении, каких задач цифровой техники используются дешифраторы?

Лабораторная работа №3

ТРИГГЕРЫ

Ц е л ь р а б о т ы. Изучить назначение, виды, структуры, принципы построения и работы триггеров.

1. Краткие сведения из теории

Триггеры широко используются во многих узлах электронной аппаратуры в виде самостоятельных изделий или в качестве базовых элементов для построения других, более сложных устройств (счетчиков, регистров, запоминающих устройств). Они представляют собой простейшие последовательностные [3] устройства, общим свойством которых является способность длительно оставаться в одном из двух возможных устойчивых состояний, которые распознаются по значению их выходных сигналов.

В простейшем исполнении триггер представляет собой симметричную структуру из двух логических элементов ИЛИ-НЕ или И-НЕ, охваченных перекрестной положительной обратной связью. Триггер на элементах И-НЕ и его "интегральный" аналог в программе EWB показаны на рис 3.1а. Такой триггер называют симметричным (используются также названия — бистабильная ячейка, ячейка памяти, асинхронный RS-триггер); он обладает двумя устойчивыми состояниями, которые обеспечиваются за счет связи выхода каждого элемента с одним из входов другого. Входы служат для управления и называются *информационными* или *логическими*. Один из выходов триггера называют *прямым* (в силу симметрии схемы им может быть любой) и обозначают буквой Q , а другой - *инверсным* и обозначают \bar{Q} (в EWB — Q'). Состояние триггера часто отождествляется с сигналом на прямом выходе, т. е. говорят, что триггер находится в единичном состоянии, если $Q=1$, а $Q'=0$, и в нулевом, если $Q=0$, а $Q'=1$.

Смена состояний триггера производится внешними сигналами; этот процесс называют переключением, опрокидыванием и

т.п. Начало опрокидывания триггера (см. рис.3.1, а) происходит с приходом положительного перепада напряжения на вход закрытого элемента. Информационный вход, по которому триггер устанавливается в единичное состояние ($Q=1$; $Q'=0$), называют единичным или S-входом (от англ. set — установка), а в нулевое ($Q'=0$, $Q=1$) — нулевым или R-входом (reset — возврат). Комбинацию входных сигналов $S=R=0$ называют нейтральной или режимом хранения — при ней триггер хранит состояние, в которое он был приведен в предыдущем такте. Если на один из входов подать единичный сигнал, сохраняя нулевой на другом, триггер примет состояние, которое однозначно определяется комбинацией входных сигналов. Если переключающие сигналы одновременно подать на оба входа (комбинация $S=R=1$), на обоих выходах появятся логические нули и устройство утратит свойства триггера; поэтому такую комбинацию называют *запрещенной* (неопределенной).

Более сложные схемы триггеров содержат рассмотренный RS-триггер и устройства управления, представляющие собой комбинационные устройства, преобразующие входную информацию в комбинацию сигналов, под воздействием которых собственно триггер принимает одно из двух устойчивых состояний.

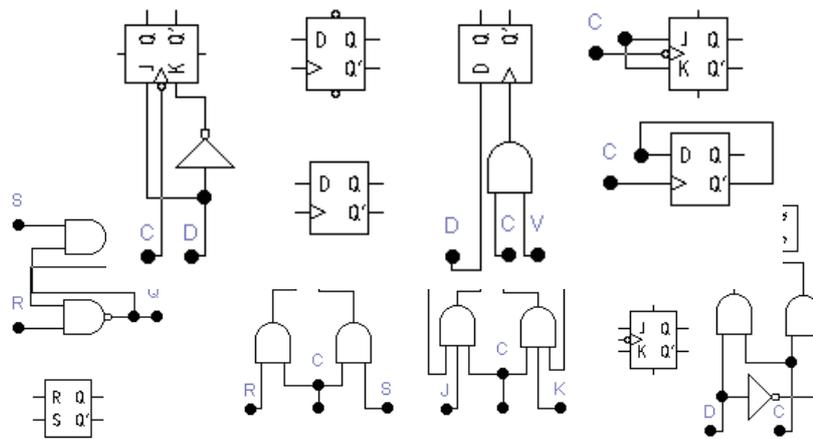
Главная роль в формировании свойств триггерной системы принадлежит управляющему устройству. В схемном отношении устройства управления отличаются большим разнообразием. Изменяя схему устройства управления и способы ее связей с ячейкой памяти (RS-триггером), можно получить триггеры с разными функциональными свойствами.

Входные сигналы в зависимости от выполняемой роли подразделяются на три категории: *информационные* (логические), *подготовительные* (разрешающие) и *исполнительные* (командные). Сигналы на информационных входах определяют информацию, которая будет записана в триггер. Роль подготовительных и исполнительных сигналов — вспомогательная: с их помощью можно в нужный момент прервать действие триггера или группы триггеров, сохранив информацию на выходе. Исполнительные сигналы задают момент приема входной информации триггером и служат для синхронизации работы ряда устройств, образующих функциональный узел. Эти сигналы часто так и называют — *синхронизирующими* или *тактовыми*. Входы триггера по характеру входных сигналов подразделяются также на три

категории: *информационные* (логические), *предустановки* (подготовительные) и *тактовые* (синхронизирующие). Информационные входы имеются у всех триггеров, тогда как подготовительные и тактовые могут отсутствовать.

Тип триггера определяется функциональной зависимостью между сигналами на входах и выходах, которая может быть выражена: временными диаграммами, таблицами внешних переходов (таблицами состояний) [3].

По способу ввода информации триггеры делятся на *асинхронные* и



синхронные.

У асинхронных триггеров имеются только информационные (логические) входы; примером такого триггера является RS-триггер на рис. 3.1,а. Основным недостатком асинхронных триггеров является неудовлетворительная помехозащищенность в условиях возможных временных задержек сигналов (так называемых гонок или состязаний

а) б) в) г) д)
е) ж) з) и)

Рисунок 3.1 – Схема триггеров

сигналов). Этот недостаток устраняется в синхронных триггерах за счет использования дополнительного командного сигнала, который подается на синхронизирующий (тактирующий) вход C (рис. 3.1,б). При этом опрокидывание (срабатывание) синхронных триггеров про-

исходит только при участии тактовых импульсов, длительность которых гораздо меньше их периода.

В зависимости от того, какой параметр входных сигналов используют для записи информации, триггеры подразделяются на три категории: со *статическим* управлением записью (управляемые по уровню входного сигнала), с *динамическим* управлением (управляемые по фронту или срезу) и *двухступенчатые*. Для асинхронных триггеров в качестве управляющих служат сигналы на информационных входах, для синхронных — тактовый импульс. Триггер со статическим управлением срабатывает в момент, когда входной сигнал достигает порогового уровня; для синхронных триггеров это означает, что за время действия тактового импульса смена сигналов на информационных входах вызывает новые срабатывания, т. е. синхронные триггеры со статическим управлением при активном состоянии тактового входа ведут себя подобно асинхронным. Устранение этого недостатка достигается в триггерах с динамическим и двухступенчатым управлением. Триггеры с динамическим управлением реагируют на перепад напряжения от нуля к единице (активный фронт) либо от единицы к нулю (активный срез управляющего импульса). Триггеры с управлением по срезу входного сигнала (триггеры с внутренней задержкой) широко применяются на практике. Возможность задержки момента опрокидывания триггера на время, равное длительности тактового импульса, эффективно используется при обработке информации, позволяя производить по фронту тактовых импульсов считывание информации, а по срезу — запись.

Двухступенчатые триггеры содержат две ячейки памяти, запись информации в которые происходит последовательно в разные моменты времени. Такую структуру триггеров называют системой “ведущий-ведомый” или MS-структурой (от англ. master-slave — хозяин-невольник). Первая ступень (ведущий) служит для промежуточной записи входной информации, а вторая (ведомый) — для последующего запоминания и хранения. Поскольку этот процесс происходит за два такта, то такие триггеры называют также двухтактными. Управление двухступенчатым триггером возможно не только двумя, но и одним тактовым импульсом: запись информации в ведущую ступень происходит с приходом тактового импульса по фронту, а перезапись в ведомую — в момент его окончания (по спаду).

Заметим, что триггеры с динамическим и двухступенчатым управлением часто называют flip-flop (щелчок-хлопок), а со статическим — latch (защелка). Символом триггера на схемах служит буква T, а двухступенчатого — TT, что отражает его внутреннее устройство.

Рассмотрим наиболее распространенные типы триггеров.

JK-триггер относится к универсальным устройствам; их универсальность заключается в том, что они, во-первых, могут быть использованы в регистрах, счетчиках, делителях частоты и других узлах, и, во-вторых, путем определенного соединения выводов они легко обращаются в триггеры других типов. Схема простейшего JK-триггера показана на рис. 3.1, в, а его аналогов в программе EWB — на рис. 3.1, г, где обозначено: J, K — информационные входы; > — тактовый вход; вывод сверху — асинхронная предустановка триггера в единичное состояние ($Q = 1$) вне зависимости от состояния сигналов на входах (функционально аналогичен входу S RS-триггера); вывод внизу — асинхронная предустановка в нулевое состояние (так называемая очистка триггера, после которой $Q' = 1$); наличие кружочков на изображениях выводов обозначает, что активными являются сигналы низкого уровня, а для тактового входа — что переключение триггера производится не по переднему фронту тактового импульса, а по его срезу (по заднему фронту импульса).

Из схемы JK-триггера на рис. 3.1, в следует, что его состояние зависит не только от сигналов на входах J и K, но и от логически связанных с ними выходных сигналов, что позволяет исключить запрещенные состояния. Функциональной особенностью этих триггеров является то, что при всех комбинациях входных сигналов, кроме $K=J=1$, они действуют подобно RS-триггеру, причем вход J играет роль S-входа, а K — роль R-входа; при $K=J=1$ в каждом такте происходит опрокидывание триггера и выходные сигналы меняют свое значение.

D-триггеры в отличие от рассмотренных имеют для установки в состояние 1 и 0 один информационный D-вход (D — от англ. delay - задержка). Функциональная особенность триггеров этого типа состоит в том, что сигнал на выходе Q в такте $n + 1$ повторяет входной сигнал D_n в предыдущем такте n и сохраняет (запоминает) это состояние до следующего тактового импульса. Другими словами, D-триггер задерживает на один такт информацию, существовавшую на D-входе, т. е. закон функцио-

нирования D-триггера очень прост: $Q^{n+1}=D^n$. Хранение информации D-триггерами обеспечивается за счет цепей синхронизации, поэтому все реальные D-триггеры — тактируемые. Управление по тактовому входу может быть статическим, динамическим или двухступенчатым.

D-триггер можно образовать из любого синхронного RS- или JK-триггера, если на их информационные входы одновременно подавать взаимно инверсные сигналы D и \bar{D} (рис. 3.1, е, д). Функциональные схемы D-триггеров с предустановкой и без нее показаны на рис. 3.1, ж.

DV-триггеры представляют собой модификацию D-триггеров. Их логические функции определяются наличием дополнительного входа V , играющего роль разрешающего по отношению ко входу D (рис. 3.1, з). Когда $V = 1$, триггер функционирует как D-триггер, при $V = 0$ он переходит в режим хранения информации независимо от смены сигналов на входе D . Записанная в обычный D-триггер информация не может храниться более одного такта: с каждым тактовым импульсом состояние триггера обновляется. Наличие же V -входа расширяет функциональные возможности D-триггера, позволяя в нужные моменты времени сохранять информацию на выходах в течение требуемого числа тактов.

T и TV-триггеры (счетные триггеры) имеют один информационный T-вход (от англ. toggle — чека, коленчатый рычаг) и отличаются простотой действия. Смена состояний здесь происходит всякий раз, когда входной сигнал меняет свое значение в определенном направлении — от нуля к единице или от единицы к нулю; это единственный вид триггера, текущее состояние которого определяется не информацией на входах, а состоянием его в предыдущем такте. По способу ввода входной информации T-триггеры могут быть асинхронными и синхронными. Способы образования T-триггеров на базе JK- и D-триггера показаны на рис. 3.1, и.

Для исследования триггерных схем целесообразно использовать генератор слова и светодиодные индикаторы на выходах, при этом для тактирования триггеров необходимо использовать выход синхронизации генератора.

2. Порядок выполнения работы

Задачей исследования является получение таблицы истинности, являющейся одной из основных характеристик триггера. Получение ее целесообразно проводить в следующем порядке:

- последовательно подать на входы предустановки триггера соответствующие активные сигналы (0 или 1) и зафиксировать состояние выхода триггера для этого случая; для проверки асинхронности этих входов указанные операции повторить при различных состояниях сигналов на тактовом и информационных входах;

- подать на информационные входы сигналы 0 и 1 в различных комбинациях (на входах асинхронной предустановки при этом должны быть соответствующие не активные сигналы - 0 для инверсных и 1 для прямых) и зафиксировать для каждой комбинации состояние выходов триггера;

- на основании полученных результатов составить таблицу истинности.

1. Ознакомиться со структурой триггеров и принципами их работы.

2. Проведите исследования триггеров на рис.3.1; для библиотечных триггеров полученную таблицу истинности сравните с таблицей истинности, вызываемой нажатием клавиши помощи F1 после выделения на схеме триггера.

3. По приведенному выше описанию алгоритма функционирования двухступенчатого триггера составьте его схему на двух RS-триггерах с записью информации за два и один такт.

4. Проведите испытания ИМС D-триггера 7474 (155TM2), выходы которой имеют следующие назначения (для необозначенных в тексте раздела): CLR' , PRE' - R- и S-входы (инверсные); CLK - тактовый вход.

5. Проведите испытания ИМС JK-триггера 7472 (155TB1) с трехходовыми элементами на J- и K-входах, обозначенных соответственно J1, J2, J3 и K1, K2, K3.

3. Содержание отчета

Наименование и цель работы; краткие сведения из теории; результаты проведенных исследований триггеров, которые должны быть приведены в отчете вместе с таблицами истинности, характеризующие их работу; разработанные согласно задания схемы; выводы по работе.

4. Контрольные вопросы

1. Почему триггеры относят к последовательным устройствам?
2. Какие типы триггеров Вы знаете, чем обусловлено их многообразие?
3. Как работает асинхронный триггер?
4. Как работает синхронный триггер?
5. Как работает двухступенчатый триггер?
6. Что такое статическое и динамическое управление записью?
7. Какие входные сигналы различают у триггеров?
8. Как подразделяются входы триггеров?

Лабораторная работа №4

СЧЕТЧИКИ

Ц е л ь р а б о т ы. Изучить назначение, виды, структуры, принципы построения и работы счетчиков.

1. Краткие сведения из теории

Счетчиком называют устройство [3], сигналы на выходе которого отображают число импульсов, поступивших на счетный вход. Триггеры являются простейшими счетчиками до двух. Счетчик, образованный цепочкой из m триггеров, может подсчитать в двоичном коде 2^m импульсов. Каждый из триггеров такой цепочки называют разрядом счетчика. Число m определяет количество разрядов двоичного числа, которое может быть записано в счетчик. Число $K_{сч}=2^m$ называют *коэффициентом (модулем) счета*.

Информация снимается с прямых и (или) инверсных выходов всех триггеров. В паузах между входными импульсами триггеры сохраняют свои состояния, т. е. счетчик запоминает число входных импульсов.

Нулевое состояние всех триггеров принимается за нулевое состояние счетчика в целом. Остальные состояния нумеруются по числу поступивших входных импульсов. Когда число входных импульсов $N_{вх} > K_{сч}$, происходит переполнение, после чего счетчик возвращается в нулевое состояние и цикл повторяется. Коэффициент счета, таким образом, характеризует число входных импульсов, необходимое для выполнения одного цикла и возвращения в исходное состояние.

После завершения каждого цикла на выходах последнего триггера возникают перепады напряжения. Это определяет второе назначение счетчиков: деление числа входных импульсов. Если входные сигналы периодичны и следуют с частотой $F_{вх}$, то частота выходных сигналов равна $F_{вых} = F_{вх}/K_{сч}$. В этом случае коэффициент счета называется *коэффициентом деления* и обозначается как $K_{дел}$. У счетчика в режиме деления используется выходной сигнал только последнего триггера.

гера, промежуточные состояния остальных триггеров во внимание не принимаются. Всякий счетчик может быть использован как делитель частоты. Поэтому подобное устройство часто называют счетчиком-делителем. Такие делители имеют целочисленный коэффициент деления. Однако элементная база современной микроэлектроники позволяет создавать делители и с дробными коэффициентами деления.

Символом счетчиков на схемах служат буквы СТ (от англ. Counter - счетчик), после символа проставляют число, характеризующее модуль счета (например, 2 или 10 — СТ2, СТ10).

Основными эксплуатационными показателями счетчика являются емкость и быстродействие. Емкость счетчика, численно равная коэффициенту счета, равна числу импульсов за один цикл. Быстродействие счетчика определяется двумя параметрами: *разрешающей способностью* $T_{\text{раз.сч}}$ и *временем установки кода* счетчика $T_{\text{уст}}$. Под разрешающей способностью подразумевают минимальное время между двумя входными сигналами, в течение которого не возникают сбои в работе. Обратная величина $F_{\text{макс}} = 1/T_{\text{раз.сч}}$ называется *максимальной частотой счета*. Время установки кода $T_{\text{уст}}$ равно времени между моментом поступления входного сигнала и переходом счетчика в новое устойчивое состояние. Эти параметры зависят от быстродействия триггеров и способа их соединения между собой.

Счетчики различаются числом и типами триггеров, способами связей между ними, кодом, организацией счета и другими показателями. Цифровые счетчики классифицируются по следующим параметрам [3, 4]:

- коэффициент счета: двоичные (бинарные); двоично-десятичные (декадные) или с другим основанием счета; с произвольным постоянным и переменным (программируемым) коэффициентом счета;
- направление счета: суммирующие, вычитающие и реверсивные;
- способ организации внутренних связей: с последовательным, параллельным или с комбинированным переносом, кольцевые.

Классификационные признаки независимы и могут встречаться в разных сочетаниях: например, суммирующие счетчики бывают как с последовательным, так и с параллельным переносом, они могут иметь двоичный, десятичный и иной коэффициенты счета.

Введением дополнительных логических связей — обратных и прямых — двоичные счетчики преобразуются в недвоичные. Наибольшее распространение получили десятичные (декадные) счетчи-

ки, работающие с $K_{сч} = 10$ в двоично-десятичном коде (двоичный — по коду счета, десятичный — по числу состояний).

В суммирующем счетчике каждый входной импульс увеличивает на единицу число, записанное в счетчик, при этом, перенос информации из одного разряда в другой, более старший, имеет место, когда происходит смена состояния 1 на 0.

Вычитающий счетчик действует обратным образом: двоичное число, хранящееся в счетчике, с каждым поступающим импульсом уменьшается на единицу. Переполнение вычитающего счетчика происходит после достижения им нулевого состояния. Перенос из младшего разряда в старший здесь имеет место при смене состояния младшего разряда с 0 на 1.

Реверсивный счетчик может работать в качестве суммирующего и вычитающего. Эти счетчики имеют дополнительные входы для задания направления счета. Режим работы определяется управляющими сигналами на этих входах. В программе EWB такие счетчики представлены ИМС 74163 и 74169 (K155ИЕ18, ИЕ17).

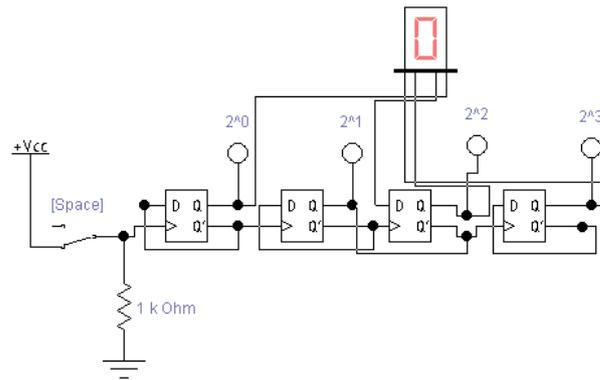
Счетчики с последовательным переносом представляют собой цепочку триггеров, в которой импульсы, подлежащие счету, поступают на вход первого триггера, а сигнал переноса передается последовательно от одного разряда к другому.

Главное достоинство счетчиков с последовательным переносом - простота схемы. Увеличение разрядности осуществляется подключением дополнительных триггеров к выходу последнего триггера. Основной недостаток счетчиков с последовательным переносом - сравнительно низкое быстродействие, поскольку триггеры срабатывают последовательно, один за другим. Счетчики этого класса в библиотеке EWB 5.0 представлены 6-разрядным двоичным счетчиком 4024 (176ИЕ1).

Схема суммирующего счетчика последовательного типа показана на рис. 4.1

Счетчики с параллельным переносом состоят из синхронных триггеров. Счетные импульсы подаются одновременно на все тактовые входы, а каждый из триггеров цепочки служит по отношению к последующим только источником информационных сигналов. Срабатывание триггеров параллельного счетчика происходит син-

хронно, и задержка переключения всего счетчика равна задержке од-



ного триггера.

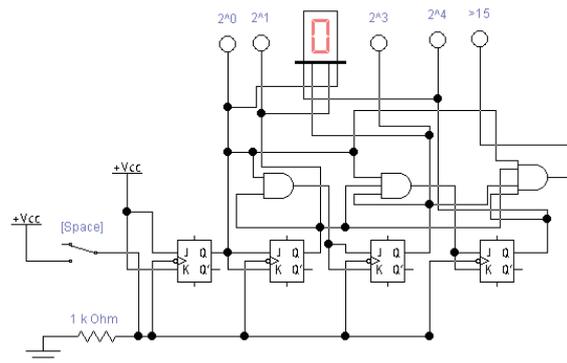


Рисунок 4.1 – Суммирующий счетчик последовательного типа

Счетчики с параллельным переносом применяются в быстродействующих устройствах. Они обладают более высокой помехоустойчивостью, так как в паузах между импульсами триггеры счетчика блокированы. К их недостаткам следует отнести меньшую нагрузочную способность отдельных разрядов из-за дополнительной нагрузки внутренними связями. Счетчики с параллельным переносом (их чаще называют синхронными) в библиотеке EWB представлены счетчиками 74160, 74162, 74163 и 74169 (аналоги — К155ИЕ9, ИЕ11, ИЕ18, ИЕ17 соответственно). Счетчик с параллельным переносом [3] показан на рис. 4.2.

Рисунок 4.2 – Счетчик с параллельным переносом

В счетчике с параллельно-последовательным переносом триггеры объединены в группы так, что отдельные группы образуют счетчики с параллельным переносом, а группы соединяются последовательно. В роли групп могут быть и готовые счетчики. Счетчики этого типа, как правило, многоразрядные. Общий коэффициент счета равен произведению коэффициентов счета всех групп. По быстрдействию они занимают промежуточное положение.

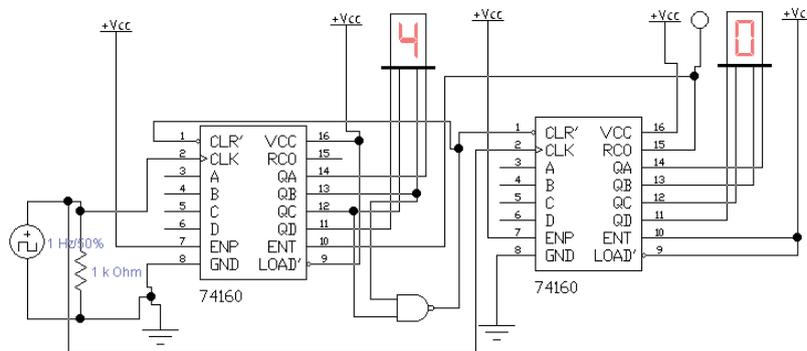
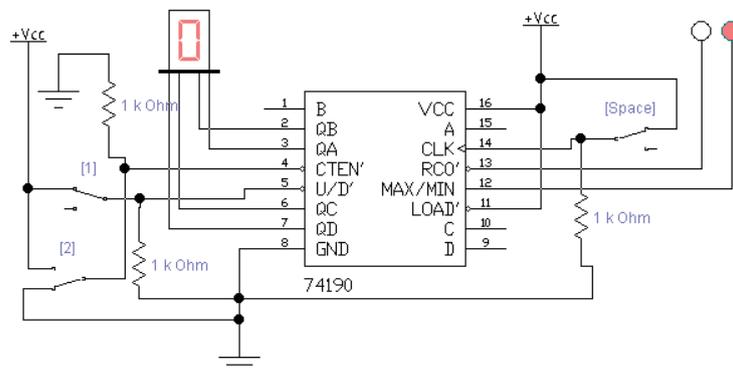


Рисунок 4.3 – Цифровой секундомер

Проектирование счетчика сводится к определению числа триггеров и организации связей между ними и логическими элементами, а также вычислению разрешающей способности счетчика (максимальной частоты счета).

На рис. 4.3 показаны схема цифрового секундомера, выполненная на базе микросхемы 74160 (К155ИЕ9) – двоично-десятичного счетчика. Счетчик запускается положительным перепадом тактового импульса по входу CLK и имеет синхронную загрузку (предварительную установку каждого триггера по входам - A, B, C, D по приходу положительного перепада тактового импульса) при подаче на вход LOAD' логического 0. Сброс счетчика – асинхронный, т.е. при поступлении на вход CLR' логического 0 все триггера (разряды счетчика) сбрасываются в 0. Выводы счетчика: VCC – питание +5 В; GND – земля; ENT, ENP – входы разрешения счета (при разрешении счета на эти входы надо подать логическую 1); RCO – выход окончания счета; QA, QB, QC, QD – выходы (разряды) счетчика.

На рис. 4.4 показана схема для исследования двоично-десятичного реверсивного счетчика 74160. Счетчик также запускается



ется по положительному перепаду тактового импульса на входе CLK и имеет синхронную загрузку при логическом 0 на входе LOAD'. Вход CTEN' – вход разрешения счета (активный сигнал – логический 0). Вход U/D' – направление счета (при 0 - суммирующий счетчик, при 1 – вычитающий). Выходы RCO' и MAX/MIN – выходы окончания счета. При работе счетчика в режиме суммирующего на выходе RCO' появляется сигнал логического 0, а на выходе MAX/MIN – сигнал логической 1 при поступлении 9-го импульса. При работе счетчика в режиме вычитающего на выходе RCO' появляется сигнал логического 0, а на выходе MAX/MIN – сигнал логической 1 при поступлении 0-го импульса (т.е. при обнулении счетчика).

Рисунок 4.4 – Схема для исследования реверсивного счетчика

2. Порядок выполнения работы

1. Ознакомьтесь со структурой счетчиков и принципами их работы.

2. Проведите исследования суммирующего счетчика последовательного типа на рис 4.1. Постройте для него временные диаграммы, т. е. входные сигналы, поступающие на счетный вход (всего 16 импульсов) и сигналы на каждом разряде счетчика. По аналогии соберите схему вычитающего счетчика, который будет отличаться от схемы на рис.4.1 тем, что сигнал переноса передается последова-

тельно от одного разряда к другому с прямых выходов. Проведите ее исследование и постройте временные диаграммы (можно использовать логический анализатор и привести в отчете полученные на нем временные диаграммы).

3. Проведите исследование схемы, показанной на рис. 4.2. Постройте для схемы временные диаграммы.

4. Используя схемы на рис.4.2, составьте схему реверсивного счетчика с переключением режима работы суммирование/вычитание.

5. Используя схемы на рис. 4.3, составьте схему цифрового секундомера на n – секунд, где $n = 60$ - порядковый номер студента в группе.

6. Проведите исследования реверсивного счетчика на рис. 4.4. и постройте для него временные диаграммы.

7. На базе микросхемы 74190 собрать схемы суммирующего счетчика, состояние которого изменяется от n до $n + 15$ и вычитающего счетчика, состояние которого изменяется от $n + 15$ до n . При составлении схем реализуйте синхронную загрузку счетчиков.

3. Содержание отчета

Наименование и цель работы; краткие сведения из теории; результаты проведенных исследований счетчиков, которые должны быть приведены в отчете вместе с временными диаграммами, характеризующие их работу; разработанные согласно задания схемы; выводы по работе.

4. Контрольные вопросы

1. Что собой представляет счетчик, какого типа они бывают?
2. Каким образом создаются счетчики с коэффициентом счета, не кратным 2?
3. Что такое программируемый счетчик?
4. Какими параметрами характеризуются счетчики?

5. Что такое эксплуатационные показатели счетчика?

ПРИЛОЖЕНИЕ №1

Алгебра логики

Булева алгебра базируется на аксиомах. Каждая аксиома представлена в двух видах, что вытекает из принципа дуальности (двойственности) логических операций, согласно которому операции конъюнкции и дизъюнкции допускают взаимную замену, если одновременно поменять логическую 1 на логический 0, а 0 на 1, знак “V” (или “+”) на “·”, а “·” на “V”.

Аксиомы операции отрицания: $0=1$; $1=0$. Аксиомы операций конъюнкции и дизъюнкции:

$$1. 0 \cdot 0 = 0; \quad (a) \quad 1 + 1 = 1 \quad (б)$$

$$2. 1 \cdot 0 = 0 \cdot 1 = 0 \quad (a) \quad 0 + 1 = 1 + 0 = 1 \quad (б)$$

$$3. 1 \cdot 1 = 1 \quad (a) \quad 0 + 0 = 0 \quad (б)$$

1. Переместительный закон:

$$X_1 X_2 = X_2 X_1 \quad (a) \quad X_1 + X_2 = X_2 + X_1 \quad (б)$$

2. Сочетательный закон:

$$X_1 (X_2 X_3) = (X_1 X_2) X_3 = X_1 X_2 X_3; \quad (a)$$

$$X_1 + (X_2 + X_3) = (X_1 + X_2) + X_3 = X_1 + X_2 + X_3 \quad (б)$$

3. Закон повторения (тавтологии):

$$X X = X; \quad (a) \quad X + X = X \quad (б)$$

4. Закон обращения:

$$\text{Если } X_1 = X_2, \text{ то } X_1' = X_2'$$

5. Закон двойной инверсии:

$$(X')' = X$$

6. Закон нулевого множества:

$$X \cdot 0 = 0; \quad (a) \quad X + 0 = X \quad (б)$$

7. Закон универсального множества:

$$X \cdot 1 = X; \quad (a) \quad X + 1 = 1 \quad (б)$$

8. Закон дополнительности:

$$X \cdot X' = 0; \quad (a) \quad X + X' = 1 \quad (б)$$

9. Распределительный закон:

$$X_1 (X_2 + X_3) = X_1 X_2 + X_1 X_3; \quad (a) \quad X_1 + X_2 X_3 = (X_1 + X_2) \cdot (X_1 + X_3) \quad (б)$$

10. Закон поглощения:

$$X_1 + X_1 X_2 = X_1; \quad (a) \quad X_1 X_2 + X_1 X_2' = X_1 \quad (б)$$

11. Закон склеивания:

$$(X_1 + X_2) \cdot (X_1 + X_2') = X_1; \quad (a) \quad X_1 X_2 + X_1 X_2' = X_1 \quad (б)$$

12. Закон инверсии (закон Де Моргана):

$$(X_1 X_2)' = X_1' + X_2' ; \quad (a) \quad (X_1 + X_2)' = X_1' X_2'$$

РЕКОМЕНДУЕМАЯ ЛИТЕРАТУРА

1. Сапожников В. В. и др. Дискретные устройства железнодорожной автоматики, телемеханики и связи: Учебник для вузов ж.-д. трансп. - М.: Транспорт, 1988. - 255 с.
2. Поспелов Д. А. Логические методы анализа и синтеза схем. М.: Энергия, 1974. - 368 с.
3. Карлащук В.И. Электронная лаборатория на IBM PC. Программа Electronics Workbench и ее применение. -М.: "СОЛОН-Р", 2001. - 726 с.
4. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. Л.:Энергоатомиздат, 1986, 280 с.
5. Бочков К.А., Березняцкий Ю.Ф. Анализ функциональной структуры и синтез дискретных устройств: Лабораторный практикум по дисциплине «Теория дискретных устройств» Ч. I / Белорус. гос. ун-т трансп. – Гомель: БелГУТ, 2001. – 32 с.