



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3776561/24-07

(22) 31.07.84

(46) 23.12.86. Бюл. № 47

(71) Белорусский ордена Трудового
Красного Знамени политехнический ин-
ститут

(72) В.Л.Анхимюк, Х.А.Каин

и Н.Н.Михеев

(53) 621.313.525 (088.8)

(56) Авторское свидетельство СССР
№ 907753, кл. Н 02 Р 8/00, 1982.

Авторское свидетельство СССР
№ 1001423, кл. Н 02 Р 8/00, 1983.

(54) СПОСОБ УПРАВЛЕНИЯ m -ФАЗНЫМ ША-
ГОВЫМ ДВИГАТЕЛЕМ

(57) Изобретение относится к управ-
лению электрическими машинами. Цель

изобретения - расширение функцио-
нальных возможностей многорежимного
управления шаговым двигателем за
счет увеличения числа режимов комму-
тации и повышения точности заданного
перемещения. В процессе работы дви-
гателя изменяют режим коммутации,
выбирая очередной режим из множест-
ва предусмотренных заданием по числу
поочередно включенных фаз и шагу ком-
мутации. Распределитель, реализующий
способ управления, обеспечивает мно-
горежимное управление m -фазным шаго-
вым двигателем и возможность перехо-
да из любого режима коммутации к дру-
гим режимам в процессе работы двига-
теля без потери информации и без от-
работки "ложных" шагов. 2 ил., 1 табл.

Изобретение относится к управлению электрическими машинами и может быть использовано для многорежимного управления шаговыми двигателями (ШД).

Цель изобретения - расширение функциональных возможностей путем увеличения числа режимов коммутации и повышения точности отработки заданного перемещения.

На фиг. 1 представлена функциональная схема многорежимного распределителя импульсов для управления ш-фазным шаговым двигателем, реализующего предлагаемый способ; на фиг. 2 - функциональная схема блока формирования функций возбуждения памяти.

Способ осуществляют следующим образом.

В процессе работы ШД изменяют режим коммутации, выбирая очередной режим из множества предусмотренных заданием по числу поочередно включенных фаз S и q и шагу коммутации α .

Числа S , q , α и направление переключений могут быть заданы в виде кодов управления и определяют состояние $\Phi_k [i+1]$ каждой k -й фазы в очередном $(i+1)$ -м такте коммутации в зависимости от заданного направления переключений и состояний $(k-1)$, $(k-t-1)$, $(k+q-t-1)$, $(k-S-t-1)$, $(k+t)$, $(k+t+1)$, $(k-q+t+1)$, $(k+S+t+1)$ фаз в предыдущем i -м такте коммутации в соответствии с логической функцией перехода

$$\Phi_k [i+1] = \Phi_{k-t} [i] \cdot (\Phi_{k-t-1} [i] + \bar{\Phi}_{k+q-t+1} [i] + \bar{\Phi}_{k+q-t-1} [i] \cdot \Phi_{k-t-1} [i]) \quad (1)$$

при направлении переключений "Вперед" и

$$\Phi_k [i+1] = \Phi_{k+t} [i] \cdot (\Phi_{k+t+1} [i] + \bar{\Phi}_{k-q+t} [i] + \bar{\Phi}_{k+S+t+1} [i] \cdot \Phi_{k+t+1} [i]) \quad (2)$$

при направлении "Назад", где $t = \alpha m / 2\pi - 1$ - целое неотрицательное число; $q = S \leq I$ - при симметричном и $q = S+1 \leq I$ при несимметричном режимах коммутации, $I = m/2$ при четном m и $I = (m+1)/2$ при нечетном m , $\alpha \leq \pi$ эл. град.

Например, если заданы симметричный режим коммутации с параметрами $q_1 = S_1$, α_1 и направление переключений "Вперед" и в i -м такте коммутации были включены k -я, $(k+1)$ -я, ...,

$(k+S_1-1)$ -я фазы, то при $\alpha_1 = 2\pi/m$, $t_1 = 0$ в $(i+1)$ -м такте k -я фаза будет отключена, $(k+1)$ -я, $(k+2)$ -я ($k+S_1-1$)-я фазы останутся включенными и дополнительно включится $(k+S_1)$ -я фаза, что обеспечивает шаг коммутации $\alpha_1 = 2\pi/m$ и заданное направление переключений. При этом же режиме и $t_1 > 0$ в $(i+1)$ -м такте отключаются k -я, $(k+1)$ -я и $(k+t_1)$ -я фазы; $(k+t_1+1)$, $(k+t_1+2)$, ..., $(k+S_1-1)$ фазы остаются включенными и дополнительно включатся $(k-S_1)$ -я, $(k+S_1+1)$ -я, ... и $(k+S_1+t_1)$ -я фазы, что обеспечивает шаг коммутации $\alpha_1 = (t_1+1) \cdot 2\pi/m$. А если задано направление "Назад", то при $t_1 = 0$ соответственно в $(i+1)$ -м такте отключится $(k+S_1-1)$ -я фаза, остаются включенными остальные включенные фазы и дополнительно включится $(k-1)$ -я фаза. При $t_1 > 0$ отключатся $(k+S_1-1)$ -я, $(k+S_1-2)$ -я, ... и $(k+S_1-t_1-1)$ -я фазы и включатся $(k-1)$ -я, $(k-2)$ -я, ... и $(k-t_1-1)$ -я фазы. Если заданы несимметричный режим коммутации с параметрами S_2 , $q_2 = S_2+1$, α_2 и в i -м такте были включены S_2 фаз с номерами k , $(k+1)$, ..., $(k+S_2-1)$, то при направлении переключения "Вперед" в соответствии с выражениями (1) при $t_2 = 0$ в $(i+1)$ -м такте коммутации все S_2 фазы останутся включенными и дополнительно включится $(k+S_2)$ -я фаза, в $(i+2)$ -м такте отключится k -я фаза, а при направлении переключений "Назад" в $(i+1)$ -м такте дополнительно включится $(k-1)$ -я фаза, а в $(i+2)$ -м такте отключится $(k+S_2-1)$ -я фаза. При $t_2 > 0$ и направлении "Вперед" в $(i+1)$ -м такте отключаются k -я, $(k+1)$ -я, ... и $(k+t_2-1)$ -я фазы и включаются $(k+S_2)$ -я, ..., $(k+S_2+t_2)$ -я фазы, в $(i-2)$ -м такте отключаются $(k+t_2)$ -я, $(k+t_2+1)$ -я, ..., $(k+t_2-2)$ -я фазы и включатся $(k+S_2+t_2+1)$ -я, ..., $(k+S_2+2t_2)$ -я фазы. При $t_2 > 0$ и направлении "Назад" в соответствии с выражением (2) в $(i+1)$ -м такте отключаются $(k+S_2-t_2)$ -я, $(k+S_2-1)$ -я и дополнительно включаются $(k-t_2-1)$ -я, ..., $(k-1)$ -я фазы, а в $(i+2)$ -м такте отключаются $(k+S_2-2t_2-1)$ -я, $(k+S_2-2t_2)$ -я, ..., $(k+S_2-t-1)$ -я фазы и дополнительно включаются $(k-2t_2-1)$ -я, $(k-2t_2)$ -я, ..., $(k-t_2-2)$ -я фазы.

Таким образом, обеспечиваются заданное число поочередно включенных

фаз, шаг коммутации и направление переключений.

Если в момент начала перехода с одного режима на другой были включены r фаз с номерами $k, (k+1), \dots, (k+r-1)$ и требуется переход на режим коммутации с параметрами S_3, q_3 и α_3 , то при приходе очередного тактового импульса число включенных фаз при $S_3 > r$ увеличивается на единицу и будут включены фазы с номерами $(k+t_3), (k+t_3+1), \dots, (k+t_3+r)$ при направлении "Вперед" и с номерами $(k-t_3-1), \dots, (k-t_3+r-1)$ при направлении "Назад", а при $q_3 < r$ число включенных фаз уменьшается на единицу и в соответствии с выражениями (1) и (2) будут включены $(k+t_3+1), (k+t_3+2), \dots, (k+t_3+r+1)$ фазы при направлении "Вперед" и $(k-t_3), (k-t_3+1), \dots, (k-t_3+r-2)$ при направлении "Назад".

Таким образом, за такты перехода с одного режима на другой шаг коммутации $\alpha_{пер} = (2t_3+1)\pi/m$ переключения фаз производится по заданному направлению и происходит с каждым тактом коммутации изменение числа включенных фаз.

При достижении заданного числа S_3 или q_3 распределение тактовых импульсов начинает производиться по описанному режиму, соответствующему заданным S_3, q_3 и $\alpha_3 = (t_3+1) \cdot 2\pi/m$.

Распределитель (фиг. 1) содержит m каналов 1, каждый из которых состоит из D-триггера 2 с тактовым, информационным и установочными входами, прямой выход которого является выходом канала 1, блока 3 формирования функций возбуждения памяти, первого 4 и второго 5 элементов 2И-НЕ, выход первого элемента 2И-НЕ 4 подключен к установочному S-входу D-триггера 2 канала 1 и к второму входу второго элемента 2И-НЕ 5 этого канала, выход которого соединен с установочным R-входом D-триггера 2 этого канала.

Распределитель также содержит тактовую шину 6, подключенную к тактовым входам D-триггеров 2 всех каналов, шину 7 сигнала рабочего состояния распределителя, подключенную к первым входам первого 4 и второго 5 элементов 2И-НЕ всех каналов, m -разрядную шину 8 начальной кодовой комбинации выходов распределителя, каж-

дый разряд которой соединен с вторым входом первого элемента 2И-НЕ 4 соответствующего канала 1, и четырехразрядную шину 9 управления режимами и направлением коммутации. Первый 10, второй 11, третий 12 и четвертый 13 входы блока 3 всех каналов соединены соответственно с первым У1, вторым У2, третьим У3 и четвертым У4 разрядами шины 9, пятый 14, шестой 15, седьмой 16 и восьмой 17 входы блока 3 каждого канала соединены соответственно с первым, вторым, третьим и четвертым выходами блока 3 предыдущего канала, девятый 18, десятый 19, одиннадцатый 20 и двенадцатый 21 входы блока 3 каждого канала соединены соответственно с пятым, шестым, седьмым и восьмым выходами блока 3 следующего канала, тринадцатый 22 вход блока 3 каждого k -го канала соединен с инверсным выходом D-триггера 2 $(k-3)$ -го канала, четырнадцатый 23 - с инверсным выходом D-триггера 2 $(k-2)$ -го канала, пятнадцатый 24 - с инверсным выходом, а шестнадцатый 25 - с прямым выходом D-триггера 2 предыдущего $(k-1)$ -го канала, семнадцатый 26 - с прямым выходом D-триггера 2 k -го канала, восемнадцатый 27 - с прямым, а девятнадцатый 28 - с инверсным выходом D-триггера 2 следующего $(k+1)$ -го канала, двадцатый 29 - с инверсным выходом D-триггера 2 $(k+2)$ -го канала, двадцать первый вход 30 соединен с инверсным выходом D-триггера 2 $(k+3)$ -го канала, выходы 31-38 являются соответственно с первого по восьмой выходами канала и соединены с указанными входами соседних каналов, а девятый выход 39 подключен к информационному D-входу D-триггера 2 k -го канала 1.

Блок 3 формирования функций возбуждения памяти k -го канала 1 содержит первый 40, второй 41 элементы 2-2И-ИЛИ, третий 42, четвертый 43, пятый 44 и шестой 45, седьмой 46, и восьмой 47 элементы 3-2И-ИЛИ и селектор-мультиплексор 48 шестнадцати каналов на один, причем первый 10, второй 11, третий 12 и четвертый 13 входы блока 3 подключены соответственно к первому, второму, третьему и четвертому разрядам кодового управления селектора-мультиплексора 48, пятый 14, шестой 15, седьмой 16, восьмой 17, девятый 18,

десятый 19, одиннадцатый 20 и двенадцатый 21 входы блока 3 подключены соответственно к третьему, седьмому, одиннадцатому, пятнадцатому, четвертому, восьмому, двенадцатому и шестнадцатому входам селектора-мультиплексора 48, тринадцатый 22 вход блока 3 соединен с четвертыми входами третьего 42 и четвертого 43 элементов 2-2И-ИЛИ, четырнадцатый 23 вход блока 3 - с четвертыми входами первого 40 и второго 41 и с вторым входом восьмого 47 элементов 2-2И-ИЛИ, пятнадцатый 24 вход блока 3 - с вторыми входами шестого 45 и седьмого 46 элементов 3-2И-ИЛИ, шестнадцатый 25 вход блока 3 - с третьими входами первого 40, второго 41, третьего 42 и четвертого 43 и с вторым входом первого 40 элементов, семнадцатый 26 вход блока 3 - с первыми входами всех элементов 2-2И-ИЛИ и 3-2И-ИЛИ, восемнадцатый 27 вход блока 3 - с третьими входами пятого 44, шестого 45, седьмого 46 и восьмого 47 и с вторым входом пятого 44 элементов 3-2И-ИЛИ, девятнадцатый 28 вход блока 3 - с вторыми входами второго 41 и третьего 42 элементов ИЛИ, двадцатый 29 вход блока 3 - с вторым входом четвертого 43 и с четвертыми входами пятого 44 и шестого 45 элементов 3-2И-ИЛИ, а двадцать первый 30 вход блока 3 подключен к четвертым входам седьмого 46 и восьмого 47 элементов 3-2И-ИЛИ, выход первого 40 элементов 2-2И-ИЛИ подключен к первому входу селектора-мультиплексора 48 и к первому 31 выходу блока 3, выход второго 41 - к пятому входу селектора-мультиплексора 48 и к второму 32 выходу блока 3, выход третьего 42 - к девятому входу селектора-мультиплексора 48 и к третьему 33 выходу блока 3, выход четвертого 43 - к тринадцатому входу селектора-мультиплексора 48 и к четвертому 34 выходу блока 3, выход пятого 44 - к второму входу селектора-мультиплексора 48 и к пятому 35 выходу блока 3, выход шестого 45 - к шестому входу селектора-мультиплексора 48 и к шестому 36 выходу блока 3, выход седьмого 46 - к десятому входу селектора-мультиплексора 48 и к седьмому 37 выходу блока 3, выход восьмого 47 - к четырнадцатому входу се-

лектора-мультиплексора 48 и к восьмому 38 выходу блока 3, а выход селектора-мультиплексора 48 подключен к девятому 39 выходу блока 3.

Распределитель работает следующим образом.

В начальном состоянии на m -разрядную шину 8 начальной кодовой комбинации выходов распределителя ($C_1, C_2, \dots, C_k, \dots, C_m$) подается код, каждый k -й из m -разрядов которого идентичен требуемому исходному состоянию выхода k -го канала распределителя. После включения питания на шине 7 сигнала рабочего состояния распределителя имеется уровень логической "1", на выходе первого 4 элемента 2И-НЕ каждого k -го канала 1 - инверсия сигнала C_k исходного состояния выхода k -го канала 1, на выходе второго 5 элемента 2И-НЕ k -го канала 1 - сигнал, идентичный C_k , следовательно, состояние выхода D-триггера 2 k -го канала 1 идентично сигналу C_k и кодовая комбинация на выходах распределителя идентична заданной на разрядах шины 8 начальной кодовой комбинации выходов распределителя.

Коммутация выходов распределителя осуществляется после переключения сигнала рабочего состояния на шине 7 в логический "0" тактовыми импульсами, поступающими по тактовой шине 6.

В зависимости от кода шины 9 управления режимами и направлением коммутации на информационный D-вход D-триггера 2 k -го канала 1 с девятого 39 выхода блока 3 этого канала поступает сигнал D_k , логическое значение которого определяется по логическим функциям, приведенным в таблице, в которой обозначено: $\Phi_k, \Phi_{k+1}, \Phi_{k-1}$ - логическое состояние прямых выходов D-триггеров k -го, $(k+1)$ -го и $(k-1)$ -го каналов 1 соответственно $\Phi_{k-4}, \Phi_{k-3}, \Phi_{k-1}, \bar{\Phi}_{k-1}, \bar{\Phi}_{k-1}, \bar{\Phi}_k, \bar{\Phi}_{k+1}, \bar{\Phi}_{k+2}, \bar{\Phi}_{k+3}, \bar{\Phi}_{k+4}$ - логическое состояние инверсных выходов D-триггеров 2 соответственно $(k-4)$ -го, $(k-3)$ -го, $(k-2)$ -го, $(k-1)$ -го, k -го, $(k+1)$ -го, $(k+2)$ -го, $(k+3)$ -го и $(k+4)$ -го каналов 1.

При поступлении очередного i -го тактового импульса по тактовой шине 6 состояние выхода каждого k -го канала 1 устанавливается идентичным логическому состоянию D_k , зависящему

от кодовой комбинации выходов распределителя в (i-1)-м такте.

Предлагаемое выполнение распределителя обеспечивает многорежимное управление m-фазным шаговым двигателем и возможность перехода из любого режима коммутации к другим в процессе работы шагового двигателя без потери информации и без отработки "ложных" шагов.

Формула изобретения

Способ управления m-фазным шаговым двигателем, включающий в себя задание режима коммутации и направления движения, определение включаемых в следующем такте фаз двигателя по состоянию фаз в предыдущем такте, режиму коммутации и направлению движения и включение фаз по тактовому импульсу, отличающийся тем, что, с целью расширения функциональных возможностей путем увеличения числа режимов ком-

мутации и повышения точности отработки заданного перемещения, режим коммутации задают числами поочередно включаемых фаз S и q, шагом коммутации α и определяют состояние $\Phi_k [i+1]$ каждой k-й фазы в следующем (i+1) такте в зависимости от состояний (k-1)-й, (k-t-1)-й, (k+q-t-1), (k-S-t-1)-й, (k+t)-й, (k+t+1)-й, (k-q+t+1)-й, (k+S+t+1)-й фаз в i-м такте в соответствии с логическими функциями перехода:

без изменения направления движения

$$\Phi_k [i+1] = \Phi_{k-t} [i] \cdot (\Phi_{k-t-1} [i] + \bar{\Phi}_{k+q-t-1} [i] + \bar{\Phi}_{k-S-t-1} [i] \cdot \Phi_{k-t-1} [i]),$$

а при изменении направления движения,

$$\Phi_k [i+1] = \Phi_{k+t} [i] \cdot (\Phi_{k+t+1} [i] + \bar{\Phi}_{k-q+t} [i] + \Phi_{k+t+1} [i] \cdot \bar{\Phi}_{k+S+t+1} [i]),$$

где $t = \alpha m / 2\pi - 1$ при $q = S \leq I$,
 $t = \alpha m / 2\pi - 0,5$ при $q = S+1 \leq I$,
 $I \in [m/2, (m+1)/2]$, целое.

Код управления				Функция возбуждения памяти D_k	Режим коммутации
у4	у3	у2	у1		
0	0	0	0	$\Phi_k \cdot \Phi_{k-1} + \Phi_{k-1} \cdot \bar{\Phi}_{k-2}$	1-2-3-4---m
0	0	0	1	$\Phi_k \cdot \Phi_{k+1} + \Phi_{k+1} \cdot \bar{\Phi}_{k+2}$	4-3-2-1-- m - (m-1)
0	0	1	0	$\Phi_{k-1} \cdot \Phi_{k-2} + \Phi_{k-2} \cdot \bar{\Phi}_{k-3}$	1-3-5---(m-1)
0	0	1	1	$\Phi_{k+1} \cdot \Phi_{k+2} + \Phi_{k+2} \cdot \bar{\Phi}_{k+3}$	5-3-1 - (m-1) - (m-3)
0	1	0	0	$\Phi_k \cdot \Phi_{k-1} + \Phi_k \cdot \bar{\Phi}_{k+1} + \Phi_{k-1} \cdot \bar{\Phi}_{k-2}$	1-12-2-23-3---
0	1	0	1	$\Phi_k \cdot \Phi_{k+1} + \Phi_k \cdot \bar{\Phi}_{k-1} + \Phi_{k+1} \cdot \bar{\Phi}_{k+2}$	34-3-23-2---
0	1	1	0	$\Phi_{k-1} \cdot \Phi_{k-2} + \Phi_{k-1} \cdot \bar{\Phi}_k + \bar{\Phi}_{k-2} \cdot \bar{\Phi}_{k-3}$	1-23-4-56---
0	1	1	1	$\Phi_{k+1} \cdot \Phi_{k+2} + \Phi_{k+1} \cdot \bar{\Phi}_k + \Phi_{k+2} \cdot \bar{\Phi}_{k+3}$	56-4-23-1---
1	0	0	0	$\Phi_k \cdot \Phi_{k-1} + \Phi_k \cdot \bar{\Phi}_{k+1} + \Phi_{k-1} \cdot \bar{\Phi}_{k-3}$	12-23-34-45---
1	0	0	1	$\Phi_k \cdot \Phi_{k+1} + \Phi_k \cdot \bar{\Phi}_{k-1} + \Phi_{k+1} \cdot \bar{\Phi}_{k+3}$	23-12-1 - (m-1)m--
1	0	1	0	$\Phi_{k-1} \cdot \Phi_{k-2} + \Phi_{k-1} \cdot \bar{\Phi}_k + \Phi_{k-2} \cdot \bar{\Phi}_{k-4}$	12-34-56---
1	0	1	1	$\Phi_{k+1} \cdot \Phi_{k+2} + \Phi_{k+1} \cdot \bar{\Phi}_k + \Phi_{k+2} \cdot \bar{\Phi}_{k+4}$	34-12 - (m-1)m---

Продолжение таблицы

Код управления				Функция возбуждения памяти D_k	Режим коммутации
у4	у3	у2	у1		
1	1	0	0	$\varphi_k \cdot \varphi_{k-1} + \varphi_k \cdot \bar{\varphi}_{k+2} + \varphi_{k-1} \cdot \bar{\varphi}_{k-3}$	12-123-23-234---
1	1	0	1	$\varphi_k \cdot \varphi_{k+1} + \varphi_k \cdot \bar{\varphi}_{k-2} + \varphi_{k+1} \cdot \bar{\varphi}_{k+3}$	123-12-m12-m1--
1	1	1	0	$\varphi_{k-1} \cdot \varphi_{k-2} + \varphi_{k-1} \cdot \bar{\varphi}_{k+1} + \varphi_{k-2} \cdot \bar{\varphi}_{k-4}$	12-234-45-567---
1	1	1	1	$\varphi_{k+1} \cdot \varphi_{k+2} + \varphi_{k+1} \cdot \bar{\varphi}_{k-1} + \varphi_{k+2} \cdot \bar{\varphi}_{k+4}$	23-12--(m-1)m---

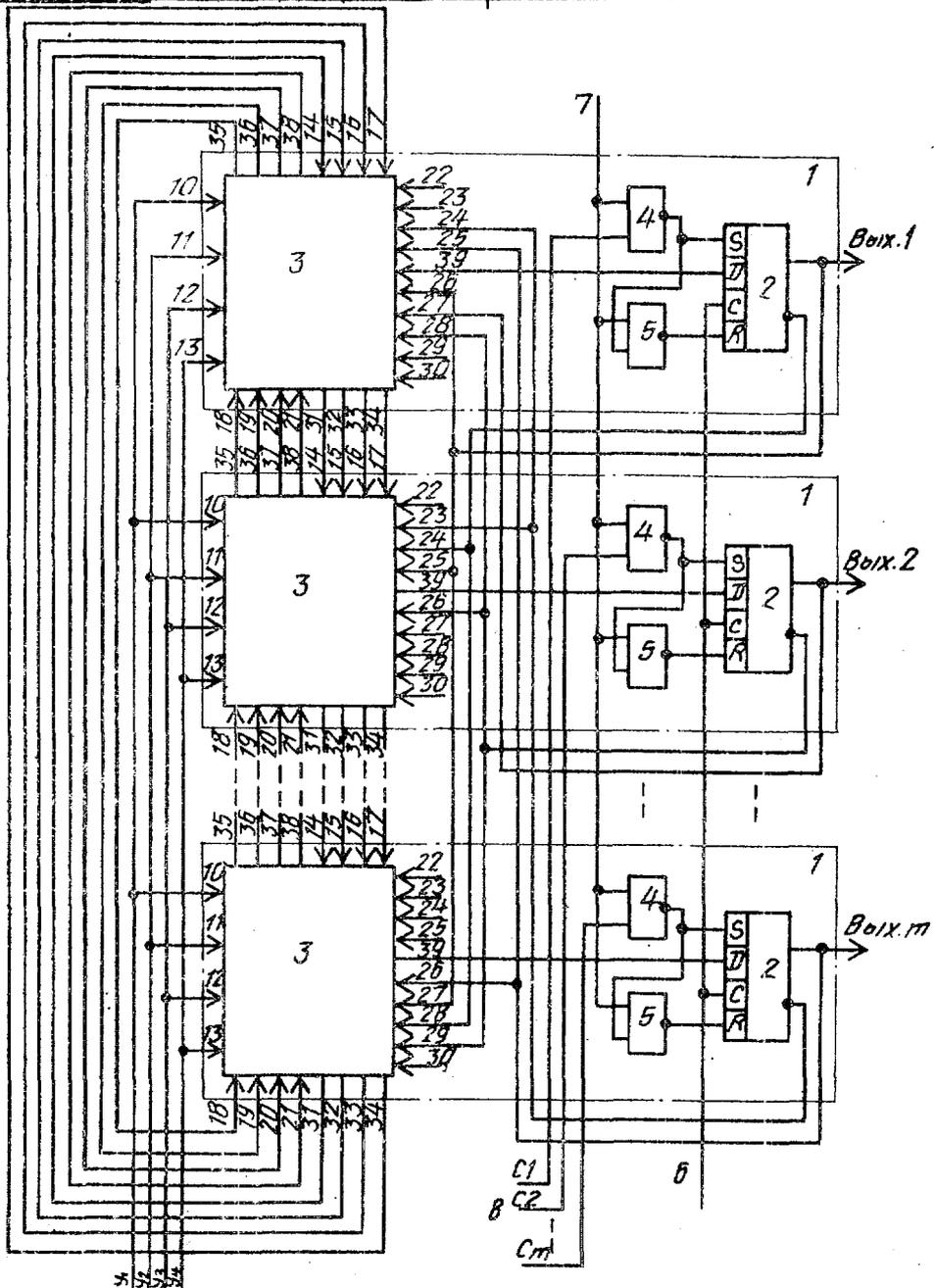
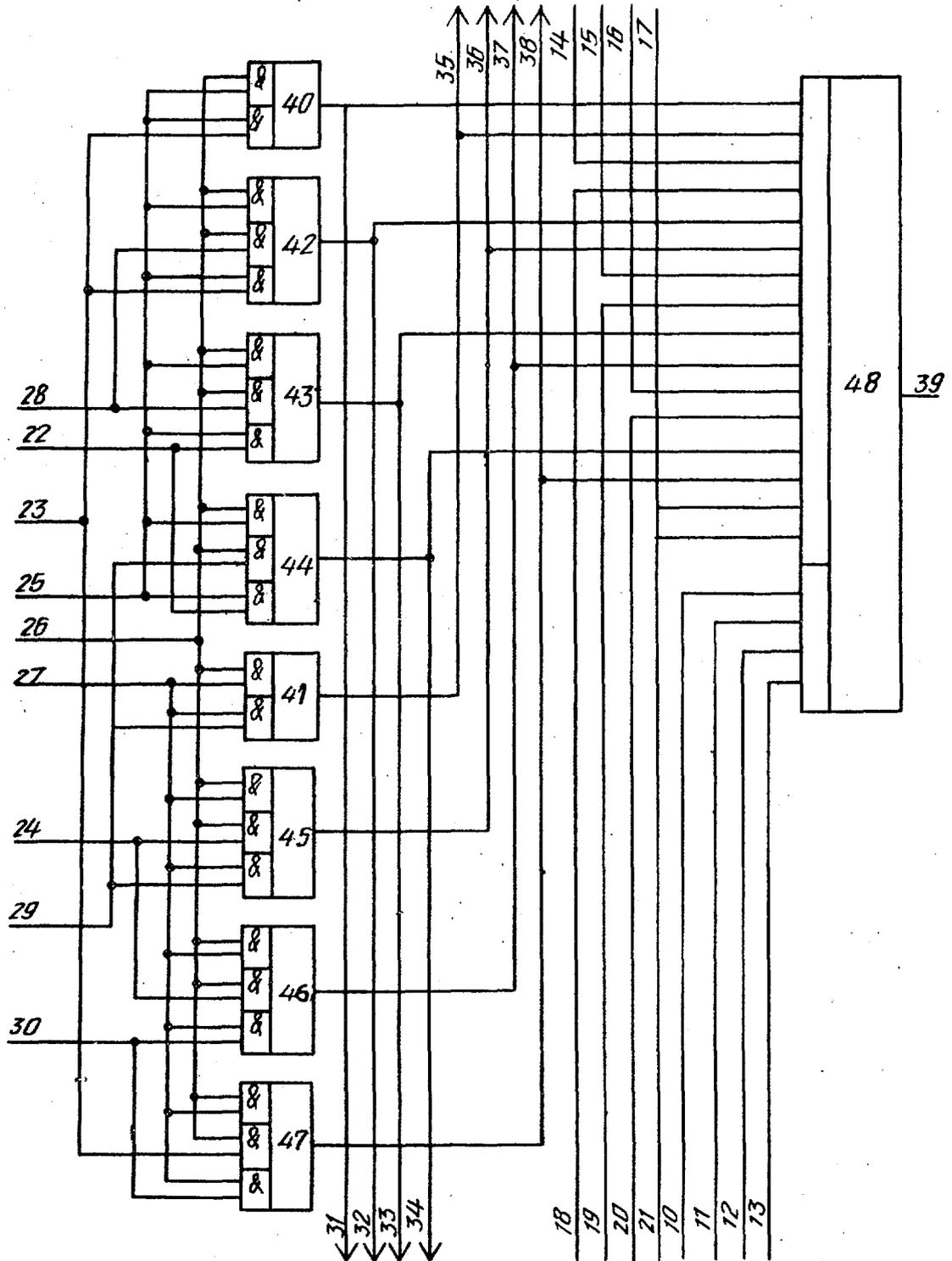


рис.1



фиг. 2

Составитель В. Алфимов

Редактор С. Пекарь Техред В. Кадар

Корректор С. Черни

Заказ 6852/57

Тираж 631

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4