

## СОКРАЩЕНИЕ ЭНЕРГОПОТРЕБЛЕНИЯ ЗА СЧЕТ СНИЖЕНИЯ АКТИВНОСТИ СИСТЕМ УПРАВЛЕНИЯ

Докт. техн. наук, проф. ПРИХОЖИЙ А. А., инж. ЗЕМЛЯНИК С. В.

*Белорусская государственная политехническая академия  
Белорусский государственный университет информатики и радиоэлектроники*

Снижение мощности, потребляемой системами управления и, в частности цифровыми схемами, является актуальной научно-технической проблемой, которая привлекает в последнее время все большее внимание ученых и инженеров [1]. Решение этой проблемы позволит: сократить энергопотребление; разрабатывать, изготавливать и использовать портативные электронные приборы различного назначения, продляющие время жизни переносных источников питания; увеличить плотность размещения компонентов на кристалле и существенно расширить функциональные возможности одного чипа. Абсолютное большинство проектируемых и изготавливаемых сегодня цифровых схем базируется на использовании КМОП технологии.

Потребляемая в интегральных КМОП схемах мощность  $P$  складывается из трех частей [1]

$$P = P_{load} + P_{shortcircuit} + P_{leakage}, \quad (1)$$

где  $P_{load}$  — мощность, расходуемая на зарядку и разрядку нагрузочных емкостей;

$P_{shortcircuit}$  — мощность короткого замыкания;

$P_{leakage}$  — мощность, связанная с токами утечки.

Мощность  $P_{load}$  является доминирующей в современных интегральных КМОП схемах. Она оценивается выражением

$$P_{load} = (1/2) C_L V_{DD}^2 E_{sw} f_{clk}, \quad (2)$$

где  $C_L$  — перезаряжаемая емкость;

$V_{DD}^2$  — напряжение питания;

$E_{sw}$  — активность переключения, равная среднему числу изменений уровней сигналов за один цикл синхронизации;

$f_{clk}$  — тактовая частота.

Из выражения (2) следует, что мощность  $P_{load}$  определяется как статическими параметрами  $C_L$ ,  $V_{DD}^2$ ,  $f_{clk}$ , так и переключательной активностью  $E_{sw}$ , являющейся динамическим параметром, зависящим от условий применения схемы. Минимизация потребляемой цифровой схемой мощности достигается в значительной мере минимизацией ее активности.

В статье предлагаются вероятностный метод оценки активности цифровых электронных схем, представленных новым классом диаграмм решений, и метод минимизации активности схем путем эквивалентных преобразований диаграмм. Теоретические результаты иллюстрируются конкретными примерами оценки и минимизации активности комбинационных сумматоров.

**Представление цифровых схем *if*-диаграммами решений.** *If*-диаграммы решений предложены в [2]. Они являются эффективной моделью для распараллеливания и синтеза цифровых схем [4, 5]. Теоретической базой для построения диаграмм послужила алгебра частичной логики [3], ее операции, законы и методы разложения функций. Булева функция  $f(x)$  от векторного аргумента  $x = (x_1, \dots, x_n)$ , являющаяся отображением  $f: B^n \rightarrow B$ , где  $B = \{0,1\}$  и  $B^n$  – декартово произведение множества  $B$  на себя  $n$  раз, называется полностью определенной. Функция  $g(x)$ , являющаяся отображением  $B^n \rightarrow M$ , где  $M = \{0,1, -\}$  и ‘-’ есть безразличное значение, которое может быть заменено на 0 или 1 произвольным образом, называется частично определенной. Частично определенную функцию  $g(x)$  представим парой  $(v(x)/d(x))$  булевой функции  $v(x)$  значения и булевой функции  $d(x)$  области определенности. Если  $d(x) = 1$ , то  $g(x) = v(x)$ , в противном случае  $g(x) = -$ . Операция минимизации  $\min(v(x)/d(x))$  минимизирует функцию  $v(x)$  с учетом того, что на области  $d(x)$  ее значения безразличны.

В основе построения *if*-диаграмм лежит предложенное в [2] разложение булевой функции  $f(x)$  по произвольной булевой функции  $\alpha(x)$

$$f(x) = \alpha(x) \& \min(f(x)/\alpha(x)) + \sim\alpha(x) \& \min(f(x)/\sim\alpha(x)), \quad (3)$$

где  $\sim$ ,  $\&$ ,  $+$  – логические операции отрицания, конъюнкции и дизъюнкции соответственно.

Разложение (3) является обобщением в частичной логике известного для полностью определенных функций разложения Шеннона.

Базовый фрагмент *if*-диаграммы (IFDD) представлен на рис. 1. На

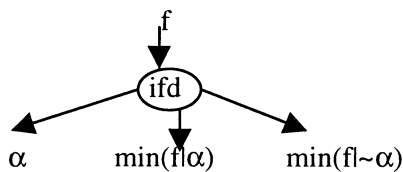


Рис. 1

рис. 3 изображена система IFDD, определяющая функцию  $s$  суммы и функцию  $c_1$  переноса для одноразрядного полного сумматора (рис. 2), зависящие от входных переменных  $a$ ,  $b$ ,  $c_0$ . *If*-диаграмма представляет собой ациклический ориентированный корневой граф, каждая нетерминальная вершина которого *ifd* имеет три исходящих дуги, а терминальные вершины помечены переменной  $x_i$ , отрицанием переменной  $\sim x_i$ ,

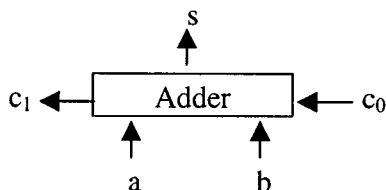


Рис. 2

константой 0 или константой 1. Система IFDD из рис. 3 полностью соответствует системе сокращенных упорядоченных диаграмм двоичных решений (ROBDD) [1] для одноразрядного сумматора.

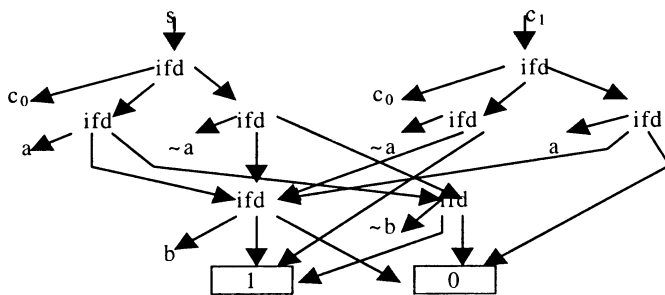


Рис. 3

Базовые логические элементы (вентили), на основе которых строятся цифровые схемы, легко представляются *ifd*-диаграммами (рис. 4). Обратное, *ifd*-диаграммы различных конфигураций легко отображаются на структуры из вентилях. Так, одноразрядный полный сумматор, реализованный схемой, построенной из полусумматоров (рис. 5), моделируется *ifd*-диаграммами, представленными на рис. 6. Диаграммы включают 5 не-терминальных вершин *ifd*, расположенных на 3 ярусах, 11 терминальных вершин, из которых 3 являются константами, и также 15 дуг. Две вершины *ifd* определяют функцию XOR, две — операцию AND, одна — операцию OR.

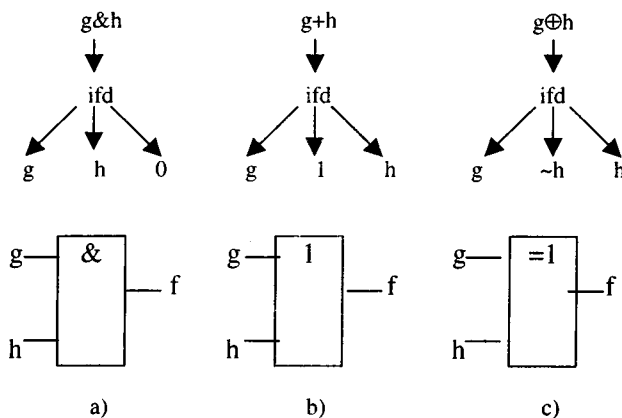


Рис. 4. Представление логических вентилях диаграммами:  
а — конъюнктор; б — дизъюнктор; с — элемент сложения по модулю 2

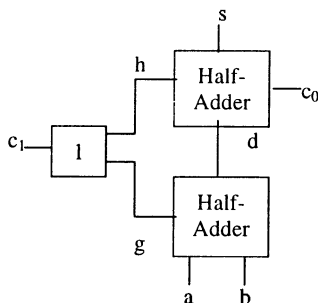


Рис. 5

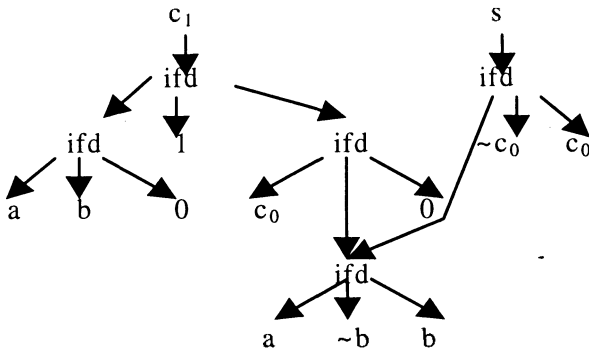


Рис. 6

**Оценка активности *if*-диаграмм.** Активность цифровой схемы оценим через активность *if*-диаграмм, представляющих ее. Активность *if*-диаграмм зависит в свою очередь от частоты переключения входных сигналов. Последовательность значений входных, внутренних и выходных сигналов будем рассматривать как случайный процесс, а значение сигнала  $s$  — как случайную переменную. Обозначим через  $p(s) = p(s = 1)$  вероятность того, что  $s = 1$ . Вероятность того, что  $s = 0$ , равна  $p(s = 0) = 1 - p(s = 1)$ . Тогда вероятность того, что сигнал  $s$  изменяет значение (говорят, что сигнал активен в этом случае), равна [1]

$$p_{sw}(s) = 2 p(s = 0) p(s = 1). \quad (4)$$

Активность константных сигналов  $p_{sw}(1) = p_{sw}(0) = 0$ . Пусть  $T$  — множество терминальных и  $N$  — множество нетерминальных узлов *if*-диаграммы. Общая активность  $SW$  диаграммы оценивается суммой

$$SW = SW_T + SW_N, \quad (5)$$

в которой активность терминальных узлов — выражением

$$SW_T = \sum_{x_i \in T} p_{sw}(x_i), \quad (6)$$

а активность нетерминальных узлов — выражением

$$SW_N = \sum_{y_j \in N} p_{sw}(y_j) e(y_j), \quad (7)$$

где  $e(y_j)$  — число входных дуг для вершины  $y_j$ . Вероятность единичного значения сигнала в нетерминальной вершине  $y_j$  оценивается формулой

$$p(y = 1) = \sum_{\substack{a \in B^n \\ y(a) = 1}} p(a), \quad (8)$$

где  $y(x)$  — логическая функция, соответствующая вершине  $y_j$ ;  
 $a = (a_1, \dots, a_n)$  — значение векторного аргумента  $x$ .

Вероятность того, что аргумент  $x$  принимает значение  $a$  есть

$$p(a) = \prod_{i=1}^n p(x_i = a_i), \quad (9)$$

где  $p(x_i = a_i)$  – вероятность того, что сигнал  $x_i$  принимает значение  $a_i$ .

Значение сигнала в вершине  $y_j$  для векторного значения  $a$  входного сигнала  $x$  рассчитывается в процессе обхода диаграммы снизу вверх слева направо. Активность диаграммы зависит от вероятностей значений входных переменных. Результаты расчета активности накапливаются в табл. 1.

Таблица 1

Номер	Входные переменные				Вершины IFD		Вероятность	
	$x_1$	...	$x_{n-1}$	$x_n$	$y_1$	...	$y_k$	
0	0	...	0	0	$y_1(0...00)$	...	$y_k(0...00)$	$p(a_1, \dots, a_n)$
1	0	...	0	1	$y_1(0...01)$	...	$y_k(0...01)$	$p(0...00)$
$2^{n-2}$	1	...	1	0	$y_1(1...10)$	...	$y_k(1...10)$	$p(0...01)$
$2^{n-1}$	1	...	1	1	$y_1(1...11)$	...	$y_k(1...11)$	$p(1...10)$
Вероятность	$p(x_1 = 1)$	...	$p(x_n = 1)$		$\sum_{y_1(a)=1} p(a)$	...	$\sum_{y_k(a)=1} p(a)$	$\sum_a p(a) = 1$
Активность	$p_{sw}(x_1)$	...	$p_{sw}(x_n)$		$p_{sw}(y_1)$	...	$p_{sw}(y_k)$	$\sum p_{sw}$

Описанный метод является точным, но в то же время достаточно трудоемким, поскольку перебирает все значения входного векторного сигнала  $x$ . Избежать перебора позволяют аналитические методы, которые наиболее эффективны при отсутствии корреляции между значениями в вершинах. С появлением корреляции эти методы усложняются.

**Преобразование *if*-диаграммы с целью минимизации активности.** Из соотношения (4) вытекает график зависимости (рис. 7) активности  $p_{sw}(s)$  сигнала  $s$  от вероятности  $p(s)$  его единичного значения. Из графика следует, что сигнал имеет высокую активность, когда  $p(s) \cong 0,5$ , и низкую при  $p(s) \cong 0$  или  $p(s) \cong 1$ .

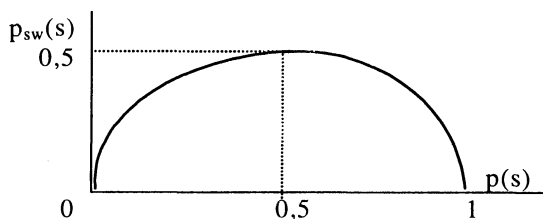


Рис. 7

Суммарная активность всей диаграммы зависит от числа входных сигналов, количества внутренних вершин и дуг, активности каждого внутреннего узла. С целью минимизации первых двух составляющих целесообразно синтезировать *if*-диаграммы минимальной размерности, для минимизации третьей целесообразно генерировать каждую вершину диаграммы таким образом, чтобы активность соответствующего сигнала была минимальной. Вероятность единичного значения сигнала, соответствующего внутренней вершине  $f$  диаграммы, определяется соотношением

$$p(f) = p(\alpha) p(g/\alpha) + (1 - p(\alpha)) p(h/\sim\alpha), \quad (10)$$

где  $p(\alpha)$  – вероятность единичного значения функции для диаграммы  $\alpha$ ;  
 $p(g/\alpha)$  – то же, для диаграммы  $g$  при условии, что значение  $\alpha$  равно 1;

$p(h/\sim\alpha)$  – то же, для диаграммы  $h$  при условии, что значение  $\alpha$  равно 0.

Условия низкой активности на выходе *if*-диаграммы  $f$  приведены в табл. 2. Эти условия определяют требования к выбору диаграмм  $\alpha$ ,  $g$  и  $h$  в момент применения разложения (1). Символ черточка обозначает безразличное значение. Например, вероятность  $p(f)$  единичного значения функции  $f$  приблизительно равна 0, что соответствует низкой активности, если вероятности  $p(g/\alpha)$  и  $p(h/\sim\alpha)$  близки к 0.

Таблица 2

$p(\alpha)$	$p(g/\alpha)$	$p(h/\sim\alpha)$	$p(f)$
-	$\cong 0$	$\cong 0$	$\cong 0$
$\cong 0$	-	$\cong 0$	
$\cong 1$	$\cong 0$	-	
-	$\cong 1$	$\cong 1$	$\cong 1$
$\cong 0$	-	$\cong 1$	
$\cong 1$	$\cong 1$	-	

Выполним синтез и оптимизацию системы *if*-диаграмм для одноразрядного полного сумматора. Отобразим систему ROBDD (рис. 3) в систему IFDD при условии, что операция минимизации реализуется над парой ROBDD [2]. Выбрав функцию  $\alpha = a \oplus b$  и выполнив минимизацию функций  $s$  и  $c_1$ , получаем систему IFDD, показанную на рис. 8. По сравнению с исходной сгенерированная система имеет иерархическую структуру и включает меньшее число вершин и дуг. Ей соответствует комбинационная схема, изображенная на рис. 9. Расчет активности системы IFDD приведен в табл. 3.

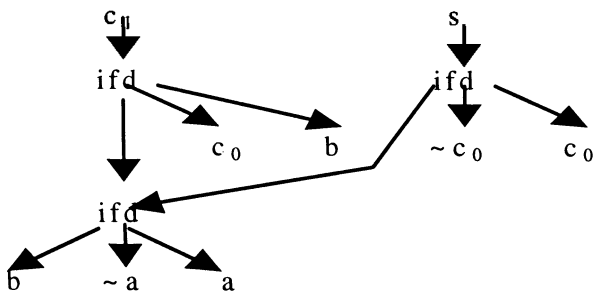


Рис. 8

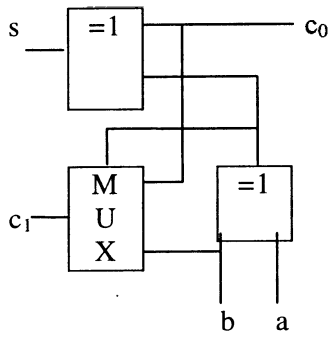


Рис. 9

Таблица 3

Номер	Входные сигналы			Вершины IFD					Вероятность
	$a$	$b$	$c_0$	1	2	3	4	5	$p(x)$
0	0	0	0	0	0	0	0	0	0,189
1	1	0	0	0	0	0	1	1	0,189
2	0	1	0	0	0	0	1	1	0,189
3	1	1	0	1	1	0	0	0	0,189
4	0	0	1	0	0	0	0	1	0,061
5	1	0	1	1	0	1	1	0	0,061
6	0	1	1	1	0	1	1	0	0,061
7	1	1	1	1	1	0	0	1	0,061
Вероятность	0,5	0,5	0,25	0,37	0,25	0,12	0,5	0,5	1
Активность	0,5	0,5	0,38	0,47	0,38	0,21	0,5	0,5	$\Sigma = 3,44$

**Минимизация активности комбинационных сумматоров.** Входы и выходы восьмиразрядного комбинационного сумматора показаны на рис. 10. Активность сумматора зависит от вероятностей единичных значений входов  $p(a_0), \dots, p(a_7), p(b_0), \dots, p(b_7)$  слагаемых и входа переноса  $p(c_0)$ . С целью оценки единичных значений вероятностей входов рассмотрим два случая. Первый предполагает, что на входы сумматора подается 80 % положительных и 20 % отрицательных чисел в дополнительном коде. Плотность распределения вероятностей для положительных чисел показана на рис. 11, где  $p_{\max} = 1/65, p_{\min} = 1/(64 \cdot 65)$ . Плотность распределения вероятностей для отрицательных чисел определяется аналогичным образом. Во втором случае на вход сумматора подаются

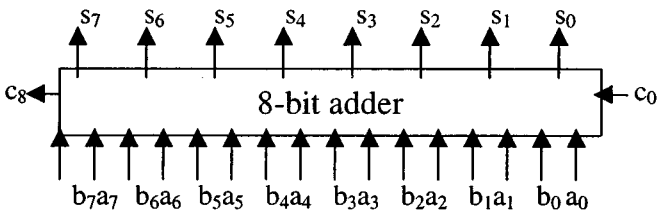


Рис. 10

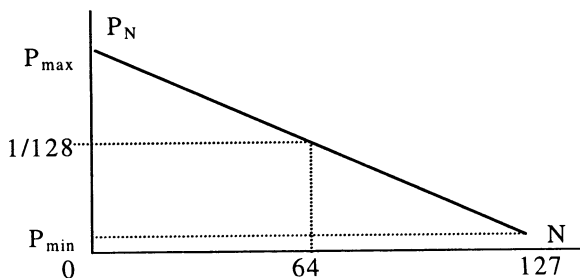


Рис. 11

только положительные числа. Вероятности единичного значения каждого разряда, рассчитанные для первого и второго случаев, приведены в табл. 4.

Таблица 4

Бит	Вероятность	
	80 % положительных	100 % положительных
0	0,500	0,500
1	0,498	0,498
2	0,493	0,494
3	0,484	0,487
4	0,466	0,471
5	0,430	0,440
6	0,357	0,379
7	0,198	0,256

Результаты экспериментов по оценке активности восьмиразрядных сумматоров, базирующихся на трех различных реализациях одноразрядного сумматора, выполненных для двух распределений вероятностей единичных значений входов (табл. 4), приведены в табл. 5 и 6. В первой реализации поведение одноразрядного сумматора описывается системой IFDD из рис. 3, во второй — из рис. 6, в третьей — из рис. 8.

Таблица 5

Активность 8-битового сумматора для 80 % положительных чисел

Бит	Вероятность переноса 1	Восьмиразрядный сумматор					
		Вариант 1		Вариант 2		Вариант 3	
		$SW_T$	$SW_N$	$SW_T$	$SW_N$	$SW_T$	$SW_N$
0	0,25	2,50	2,25	5,00	2,63	2,00	1,88
1	0,37	3,62	2,56	5,75	2,72	3,12	1,97
2	0,43	3,90	2,66	5,93	2,74	3,40	1,99
3	0,45	3,97	2,69	5,98	2,74	3,47	1,99
4	0,44	3,97	2,68	5,97	2,74	3,48	1,99
5	0,40	3,93	2,62	5,89	2,72	3,44	1,98
6	0,31	3,74	2,44	5,55	2,63	3,28	1,92
7	0,14	2,58	1,85	4,04	2,13	2,56	1,60
$\Sigma$		48,26		65,15		40,06	



## Активность 8-битового сумматора для 100 % положительных чисел

Бит	Вероятность переноса 1	Восьмиразрядный сумматор					
		Вариант 1		Вариант 2		Вариант 3	
		$SW_T$	$SW_N$	$SW_T$	$SW_N$	$SW_T$	$SW_N$
0	0,25	2,50	2,25	5,00	2,63	2,00	1,88
1	0,37	3,62	2,56	5,75	2,72	3,12	1,97
2	0,43	3,90	2,66	5,93	2,74	3,40	1,99
3	0,45	3,97	2,69	5,98	2,75	3,47	2,00
4	0,45	3,98	2,69	5,97	2,74	3,48	1,99
5	0,41	3,95	2,64	5,92	2,73	3,45	1,99
6	0,34	3,81	2,50	5,68	2,66	3,34	1,94
7	0,19	3,25	2,10	4,70	2,37	2,87	1,75
$\Sigma$		49,08		66,27		40,64	

Активность сумматоров складывается из активности входов  $SW_T$  и активности внутренних узлов  $SW_N$ . Активность сумматора, базирующегося на минимизированной IFDD (вариант 3), минимальна. Вероятности переноса 1 из крайних разрядов ближе к 0, из средних разрядов – ближе к 0,5. Активность одноразрядных сумматоров, соответствующих средним разрядам, выше активности сумматоров для крайних разрядов.

## ВЫВОД

Анализ результатов, вытекающих из табл. 5, 6, показывает, что активность сумматоров зависит от вероятностей значений входов. Сумматоры наиболее активны в случае, когда вероятности значений близки к 0,5. При одних вероятностях значений входов третий сумматор явно менее активен, чем первый и второй, при других – активности первого и третьего сумматоров приблизительно одинаковы. Из результатов следует, что для различных разрядов в ряде случаев целесообразно использовать различные схемы одноразрядных сумматоров с целью минимизации активности всего многоразрядного сумматора.

## ЛИТЕРАТУРА

1. Nebel W., Mermet ed J. Low Power Design for Deep Submicron Electronics, Kluwer Academic Publishers, 1997.
2. Prihozhy A. If-Diagrams: Theory and Application. Proc. Int. Workshop PAT-MOS'97. – UCL, Belgium, 1997. – P. 369–378.
3. Прихожий А. А. Логический вывод в частичной логике // Интеллектуальные системы. – Мн.: ИТК НАН Беларуси, 1998. – С. 129–146.
4. Prihozhy A., Brancevich P. Parallel Computing with If-Decision Diagrams. Proc. Int. Workshop PARELEC'98. – Technical University of Bialystok, Poland, 1998. – P. 171–176.
5. Prihozhy A. If-Decision Diagram Based Synthesis of Digital Circuits. Proc. Int. Conf. ITESB'99. – BSPA, Belarus, 1999. – P. 80–84.

Представлена кафедрой программного обеспечения вычислительной техники и автоматизированных систем

Поступила 11.11.1999